

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月15日(15.09.2022)



(10) 国際公開番号

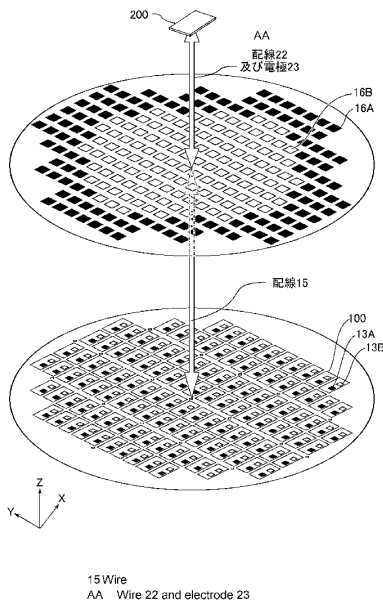
WO 2022/190182 A1

- (51) 国際特許分類:
H01L 21/02 (2006.01) H01L 21/66 (2006.01)
- (21) 国際出願番号: PCT/JP2021/009072
- (22) 国際出願日: 2021年3月8日(08.03.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: キオクシア株式会社 (KIOXIA CORPORATION) [JP/JP]; 〒1080023 東京都港区芝浦三丁目1番21号 Tokyo (JP).
- (72) 発明者: 人見達郎 (HITOMI, Tatsuro); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 吉水

康人 (YOSHIMIZU, Yasuhito); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 三浦正幸 (MIURA, Masayuki); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 井上新 (INOUE, Arata); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 堂前宏之 (DOHMAE, Hiroyuki); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 中澤弘一 (NAKAZAWA, Koichi); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 宮岡己利 (MIYAOKA, Mitoshi); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 早坂一人

(54) Title: WAFER AND PROBER

(54) 発明の名称: ウェハ及びプローバ



(57) Abstract: The present invention is for suppressing degradation of reliability in communication between a probe card and a wafer. A wafer (10) according to one embodiment of the present invention comprises: a substrate (11) having a first region (RA) and a second region (RB) that do not overlap each other; a first chip unit and a second chip unit (100) that are each provided on the substrate; a first electrode (16A) and a second electrode (16B) each electrically connected to the first chip unit; and a third electrode (16A) and a fourth electrode (16B) that are each electrically connected to the second chip unit. The first electrode and the third electrode are disposed in the first region. The second electrode and the fourth electrode are disposed in the second region. The first region is a region independent of a region where the first chip unit and the second chip unit are provided.

(57) 要約: ウェハ及びプローブカード間の通信信頼性の劣化を抑制する。一実施形態のウェハ(10)は、互いに重複しない第1領域(RA)及び第2領域(RB)を有する基板(11)と、各々が基板上に設けられた第1チップユニット及び第2チップユニット(100)と、各々が第1チップユニットと電気的に接続された第1電極(16A)及び第2電極(16B)と、各々が第2チップユニットと電気的に接続された第3電極(16A)及び第4電極(16B)と、を備える。第1電極及び第3電極は、第1領域に配置される。第2電極及び第4電極は、第2領域に配置される。第1領域は、第1チップユニット及び第2チップユニットが設けられた領域と独立した領域である。

WO 2022/190182 A1

[続葉有]

(HAYASAKA, Kazuhito); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 佐貫 朋也(SANUKI, Tomoya); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP).

(74) 代理人: 蔵田 昌俊, 外(KURATA, Masatoshi et al.); 〒1050014 東京都港区芝三丁目23番1号 セレスティン芝三井ビルディング11階 鈴榮特許総合事務所内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))