

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号
WO 2025/218129 A1

(43) 国际公布日
2025 年 10 月 23 日 (23.10.2025)

- (51) 国际专利分类号:
H10B 12/00 (2023.01)
- (21) 国际申请号: PCT/CN2024/125016
- (22) 国际申请日: 2024 年 10 月 15 日 (15.10.2024)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202410452734.7 2024年4月15日 (15.04.2024) CN
- (71) 申请人: 长鑫科技集团股份有限公司 (**CXMT CORPORATION**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号 230601 (CN)。
- (72) 发明人: 张世明 (**JANG, Semyeong**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号 230601 (CN)。郑补澈 (**JUNG, Bochul**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388

号 230601 (CN)。陈慕宇 (**CHEN, Muyu**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号 230601 (CN)。文浚硕 (**MOON, Joonsuk**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号 230601 (CN)。曹永赞 (**CHO, Young Chan**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号 230601 (CN)。

- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(54) **Title:** SEMICONDUCTOR STRUCTURE AND PREPARATION METHOD THEREFOR

(54) 发明名称: 半导体结构及其制备方法

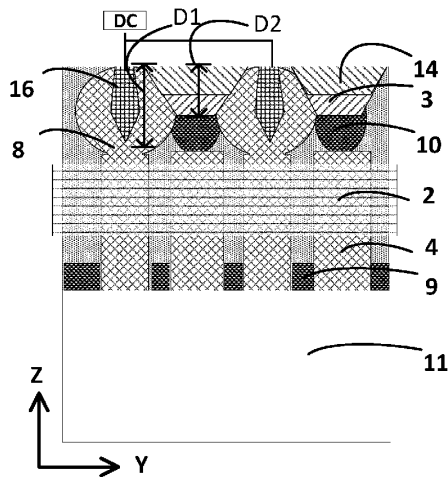


图 2

(57) **Abstract:** A semiconductor structure and a preparation method therefor. The semiconductor structure comprises: bit lines, wherein the bit lines extend in a first direction and are spaced apart from each other in a second direction, and the first direction intersects with the second direction; shielding lines, respectively located between every two adjacent bit lines and extending in the first direction, wherein the shielding lines and the bit lines are alternately arranged in the second direction; active pillars, located on the bit lines and arranged in an array in the first direction and the second direction; and bit line contact structures, wherein each bit line contact structure is located between the corresponding bit line and the corresponding active pillar, and is connected to the bit line and the active pillar, and the width of the bit line contact structure in the second direction is less than the width of the bit line and the width of the active pillar in the second direction.

(57) **摘要:** 一种半导体结构及其制备方法, 该半导体结构包括位线, 位线, 在第一方向上延伸, 在第二方向上间隔排列, 第一方向与第二方向相交; 屏蔽线, 位于相邻两条位线之间, 并且在第一方向上延伸, 在第二方向上与位线交替排列; 有源柱, 有源柱位于位线上, 在第一方向和第二方向上呈阵列排布; 位线接触结构, 位于位线和有源柱之间并连接位线和有源柱, 位线接触结构在第二方向的宽度小于位线和有源柱在第二方向上的宽度。

[见续页]

WO 2025/218129 A1

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。