

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la
Propriété Intellectuelle
Bureau international



(10) Numéro de publication internationale
WO 2023/105148 A1

(43) Date de la publication internationale
15 juin 2023 (15.06.2023)

WIPO | PCT

(51) Classification internationale des brevets :
H01L 29/786 (2006.01) H01L 29/78 (2006.01)

SOITEC [FR/FR] ; Parc Technologique des Fontaines Chemin des Franques, 38190 Bernin (FR).

(21) Numéro de la demande internationale :
PCT/FR2022/052242

(72) Inventeurs : **REBOH, Shay** ; CEA GRENOBLE, 17 rue des Martyrs, 38054 GRENOBLE CEDEX 09 (FR).
GAUDIN, Gweltaz ; 420 Bis chemin du vivier, 38190 BERNIN (FR).

(22) Date de dépôt international :
05 décembre 2022 (05.12.2022)

(25) Langue de dépôt : français

(74) Mandataire : **BREVALEX** ; 95 rue d'Amsterdam, 75378 Paris cedex 8 (FR).

(26) Langue de publication : français

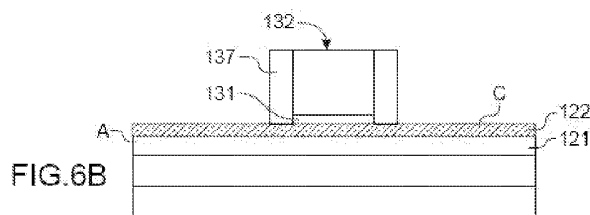
(30) Données relatives à la priorité :
FR2112982 06 décembre 2021 (06.12.2021) FR

(81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,

(71) Déposants : **COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES**
[FR/FR] ; 25 rue Leblanc Bât le Ponant, 75015 Paris (FR).

(54) Title: METHOD FOR MANUFACTURING A 3D CIRCUIT WITH SHARED RECRYSTALLISATION AND DOPANT ACTIVATION STEPS

(54) Titre : PROCÉDÉ DE FABRICATION DE CIRCUIT 3D À ÉTAPES DE RECRISTALLISATION ET D'ACTIVATION DE DOPANTS MUTUALISÉES



(57) Abstract: The invention relates to the production of a microelectronic device, comprising: a) producing a structure with a carrier (100) provided with a semiconductor layer (12) having a first level (N1) of components, the carrier (100) being provided with another semiconductor layer (120) having a second level (N2), the other semiconductor layer (120) having a lower sub-layer (121) and an upper sub-layer (122), a first of the lower and upper sub-layers being made of crystalline semiconductor material (C) while a second of the sub-layers is made of amorphous semiconductor material (A); then b) forming a gate block (132) on said other semiconductor layer (120); then, c) forming, on either side of the gate block (132), doped regions (125) on either side of a semiconductor zone located opposite the gate block (132) and intended to accommodate a channel of said transistor; and then, d) carrying out a low-temperature heat treatment so as to implement a recrystallisation of the second semiconductor sub-layer by using the first semiconductor sub-layer as the starting zone of a recrystallisation front while carrying out an activation of said dopants.

(57) Abrégé : Réalisation d'un dispositif microélectronique comprenant : a) réaliser une structure avec un support (100) muni d'une couche semi-conductrice (12) d'un premier niveau (N1) de composants, le support (100) étant pourvu d'une autre couche semi-conductrice (120) d'un deuxième niveau (N2), l'autre couche semi-conductrice (120) comportant une sous-couche inférieure (121) et une sous-couche supérieure (122), une première des sous-couches inférieure et supérieure étant en matériau semi-conducteur cristallin (C) tandis qu'une deuxième des sous-couches est en matériau semi-conducteur amorphe (A), puis, b) former un bloc (132) de grille sur ladite autre couche semi-conductrice (120), puis, c) former, de part et d'autre du bloc (132) de grille, des régions dopées (125) de part et d'autre d'une zone semi-conductrice située en regard du bloc (132) de grille et prévue pour accueillir un canal dudit transistor, puis, d) réaliser un traitement thermique basse température de sorte à effectuer une recristallisation de la deuxième sous-couche semi-conductrice en se servant de la première sous-couche semi-conductrice comme zone de départ d'un front de recristallisation tout en effectuant une activation desdits dopants.

WO 2023/105148 A1

[Suite sur la page suivante]

MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,
NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,
SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN,
TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) États désignés** (*sauf indication contraire, pour tout titre de protection régionale disponible*) : ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Publiée:

- avec rapport de recherche internationale (Art. 21(3))
- avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues (règle 48.2(h))