

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年9月26日(26.09.2019)



(10) 国際公開番号

WO 2019/181606 A1

(51) 国際特許分類:
H01L 27/11582 (2017.01) *H01L 27/1157* (2017.01)
H01L 21/336 (2006.01) *H01L 29/788* (2006.01)
H01L 27/11524 (2017.01) *H01L 29/792* (2006.01)
H01L 27/11556 (2017.01)

(21) 国際出願番号 : PCT/JP2019/009686

(22) 国際出願日 : 2019年3月11日(11.03.2019)

(25) 国際出願の言語 : 日本語

(26) 国際公開の言語 : 日本語

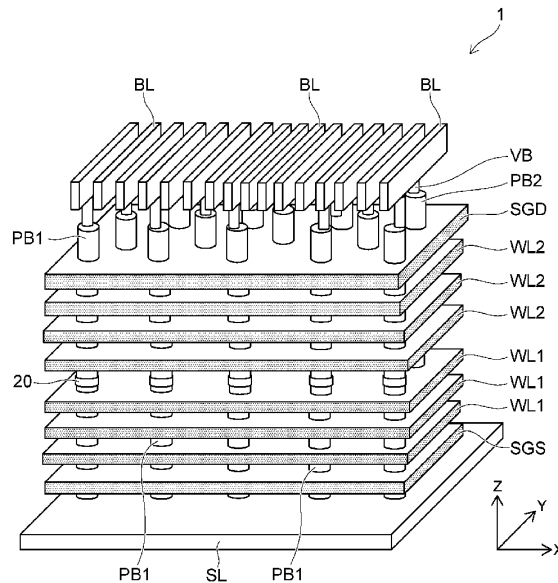
(30) 優先権データ :
特願 2018-052558 2018年3月20日(20.03.2018) JP

(71) 出願人: 東芝メモリ株式会社(TOSHIBA MEMORY CORPORATION) [JP/JP]; 〒1050023 東京都港区芝浦一丁目1番1号 Tokyo (JP).

(72) 発明者: 長 友 健 (NAGATOMO, Takeshi); 〒1050023 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内 Tokyo (JP). 泉 達雄 (IZUMI, Tatsuo); 〒1050023 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内 Tokyo (JP). 鈴木 亮太(SUZUKI, Ryota); 〒1050023 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内 Tokyo (JP). 西川 拓也(NISHIKAWA, Takuya); 〒1050023 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内 Tokyo (JP). 中嶋 康人(NAKAJIMA, Yasuhito); 〒1050023 東京都港区芝浦一丁目1番1号 東芝メモリ株

(54) Title: SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称 : 半導体記憶装置



(57) **Abstract:** A semiconductor storage device (1) according to the present invention is provided with: a plurality of first electrode layers (SGS, WL1) which are stacked in a first direction (Z); a plurality of second electrode layers (WL2, SGD) which are stacked in the first direction; a first pillar body (PB1) which penetrates through the plurality of first electrode layers in the first direction; a second pillar body (PB2) which penetrates through the plurality of second electrode layers in the first direction; a joint part (JP) which connects the first pillar body and the second pillar body with each other; and

[続葉有]



WO 2019/181606 A1

式会社内 Tokyo (JP). 高山 大希(TAKAYAMA, Daiki); 〒1050023 東京都港区芝浦一丁目 1 番 1 号 東芝メモリ株式会社内 Tokyo (JP). 内藤 大明(NAITO, Hiroaki); 〒1050023 東京都港区芝浦一丁目 1 番 1 号 東芝メモリ株式会社内 Tokyo (JP). 川口 元気(KAWAGUCHI, Genki); 〒1050023 東京都港区芝浦一丁目 1 番 1 号 東芝メモリ株式会社内 Tokyo (JP).

(74) 代理人:日向寺 雅彦, 外(HYUGAJI, Masahiko et al.); 〒2318966 神奈川県横浜市中区桜木町一丁目 1 番地 8 日石横浜ビル Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

an island-like spacer film (20) which surrounds the joint part. The plurality of first electrode layers and the plurality of second electrode layers are arranged in the first direction; and the joint part and the spacer film are positioned between the plurality of first electrode layers and the plurality of second electrode layers.

(57) 要約: 半導体記憶装置 (1) は、第 1 方向 (Z) に積層された複数の第 1 電極層 (SGS, WL1) と、前記第 1 方向に積層された複数の第 2 電極層 (WL2, SGD) と、前記複数の第 1 電極層を前記第 1 方向に貫く第 1 柱状体 (PB1) と、前記複数の第 2 電極層を前記第 1 方向に貫く第 2 柱状体 (PB2) と、前記第 1 柱状体と前記第 2 柱状体とを接続する接続部 (JP) と、前記接続部を囲む島状のスペーサ膜 (20) と、を備える。前記複数の第 1 電極層と前記複数の第 2 電極層は、前記第 1 方向に並べて配置され、前記接続部および前記スペーサ膜は、前記複数の第 1 電極層と前記複数の第 2 電極層との間に位置する。