

Description

The present invention relates to a battery saving circuit for use in a portable radio communication apparatus, such as a portable pager receiver, and to a method for selectively supplying power to a receiver section of a digital communication apparatus.

In communication apparatuses including mobile radio units, for instance, a radio paging receiver, there is used the so-called battery saving system, which periodically supplies and cuts off power to their receiver sections with a view to saving power consumption.

For instance, a transmitted signal in a paging system contains a preamble signal preceding a plurality of subscriber identification (ID) signals so that the receiver can be placed in a battery saving mode. The receiver, periodically repeating turning on and off the power supply, receives signals during each time period (T_{on1}) that the power is on and does not during each time period (T_{off}) that the power is off. If a preamble signal is detected during T_{on1} , the ensuing time period of "power on" (T_{on2}) will be extended to receive the subscriber ID signal that is to follow.

In this system, since the preamble signal is detected only once, erroneous operation may be caused by noise or some other signal, resulting in low reliability. Moreover, the erroneous detection of the preamble signal deteriorates the battery saving efficiency because erroneous detection unnecessarily extends the power-on time period (T_{on1}).

One example of battery saving systems to eliminate the foregoing disadvantages is disclosed in the US-A-4 181 893. According to this battery saving system, the receiver, to detect the ID signal, extends power supply to the receiver section in response to the multi-detection of the preamble signal. This multi-detection prevents the receiver from causing erroneous operation, improving the battery saving efficiency.

To carry out the first detection of the preamble, however, this battery saving system supplies power to the receiver section for a prescribed period of time regardless of the result of the first detection of the preamble signal. Therefore, this system yet has a disadvantage of lower battery saving efficiency.

GB-A-2 004 398 discloses a digital radio paging communication system in which a transmitter selectively calls a plurality of battery saving receivers each including first means for receiving a modulated carrier wave and demodulating it into a preamble digital signal, calling digital signal and end mark digital signal which are then respectively detected in synchronism with a recovered clock pulse. A power source is connected to the first means periodically by an oscillator-controlled switch until the preamble has been detected twice, when the supply is made continuous until the end mark is detected. The signal detection section of the battery saving circuit continues, the power supply for a fixed

period of time even if no preamble signal is detected through a word-by-word comparison.

An object of the present invention, therefore, is to provide a battery saving circuit and a method for selectively supplying power to a receiver section which eliminate the foregoing disadvantages of the prior art, further improve the efficiency of battery saving, and in particular shorten the power-on-time period without causing erroneous operation.

This object is achieved by the circuit and method according to the present invention.

Other objects, features and advantages of the present invention will become more apparent from the detailed description hereunder taken in conjunction with the accompanying drawings, wherein:

Figs. 1A and 1B are time charts illustrating a transmitted signal for a paging system to which the battery saving circuit according to the invention is applicable and a typical battery saving operation of the receiver of the system;

Fig. 2 is a block diagram of a paging receiver into which a battery saving circuit according to the invention is incorporated;

Fig. 3 is a more detailed block diagram of the decoder section of the receiver illustrated in Fig. 2; and

Figs. 4A and 4B are flow charts for describing the operations of the battery saving circuit according to the invention.

Referring to Fig. 1A, in a transmitted signal for a paging system, a preamble signal is positioned before a plurality of subscriber ID signals. The receiver, as illustrated in Fig. 1B, is intermittently actuated for receiving operation only during time periods T_{on1} . If a preamble signal is detected in one of these time periods T_{on1} , the duration of power supply will be extended so that the subscriber ID signal can be detected during the next time period T_{on2} .

According to the present invention, the battery saving efficiency (T_{on}/T_{off}) can be improved without deteriorating the capability of the preamble signal detection.

Referring now to Fig. 2, a radio carrier wave received by an antenna 1 is amplified and demodulated by a receiver section 2. The carrier wave is modulated with a preamble and subscriber ID codes or signals. The demodulated signal is converted by a waveform shaper 3 into a pulse signal decipherable by a decoder 4. The decoder 4 feeds a power supply control section 7 with a control signal for turning on and off power supply to the receiver section 2 and to the waveform shaper 3. When the control signal is at a high level, the power supply control section 7 turns on power supply to the receiver section 2 and to the waveform shaper 3. When, on the other hand, the control signal is at a low level, the control section 7 turns power supply off. When the power supply is on, the decoder 4 accomplishes decoding and, if necessary, extends the duration of the power supply.

The decoder 4 compares, during its decoding

operation, a demodulated ID signal from the waveform shaper 3 with the call number of the receiver stored in advance into a programmable read only memory (P-ROM) 5. If the demodulated signal is found identical with the call number, the decoder 4 supplies a tone signal to an amplifier 6 to drive a speaker 8 to thereby alert the bearer of the receiver. A quartz oscillation element 9 is intended for generating a clock signal to actuate the decoder 4. A battery 10 is a power source for driving the whole receiver.

Next, the operation of the decoder 4 will be described in greater detail with reference to Figs. 3, 4A and 4B. A preamble signal here consists of repetitions of 1 and 0, and is so composed as can be used for clock synchronization as well. The decoder 4 is a single-chip central processing unit (CPU), which may be μ PD7502 or μ PD7503 manufactured and marketed by NEC Corporation. A sequence of commands on decoding operation is written into a program memory 401, whose content at an address corresponding to the count of a program counter 402 is supplied to a control section 403. The control section 403 sends control signals C to different parts of the decoder 4 according to the commands written in the memory 401. The program counter 402 normally adds +1 every time a content of the program memory 401 is sent to the control section 403, but it will follow any jumping command or the like that may be given. Interface between external circuits and a data bus 408 is achieved through an input port 404, an output port 405, an output port 406 and an input port 407. The data bus 408 is further connected to the program counter 402, a data memory 409, an accumulator 410 and an arithmetic and logic unit (ALU) 411 for transferring data. A synchronizing clock signal required for taking data in is generated by the quartz oscillation element 9, an oscillator 413 and a timer 412.

Figs. 4A and 4b are flow charts for describing the signal receiving and battery saving operations of the decoder 4. In the description hereunder, reference numerals to steps in the flow charts will be parenthesized after the corresponding phrases or clauses thereof. When the decoder 4 is turned on (101), it stands by until the preparation for data writing-in is completed (102). This is a necessary step where the waveform shaper 3 (Fig. 2) includes an integrator circuit having a time constant, for generating the reference voltage of a pulse detection comparator. Such a waveform shaper is disclosed in JP-A-52-120748.

Upon completion of the preparation for data writing-in (102), a first timer having a time duration T1 is started (103) to monitor data transit points (DTPs) (104). Pursuant to the monitor, the decoder is synchronized with input data so that the leading or trailing edge of the clock pulse which is generated by the timer 412 for data writing-in, is placed at the center between DTPs (105). This step is continued until the first timer completes its time duration T1 (106). The last bit which is supplied at the completion timing of the

first timer is stored into the decoder, and it is checked whether or not the bit is "1" (107). If it is not "1", the decoder 4 will wait one bit (108).

After step 107 or 108, a second timer having a time duration T2 is started (109) to detect the preamble signal. First one bit of data is written in to be checked whether or not it is "0" (111) and if it is "0", the process will move on to the writing-in of the next bit of data (112). If it is not "0", +1 is added to an error counter C1 (115), and if the error counter C1 overflows (116), the power supply is suspended (119). If it does not overflow, the next bit of data is written in (112). The error counter C1 is intended for correcting any error in data. If the error counter C1 is so set as to overflow at "3" for example, it can correct two bits of error.

A third timer with time duration T3 starts after the power supply is suspended, the process, if the duration T3 lapses, returns to step 100 (120 to 122). The time duration T3 corresponds to the time duration Toff in Fig. 1.

At the next writing-in of a bit of data (112), it is checked whether or not the bit is "1" (113). If it is "1", the time duration T2 is counted, and before completion of the time duration T2, the decoder 4 will move on to the next step to write in data (110). If it is not "1", like at the previous data writing-in, +1 is added to the error counter C1 (117). If the error counter C1 overflows (118), the power supply is turned off (119), or if it does not overflow, the process will move on again to the next data writing-in step.

In the foregoing manner, the decoder detects the coincidence between the received preamble signal and a 1/0 pattern on a bit-by-bit basis. If the coincidence ceases to be detected while the timer T2 is at work, the power supply is immediately suspended (119), and the third timer (T3) is started (120). Upon completion of the time duration T3 (121), the process returns to the step 101.

If the coincidence, i.e., the 1/0 pattern is consecutively detected while the second timer (T2) is in operation, after the completion of the time duration T2 (114), the decoder 4 will shift to the next step to receive the subscriber ID signal or call signal (123).

The time duration T2 corresponds to the time during Ton₁ of Fig. 1B and has to be long enough to avoid erroneous operation due to noise or some other signal. However, according to the above-mentioned process the power supply is immediately suspended when the preamble signal ceases to be detected during the timing operation by this second timer (T2). Therefore, the period during which the power supply is actually on is much shorter than the time during T2 without sacrificing immunity to erroneous operation due to noise or the like. In this embodiment of the invention, the period during which the power supply is on without any signal being received is mostly determined by the duration of stand-by to prepare for data writing-in (102) and that (T1) of the first timer's operation (103). Accordingly, the period from the start of preamble signal detection until the power turning-off

upon confirmation of the absence of the preamble signal has to be no longer than one or two bits of data unless any error has to be corrected.

As hitherto described, the present invention obviates the limitation of the conventional system which necessary requires a considerable length of time until the detection of the preamble signal and which accordingly cannot substantially reduce the period during which the power supply is on. With this obviation, the battery saver circuit of the invention can improve its battery saving efficiency. Furthermore, as it permits the period during which the preamble signal is detected to be extended, erroneous operation owing to noise or some other signal can be prevented as well.

Although a digital code is taken up in the foregoing description as an example of selective signal, the present invention can obviously be applied to a tone signal with equally satisfactory results.

Claims

1. A battery saving circuit for use in portable radio communication apparatus responsive to a digital preamble code and a digital identification code and comprising a receiver section (2, 3) and a power supply means (10), said battery saving circuit (4, 7) including decoder means (4) selectively producing a control signal to control the supply of power from said power supply means (10) to said receiver section (2, 3), characterized in that said decoder means (4) comprises:

means for comparing the digital preamble code on a bit-by-bit basis with a first predetermined digital code,

means for producing an error signal each time corresponding bits of said digital preamble code and said first predetermined digital code do not coincide,

means for adding each produced error signal to previously produced error signals as soon as the error signal is produced to provide a continuously updated count of error signals produced during the bit-by-bit comparison of the digital preamble code with the first predetermined digital code,

means for suspending said control signals as soon as the count of said error signals reaches a preset number,

means for maintaining said control signal for a predetermined time when each bit of said digital preamble code coincides with each bit of said first predetermined digital code, and

means for comparing said digital identification code with a second predetermined digital code after detecting coincidence between said digital preamble code and said first predetermined digital code.

2. A battery saving circuit for use in a portable radio communication apparatus, said apparatus including receiver section means (2, 3) for receiving a carrier wave which is modulated with a digital preamble and a digital identification code, and power supply means (7, 10) for supplying power to said receiver section means (2, 3) in

response to a periodically transmitted first control signal, said battery saving circuit including decoder means (4) responsive to the output of said receiver section means (2, 3) for respectively detecting a first coincidence between the received preamble code and a first predetermined code and a second coincidence between the received identification code and a second predetermined code, and selectively providing said first control signal to said power supply means (7, 10), characterized in that said decoder means (4) comprises:

means for detecting said first coincidence on a bit-by-bit basis,

means for suspending said transmission of said first control signal in response to a second control SIGNAL,

means for continuing said transmission of said first control signal in response to a third control signal,

means for immediately producing said second control signal when said first coincidence is not detected, and

means for producing said third control signal for a first predetermined period of time in response to detection of said first coincidence.

3. A battery saving circuit as claimed in claim 2, wherein said decoder means (4) further includes means for continuing transmission of said first control signal after the lapse of said first period of time so that said decoder means (4) can detect said second coincidence.

4. A battery saving circuit as claimed in claim 2, wherein said digital preamble code is a repetitive code of logic "1"s and "0"s and said decoder means (4) further includes:

(a) means for synchronizing the clock of said battery saving circuit with a digital output from said receiver section means (2, 3);

(b) first means for determining, after the establishment of synchronization, whether or not said digital output is "1";

(c) means for starting a timer having a first timer period after waiting one bit if said first determining means gives a negative result or immediately if it is in the affirmative;

(d) second means for determining, after the start of said timer, whether or not said digital output is "0";

(e) third means for determining, after the second determining means has made its determination, whether or not said digital output is "1";

(f) means for causing said second and third determining means to once again make their determinations; and

(g) means for producing said second control signal to suspend the transmission of said first control signal to said power supply means (7, 10) when the number of negative responses produced by said second and third means have exceeded a predetermined number.

5. A battery saving circuit as claimed in claim 4, wherein said decoder means (4) further includes means for producing said third control signal to continue transmission of said first control signal to said power supply means (7, 10) if the number

upon confirmation of the absence of the preamble signal has to be no longer than one or two bits of data unless any error has to be corrected.

As hitherto described, the present invention obviates the limitation of the conventional system which necessary requires a considerable length of time until the detection of the preamble signal and which accordingly cannot substantially reduce the period during which the power supply is on. With this obviation, the battery saver circuit of the invention can improve its battery saving efficiency. Furthermore, as it permits the period during which the preamble signal is detected to be extended, erroneous operation owing to noise or some other signal can be prevented as well.

Although a digital code is taken up in the foregoing description as an example of selective signal, the present invention can obviously be applied to a tone signal with equally satisfactory results.

Claims

1. A battery saving circuit for use in portable radio communication apparatus responsive to a digital preamble code and a digital identification code and comprising a receiver section (2, 3) and a power supply means (10), said battery saving circuit (4, 7) including decoder means (4) selectively producing a control signal to control the supply of power from said power supply means (10) to said receiver section (2, 3), characterized in that said decoder means (4) comprises:

means for comparing the digital preamble code on a bit-by-bit basis with a first predetermined digital code,

means for producing an error signal each time corresponding bits of said digital preamble code and said first predetermined digital code do not coincide,

means for adding each produced error signal to previously produced error signals as soon as the error signal is produced to provide a continuously updated count of error signals produced during the bit-by-bit comparison of the digital preamble code with the first predetermined digital code,

means for suspending said control signals as soon as the count of said error signals reaches a preset number,

means for maintaining said control signal for a predetermined time when each bit of said digital preamble code coincides with each bit of said first predetermined digital code, and

means for comparing said digital identification code with a second predetermined digital code after detecting coincidence between said digital preamble code and said first predetermined digital code.

2. A battery saving circuit for use in a portable radio communication apparatus, said apparatus including receiver section means (2, 3) for receiving a carrier wave which is modulated with a digital preamble and a digital identification code, and power supply means (7, 10) for supplying power to said receiver section means (2, 3) in

response to a periodically transmitted first control signal, said battery saving circuit including decoder means (4) responsive to the output of said receiver section means (2, 3) for respectively detecting a first coincidence between the received preamble code and a first predetermined code and a second coincidence between the received identification code and a second predetermined code, and selectively providing said first control signal to said power supply means (7, 10), characterized in that said decoder means (4) comprises:

means for detecting said first coincidence on a bit-by-bit basis,

means for suspending said transmission of said first control signal in response to a second control SIGNAL,

means for continuing said transmission of said first control signal in response to a third control signal,

means for immediately producing said second control signal when said first coincidence is not detected, and

means for producing said third control signal for a first predetermined period of time in response to detection of said first coincidence.

3. A battery saving circuit as claimed in claim 2, wherein said decoder means (4) further includes means for continuing transmission of said first control signal after the lapse of said first period of time so that said decoder means (4) can detect said second coincidence.

4. A battery saving circuit as claimed in claim 2, wherein said digital preamble code is a repetitive code of logic "1"s and "0"s and said decoder means (4) further includes:

(a) means for synchronizing the clock of said battery saving circuit with a digital output from said receiver section means (2, 3);

(b) first means for determining, after the establishment of synchronization, whether or not said digital output is "1";

(c) means for starting a timer having a first timer period after waiting one bit if said first determining means gives a negative result or immediately if it is in the affirmative;

(d) second means for determining, after the start of said timer, whether or not said digital output is "0";

(e) third means for determining, after the second determining means has made its determination, whether or not said digital output is "1";

(f) means for causing said second and third determining means to once again make their determinations; and

(g) means for producing said second control signal to suspend the transmission of said first control signal to said power supply means (7, 10) when the number of negative responses produced by said second and third means have exceeded a predetermined number.

5. A battery saving circuit as claimed in claim 4, wherein said decoder means (4) further includes means for producing said third control signal to continue transmission of said first control signal to said power supply means (7, 10) if the number



of negative responses produced by said second and third determining means do not exceed said predetermined number and said first timer period of the timer has elapsed, so that said second coincidence can be detected.

6. A battery saving circuit for use in a portable radio communication apparatus, said apparatus including receiver section means (2) for receiving a carrier wave which is modulated with a digital preamble code of logic "1"'s and "0"'s and a digital identification code, waveform shaper means (3) responsive to the output of said receiver section means (2) for producing a digital output signal representative of said digital preamble and identification codes, power supply means (7, 10) for supplying power to said receiver section means (2) and said waveform shaper (3) in response to a first control signal, and a clock means (9, 412, 413), said battery saving circuit including decoder means (4) responsive to the output of said waveform shaper means (3) for respectively detecting a first coincidence between the received preamble code and a first predetermined code and a second coincidence between the received identification code and a second predetermined code, and selectively providing said first control signal to said power supply means (7, 10), characterized in that said decoder means (4) includes:

(a) means for synchronizing the clock of said battery saving circuit with a digital output from said waveform shaper means (4);

(b) means for detecting said first coincidence on a bit-by-bit basis, said detecting means including:

(i) first means for determining, after the establishment of synchronization, whether or not said digital output is a "1" bit;

(ii) timer means for producing a first timer period (T_{on_1});

(iii) means for starting said timer means (T_{on_1}) after waiting one bit if said first means for determining signifies said digital output is a "0" bit and for immediately starting said timer (T_{on_1}) if said digital output is a "1" bit;

(iv) second means for determining, after the start of said timer (T_{on_1}), whether or not said digital output is a "0" bit;

(v) third means for determining, after the start of said timer (T_{on_1}) and after determining if said digital output is a "0" bit, whether or not said digital output is "1";

(vi) means for causing said second and third determining means to repeat their operations at least one time; and

(c) means for suspending provision of said first control signal to said power supply means when said second and third determining means of said detecting means indicate at least a predetermined number of negative responses.

7. A method for detecting a first coincidence between a digital preamble code and a first predetermined digital code and selectively providing a control signal in a portable radio communication apparatus responsive to said digital preamble code and a digital identification code

and having at least receiving section (2, 3), a power source (10) and a battery saving circuit (4, 7) which produces said control signal to control the supply of power from the power source (10) to the receiving section (2, 3), said battery saving circuit (4, 7) including a decoder means comprising a digital data processor (4) for detecting said first coincidence and a second coincidence between the digital identification code and a second predetermined digital code, and for selectively providing said first control signal, characterized in that said method comprises the steps of:

comparing said digital preamble code on a bit-by-bit basis with said first predetermined digital code;

producing an error signal each time corresponding bits of said digital preamble code and said first predetermined digital code do not coincide;

adding a produced error signal to previously produced error signals as soon as the error signal is produced to provide a continuously updated count of the error signals produced during the bit-by-bit comparison between the digital preamble code and the first predetermined digital code;

suspending provision of said control signal as soon as counted error signals reach a preset number;

maintaining said control signal for a predetermined time when each bit of said digital preamble code coincides with each bit of said first predetermined digital code; and

comparing said digital identification code with said second predetermined digital code, after coincidence between said digital preamble code and said first predetermined digital code has been determined.

8. A method for selectively supplying power to a receiver section (2, 3) of a digital communication apparatus, said receiver section (2, 3) receiving a carrier wave which is modulated with a digital preamble and a digital identification code, characterized in that said method comprises the steps of:

periodically beginning the supply of power to said receiver section (2, 3);

detecting a first coincidence between the received digital preamble and a first predetermined code on a bit-by-bit basis;

stopping said supply of power if it is determined that the error number of the bit-by-bit basis detection exceeds a predetermined number; and

continuing said supply of power for a first predetermined period of time if said error number is less than said predetermined number.

9. A method as claimed in claim 8 further comprising the step of continuing said supply of power after the lapse of said first predetermined period of time for a second predetermined period of time so that said apparatus can detect a second coincidence between the received digital identification code and a second predetermined code.



Patentansprüche

1. Batteriesparschaltung zur Verwendung in einer tragbaren Vorrichtung zur drahtlosen Kommunikation, die auf einen digitalen Einleitungscode und einen digitalen Identifizierungscode anspricht und einen Empfangsteil (2, 3) und eine Energieversorgungseinrichtung (10) aufweist wobei die Batteriesparschaltung (4, 7) eine Decodiereinrichtung (4) umfaßt, die selektiv ein Steuersignal zum Steuern der Energieversorgung von der Energieversorgungseinrichtung (10) zu dem Empfangsteil (2, 3) erzeugt, dadurch gekennzeichnet, daß die Decodiereinrichtung (4) aufweist:

eine Einrichtung zum bitweisen Vergleichen des digitalen Einleitungscode mit einem ersten vorbestimmten digitalen Code,

eine Einrichtung zum Erzeugen eines Fehlersignals jedesmal, wenn entsprechende Bits des digitalen Einleitungscode und des ersten vorherbestimmten digitalen Codes nicht miteinander übereinstimmen,

eine Einrichtung zum Addieren jedes erzeugten Fehlersignals zu vorher erzeugten Fehlersignalen, sobald das Fehlersignal erzeugt wird, um einen kontinuierlich aktualisierten Zählstand der Fehlersignale zu liefern, die während des bitweisen Vergleichs des digitalen Einleitungscode mit dem ersten vorherbestimmten digitalen Code erzeugt werden,

eine Einrichtung zum Aussetzen der Steuersignale, sobald der Zählstand der Fehlersignale eine bestimmte Zahl erreicht,

eine Einrichtung zum Aufrechterhalten des Steuersignals für eine vorherbestimmte Zeit, wenn jedes Bit des digitalen Einleitungscode mit jedem Bit des ersten vorherbestimmten digitalen Codes übereinstimmt, und

eine Einrichtung zum Vergleichen des digitalen Identifizierungscode mit einem zweiten vorherbestimmten digitalen Code, nachdem Übereinstimmung zwischen dem digitalen Einleitungscode und dem ersten vorherbestimmten digitalen Code festgestellt wurde.

2. Batteriesparschaltung zur Verwendung in einer tragbaren Vorrichtung zur drahtlosen Kommunikation, wobei die Vorrichtung eine Empfangsteileinrichtung (2, 3) zum Empfangen einer mit einem digitalen Einleitungscode und einem digitalen Identifizierungscode modulierten Trägerwelle und eine Energieversorgungseinrichtung (7, 10) zum Liefern von Energie an die Empfangsteileinrichtung (2, 3) als Antwort auf ein periodisch übertragenes erstes Steuersignal umfaßt, wobei die Batteriesparschaltung eine Decodiereinrichtung (4) umfaßt, die auf den Ausgang der Empfangsteileinrichtung (2, 3) anspricht, um eine erste Übereinstimmung zwischen dem empfangenen Einleitungscode und einem ersten vorherbestimmten Code bzw. eine zweite Übereinstimmung zwischen dem empfangenen Identifizierungscode und einem zweiten vorherbestimmten Code zu ermitteln, und selektiv das erste Steuersignal an die Energieversorgungseinrichtung (7, 10) zu liefern, dadurch

gekennzeichnet, daß die Decodiereinrichtung (4) aufweist:

eine Einrichtung zum bitweisen Ermitteln der ersten Übereinstimmung,

eine Einrichtung zum Aussetzen der Übertragung des ersten Steuersignals als Antwort auf ein zweites Steuersignal,

eine Einrichtung zum Fortsetzen der Übertragung des ersten Steuersignals als Antwort auf ein drittes Steuersignal,

eine Einrichtung zum sofortigen Erzeugen des zweiten Steuersignals, weil die erste Übereinstimmung nicht ermittelt wird, und

eine Einrichtung zum Erzeugen des dritten Steuersignals für eine erste vorherbestimmte Zeitdauer als Antwort auf die Ermittlung der ersten Übereinstimmung.

3. Batteriesparschaltung nach Anspruch 2, wobei die Decodiereinrichtung (4) ferner eine Einrichtung zum Fortsetzen der Übertragung des ersten Steuersignals nach Ablauf der ersten Zeitdauer umfaßt, so daß die Decodiereinrichtung (4) die zweite Übereinstimmung ermitteln kann.

4. Batteriesparschaltung nach Anspruch 2, wobei der digitale Einleitungscode ein sich wiederholender Code aus logischen "1"-Zuständen und "0"-Zuständen ist und die Decodiereinrichtung (4) ferner umfaßt:

(a) eine Einrichtung zum Synchronisieren des Takts der Batteriesparschaltung mit einem digitalen Ausgang von der Empfangsteileinrichtung (2, 3);

(b) eine erste Einrichtung zum Bestimmen, nach dem Herstellen der Synchronisation, ob der digitale Ausgang ein "1"-Zustand ist oder nicht;

(c) eine Einrichtung zum Starten eines Zeitgebers mit einer ersten Zeitgeberperiode, nachdem ein Bit abgewartet wird, wenn die erste Bestimmungseinrichtung ein negatives Ergebnis ergibt, oder sofort, wenn das Ergebnis positive ist;

(d) eine zweite Einrichtung zum Bestimmen, nach dem Start des Zeitgebers, ob der digitale Ausgang ein "0"-Zustand ist oder nicht,

(e) eine dritte Einrichtung zum Bestimmen, nachdem die zweite Bestimmungseinrichtung ihre Bestimmung abgeschlossen hat, ob der digitale Ausgang ein "1"-Zustand ist oder nicht;

(f) eine Einrichtung, die veranlaßt, daß die zweite und dritte Bestimmungseinrichtung ihre Bestimmungen nochmals machen; und

(g) eine Einrichtung zum Erzeugen des zweiten Steuersignals, um die Übertragung des ersten Steuersignals an die Energieversorgungseinrichtung (7, 10) auszusetzen, wenn die Zahl der von der zweiten und dritten Einrichtung erzeugten negativen Antworten eine vorherbestimmte Zahl überschritten haben.

5. Batterieparschaltung nach Anspruch 4, wobei die Decodiereinrichtung (4) ferner eine Einrichtung zum Erzeugen des dritten Steuersignals umfaßt, um die Übertragung des ersten Steuersignals an die Energieversorgungseinrichtung (7, 10) fortzusetzen, wenn die Zahl der von der ersten und zweiten Bestimmungseinrichtung erzeugten negativen Antworten die vorherbe-



stimmte Zahl nicht übersteigt und die erste Zeitgeberperiode des Zeitgebers abgelaufen ist, so daß die zweite Übereinstimmung ermittelt werden kann.

6. Batteriesparschaltung zur Verwendung in einer tragbaren Vorrichtung zur drahtlosen Kommunikation, wobei die Vorrichtung eine Empfangsteileinrichtung (2) zum Empfangen einer mit einem digitalen Einleitungscode von logischen "1"-Zuständen und "0"-Zuständen und einem digitalen Identifizierungscode modulierten Trägerwelle, eine auf den Ausgang der Empfangsteileinrichtung (2) ansprechende Wellenformeinrichtung (3) zum Erzeugen eines den digitalen Einleitungscode und den Identifizierungscode repräsentierenden digitalen Ausgangssignals, eine Energieversorgungseinrichtung (7, 10) zum Liefern von Energie an die Empfangsteileinrichtung (2) und die Wellenformeinrichtung (3) als Antwort auf ein erstes Steuersignal, und eine Takteinrichtung (9, 412, 413) aufweist, wobei die Batteriesparschaltung eine auf den Ausgang der Wellenformeinrichtung (3) ansprechende Decodiereinrichtung (4) zum Ermitteln einer ersten Übereinstimmung zwischen dem empfangenen Einleitungscode und einem ersten vorbestimmten Code bzw. eine zweite Übereinstimmung zwischen dem empfangenen Identifizierungscode und einem zweiten vorherbestimmten Code, und zum selektiven Liefern des ersten Steuersignals an die Energieversorgungseinrichtung (7, 10) umfaßt, dadurch gekennzeichnet, daß die Decodiereinrichtung (4) aufweist:

(a) eine Einrichtung zum Synchronisieren des Takts der Batteriesparschaltung mit einem digitalen Ausgang von der Wellenformeinrichtung (4);

(b) eine Einrichtung zum bitweisen Ermitteln der ersten Übereinstimmung, wobei die Ermittlungseinrichtung umfaßt:

(i) eine erste Einrichtung zum Bestimmen, nach dem Herstellen der Synchronisierten, ob der digitale Ausgang ein "1"-Bit ist oder nicht;

(ii) eine Zeitgebereinrichtung zum Erzeugen einer ersten Zeitgeberperiode (T_{on_1});

(iii) eine Einrichtung zum Starten der Zeitgeberereinrichtung (T_{on_1}), nachdem ein Bit abgewartet wird, wenn die erste Bestimmungseinrichtung den digitalen Ausgang als ein "0"-Bit anzeigt, und zum sofortigen Starten der Zeitgeberereinrichtung (T_{on_1}), wenn der digitale Ausgang ein "1"-Bit ist

(iv) eine zweite Einrichtung zum Bestimmen, nach dem Start des Zeitgebers (T_{on_1}), ob der digitale Ausgang ein "0"-Bit ist oder nicht;

(v) eine dritte Einrichtung zum Bestimmen, nach dem Start des Zeitgebers (T_{on_1}) und nach dem Bestimmen, ob der digitale Ausgang ein "0"-Bit ist, ob der digitale Ausgang "1" ist oder nicht;

(vi) eine Einrichtung, die veranlaßt, daß die erste und die zweite Bestimmungseinrichtung ihre Operationen mindestens einmal wiederholen; und

(c) eine Einrichtung zum Aussetzen der Lieferung des ersten Steuersignals an die Energieversorgungseinrichtung, wenn die zweite und dritte Bestimmungseinrichtung der Ermittlungseinrich-

tung mindestens eine vorherbestimmte Zahl von negativen Antworten anzeigt.

7. Verfahren zum Ermitteln einer ersten Übereinstimmung zwischen einem digitalen Einleitungscode und einem ersten vorherbestimmten digitalen Code und zum selektiven Liefern eines Steuersignals in einer tragbaren Vorrichtung zur drahtlosen Kommunikation, die auf den digitalen Einleitungscode und einen digitalen Identifizierungscode anspricht und mindestens einen Empfangsteil (2, 3), eine Energiequelle (10) und eine Batteriesparschaltung (4, 7) aufweist, die das Steuersignal zum Steuern der Energieversorgung von der Energiequelle (10) zu dem Empfangsteil (2, 3) erzeugt, wobei die Batteriesparschaltung (4, 7) eine digitale Datenverarbeitungseinrichtung (4) aufweisende Decodiereinrichtung zum Ermitteln der ersten Übereinstimmung und einer zweiten Übereinstimmung zwischen dem digitalen Identifizierungscode und einem zweiten vorherbestimmten digitalen Code, und zum selektiven Liefern des ersten Steuersignals umfaßt, dadurch gekennzeichnet, daß das Verfahren die folgenden Verfahrensschritte aufweist:

bitweises Vergleichen des digitalen Einleitungscode mit dem ersten vorherbestimmten digitalen Code;

Erzeugen eines Fehlersignals jedesmal, wenn entsprechende Bits des digitalen Einleitungscode und des ersten vorherbestimmten digitalen Codes nicht übereinstimmen;

Addieren eines erzeugten Fehlersignals zu vorher erzeugten Fehlersignalen, sobald das Fehlersignal erzeugt wird, um einen kontinuierlich aktualisierten Zählstand der während des bitweisen Vergleichs zwischen dem digitalen Einleitungscode und dem ersten vorherbestimmten digitalen Code erzeugten Fehlersignale zu liefern;

Aussetzen der Lieferung des Steuersignals, sobald die gezählten Fehlersignale eine bestimmte Zahl erreichen;

Aufrechterhalten des Steuersignals für eine vorherbestimmte Zeit, wenn jedes Bit des digitalen Einleitungscode mit jedem Bit des ersten vorherbestimmten digitalen Codes übereinstimmt; und

Vergleichen des digitalen Identifizierungscode mit dem zweiten vorherbestimmten digitalen Code, nachdem Übereinstimmung zwischen dem digitalen Einleitungscode und dem ersten vorherbestimmten digitalen Code bestimmt worden ist.

8. Verfahren zum selektiven Liefern von Energie an einen Empfangsteil (2, 3) einer digitalen Kommunikationsvorrichtung, wobei der Empfangsteil (2, 3) eine mit einem digitalen Einleitungscode und einem digitalen Identifizierungscode modulierte Trägerwelle empfängt, dadurch gekennzeichnet, daß das Verfahren die folgenden Verfahrensschritte aufweist:

periodisches Beginnen der Energielieferung an dem Empfangsteil (2, 3);

Ermitteln einer bitweisen ersten Übereinstimmung zwischen dem empfangenen digitalen Einleitungscode und einem ersten vorherbestimmten Code;



Stopper der Energielieferung, wenn bestimmte wird, daß die Fehlerzahl der bitweisen Ermittlung der Übereinstimmung einer vorherbestimmte Zahl übersteigt; und

Fortsetzen der Energielieferung für eine erste vorherbestimmte Zeitdauer, wenn die Fehlerzahl kleiner als die vorherbestimmte Zahl ist.

9. Verfahren nach Anspruch 8, welches ferner den Verfahrensschritt aufweist, daß die Energielieferung nach dem Ablauf der ersten vorherbestimmten Zeitdauer für eine zweite vorherbestimmte Zeitdauer fortgesetzt wird, so daß die Vorrichtung eine zweite Übereinstimmung zwischen dem empfangenen digitalen Identifizierungscode und einem zweiten vorherbestimmten Code ermitteln kann.

Revendications

1. Circuit économiser de batterie destiné à être utilisé dans un appareil portable de communication par radio, répondant à un code de préambule numérique et à un code d'identification numérique et comprenant une section de réception (2, 3) et un moyen d'alimentation (10), le circuit économiseur de batterie (4, 7) comportant un moyen de décodeur (4) produisant sélectivement un signal de commande afin de commander la fourniture d'énergie de l'alimentation (10) à la section de réception (2, 3), caractérisé en ce que le moyen de décodeur (4) comprend:

—un moyen pour comparer le code de préambule numérique sur une base bit par bit à un premier code numérique prédéterminé;

—un moyen pour produire un signal d'erreur toutes les fois que des bits correspondants du code de préambule numériques et du premier code numérique prédéterminé ne coïncident pas,

—un moyen pour ajouter chaque signal d'erreur produit à des signaux d'erreur produits antérieurement dès que le signal d'erreur est produit pour fournir un comptage continuellement mis à jour de signaux d'erreur produits pendant la comparaison bit par bit du code de préambule numérique au premier code numérique prédéterminé,

—un moyen pour suspendre les signaux de commande dès que le comptage des signaux d'erreur atteint un nombre préétabli;

—un moyen pour maintenir le signal de commande pendant une durée prédéterminée lorsque chaque bit du signal de préambule numérique coïncide avec chaque bit du premier code numérique prédéterminé; et

—un moyen pour comparer le code d'identification numérique à un second code numérique prédéterminé après détection de la coïncidence entre le code de préambule numérique et le premier code numérique prédéterminé.

2. Circuit économiseur de batterie destiné à être utilisé dans un appareil portable de communication par radio, l'appareil comprenant un moyen de section de réception (2, 3) pour recevoir une onde porteuse qui est modulée avec un préambule numérique et un code d'identification numé-

rique, et un moyen d'alimentation (7, 10) pour fournir de l'énergie au moyen de section de réception (2, 3) en réponse à un premier signal de commande transmis périodiquement, le circuit économiseur de batterie comportant un moyen de décodeur (4) répondant à la sortie du moyen de section de réception (2, 3) pour détecter respectivement une première coïncidence entre le code de préambule reçu et un premier code prédéterminé et une seconde coïncidence entre le code d'identification reçu et un second code prédéterminé, et pour fournir sélectivement le premier signal de commande au moyen d'alimentation (7, 10),

caractérisé en ce que le moyen de décodeur (4) comprend:

—un moyen pour détecter la première coïncidence sur une base bit par bit,

—un moyen pour suspendre la transmission du premier signal de commande en réponse à un second signal de commande;

—un moyen pour poursuivre la transmission du premier signal de commande en réponse à un troisième signal de commande,

—un moyen pour produire immédiatement le second signal de commande lorsque la première coïncidence n'est pas détectée; et

—un moyen pour produire le troisième signal de commande pendant une première durée prédéterminée en réponse à la détection de la première coïncidence.

3. Circuit économiseur de batterie selon la revendication 2 dans lequel le moyen de décodeur (4) comprend en outre un moyen pour poursuivre la transmission du premier signal de commande après l'écoulement de la première durée de sorte que le moyen de décodeur (4) peut détecter la seconde coïncidence.

4. Circuit économiseur de batterie selon la revendication 2, dans lequel le code de préambule numérique est un code répétitif des états logiques "1" et "0" et le moyen de décodeur (4) comporte en outre:

(a) un moyen pour synchroniser l'horloge du circuit économiseur de batterie à une sortie numérique provenant du moyen de section de réception (2, 3);

(b) un premier moyen pour déterminer, après l'établissement de la synchronisation, si oui ou non la sortie numérique est "1";

(c) un moyen pour démarrer une minuterie ayant une première durée de minuterie après attente d'un bit si le premier moyen de détermination donne un résultat négatif ou immédiatement s'il est dans l'affirmatif;

(d) un second moyen pour déterminer, après le départ de la minuterie, si oui ou non la sortie numérique est "0";

(e) un troisième moyen pour déterminer, après que le second moyen de détermination ait effectué sa détermination, si oui ou non la sortie numérique est "1";

(f) un moyen pour faire en sorte que les second et troisième moyens de détermination procèdent une fois de plus à leurs déterminations; et



(g) un moyen pour produire le second signal de commande afin de suspendre la transmission du premier signal de commande au moyen d'alimentation (7, 10) lorsque le nombre des réponses négatives produites par les second et troisième moyens a dépassé un nombre prédéterminé.

5. Circuit économiseur de batterie selon la revendication 4, dans lequel le moyen de décodeur (4) comprend en outre un moyen pour produire le troisième signal de commande afin de poursuivre la transmission du premier signal de commande au moyen d'alimentation (7, 10) si le nombre des réponses négatives produites par les second et troisième moyens de détermination ne dépasse pas le nombre prédéterminé et la première durée de la minuterie s'est écoulée, de façon que la seconde coïncidence puisse être détectée.

6. Circuit économiseur de batterie destiné à être utilisé dans un appareil portable de communication par radio, l'appareil comprenant un moyen de section de réception (2) pour recevoir une onde porteuse qui est modulée par un code de préambule numérique d'états logiques "1" et "0" et un code d'identification numérique, un moyen de conformateur de forme d'onde (3) répondant à la sortie du moyen de section de réception (2) pour produire un signal de sortie numérique représentatif de préambule numérique et de codes d'identification, un moyen d'alimentation (7, 10) pour fournir de l'énergie au moyen de section de réception (2) et au moyen de conformateur de forme d'onde (3) en réponse à un premier signal de commande, et un moyen d'horloge (9, 412, 413), le circuit économiseur de batterie comprenant un moyen de décodeur (4) répondant à la sortie du moyen de conformateur de forme d'onde (3) pour détecter respectivement une première coïncidence entre le code de préambule reçu et un premier code prédéterminé et une seconde coïncidence entre le code d'identification reçu et un second code prédéterminé, et fournir sélectivement le premier signal de commande au moyen d'alimentation (7, 10), caractérisé en ce que le moyen de décodeur (4) comprend:

(a) un moyen pour synchroniser l'horloge du circuit économiseur de batterie avec une sortie numérique provenant du moyen de conformateur de forme d'onde (4);

(b) un moyen pour détecter la première coïncidence sur une base bit par bit, le moyen de détection comportant:

(i) un premier moyen pour déterminer, après l'établissement de la synchronisation, si oui ou non la sortie numérique est un bit "1";

(ii) un moyen de minuterie pour produire une première durée de minuterie (T_{on1});

(iii) un moyen pour démarrer le moyen de minuterie (T_{on1}) après attente d'un bit se le premier moyen de détermination signifie que la sortie numérique est un bit "0" et pour démarrer immédiatement la minuterie (T_{on1}) si la sortie numérique est un bit "1";

(iv) un second moyen pour déterminer, après le démarrage de la minuterie (T_{on1}), si oui ou non la sortie numérique est un bit "0";

(v) un troisième moyen pour déterminer après le démarrage de la minuterie (T_{on1}) et après la détermination du fait que la sortie numérique est un bit "0", si oui ou non la sortie numérique est "1";

(vi) un moyen pour faire en sorte que les second et troisième moyens de détermination répètent leurs fonctionnements au moins une fois; et

(c) un moyen pour suspendre la fourniture du premier signal de commande au moyen d'alimentation lorsque les second et troisième moyens de détermination du moyen de détection indiquent au moins un nombre prédéterminé de réponses négatives.

7. Procédé pour détecter une première coïncidence entre un code de préambule numérique et un premier code numérique prédéterminé et fournir sélectivement un signal de commande dans un appareil portatif de communication par radio répondant au code de préambule numérique et à un code d'identification numérique et ayant au moins une section de réception (2, 3), une source d'alimentation (10) et un circuit économiseur de batterie (4, 7) qui produit le signal de commande afin de commander la fourniture d'énergie par la source d'alimentation (10) à la section de réception (2, 3), le circuit économiseur de batterie (4, 7) comportant un moyen de décodeur comprenant un processeur de données numériques (4) pour détecter la première coïncidence et une seconde coïncidence entre code d'identification numérique et un second code numérique prédéterminé, et pour fournir sélectivement le premier signal de commande, caractérisé en ce que le procédé comprend les étapes consistant à:

—comparer le code de préambule numérique sur une base bit par bit au premier code numérique prédéterminé;

—produire un signal d'erreur toutes les fois que des bits correspondants du code de préambule numérique et du premier code numérique prédéterminé ne coïncident pas;

—ajouter un signal d'erreur produit aux signaux d'erreur produits antérieurement dès que le signal d'erreur est produit afin de fournir un comptage continuellement mis à jour des signaux d'erreur produits pendant la comparaison bit par bit entre le code de préambule numérique et le premier code numérique prédéterminé;

—suspendre la fourniture du signal de commande dès que les signaux d'erreur comptés atteignent un nombre prédéterminé;

—maintenir le signal de commande pendant un temps prédéterminé lorsque chaque bit du code de préambule numérique coïncide avec chaque bit du premier code numérique prédéterminé; et

—comparer le code d'identification numérique au second code numérique prédéterminé, après qu'il y ait eu détermination de la coïncidence entre le code de préambule numérique et le premier code numérique prédéterminé.

8. Procédé pour fournir sélectivement de l'énergie à une section de réception (2, 3) d'un appareil de communication numérique, la section de réception (2, 3) recevant une onde porteuse qui est



modulée par un préambule numérique et un code d'identification numérique, caractérisé en ce que le procédé comprend les étapes consistant à:

—commencer périodiquement la fourniture d'énergie à la section de réception (2, 3);

—détecter une première coïncidence entre le préambule numérique reçu et un premier code prédéterminé sur une base bit par bit;

—arrêter la fourniture d'énergie s'il y a détermination fu fait que le nombre des erreurs de la détection sur la base bit par bit dépasse un nombre prédéterminé; et

—poursuivre la fourniture d'énergie pendant une première durée prédéterminée si le nombre d'erreurs est inférieur au nombre prédéterminé.

9. Procédé selon la revendication 8, comprenant en outre l'étape consistant à poursuivre la fourniture d'énergie après l'écoulement de la première durée prédéterminée pendant une seconde durée prédéterminée de façon que le dispositif puisse détecter une seconde coïncidence entre le code d'identification numérique reçu et un second code prédéterminé.

5

10

15

20

25

30

35

40

45

50

55

60



* C L M S *