

刷新控制结构、刷新控制方法及存储器

本申请要求于 2024 年 1 月 26 日提交中国专利局、申请号为 202410111236.6、申请名称为“刷新控制结构、刷新控制方法及存储器”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及半导体器件结构设计领域，特别涉及一种刷新控制结构、刷新控制方法及存储器。

背景技术

存储器是用来存储程序和各种数据信息的记忆部件。其中，存储器可被分为易失性存储器装置和非易失性存储器装置，对于易失性存储器装置中的动态随机存取存储器（Dynamic Random Access Memory, DRAM），DRAM 通过为存储单元中的电容器进行充电或放电来实现存储数据，且当断电时丢失存储的数据。而对于非易失性存储器装置，当断电时也可以保持存储的数据。

易失性存储器装置广泛用作各种设备的主存储器，而非易失性存储器装置广泛用于在例如计算机、移动装置等的各种电子装置中存储程序代码和/或数据。

而无论易失性存储器还是非易失性存储器，存储器在工作过程中，通过不断执行的刷新操作来保证存储数据的准确性。确保刷新操作的准确性，在一定程度上保证了存储数据的准确性。

发明内容

本公开实施例提供一种刷新控制结构、刷新控制方法及存储器，至少用于提高存储器自刷新的准确性。

本公开一实施例提供了一种刷新控制结构，设置于存储块中，包括：处理电路，被配置为，基于刷新窗口对待刷新地址执行刷新；计数电路，被配置为，生成待刷新地址，并基于计数时钟控制生成的待刷新地址加 1；计数电路还被配置为，基于终止信号复位待刷新地址的最低位，且在复位待刷新地址的最低位的过程中，待刷新地址的次低位不变。

对于本实施例提供的刷新控制结构，计数电路在复位待刷新地址的最低位的过程中，待刷新地址的次低位不变，避免了在复位最低位的过程中由于进位信号导致待刷新地址的计数

过程，进而避免了存储器可能出现漏刷新的问题。

在一些实施例中，待刷新地址为 n 位二进制信号，计数电路包括级联的 n 个计数单元，每一计数单元包括：第一时钟端，用于接收计数时钟；第二时钟端，用于接收延时时钟，延时时钟为计数时钟的延时信号；复位控制端，用于接收复位信号，第一级计数单元的复位控制端还用于接收终止信号；第一输出端，用于产生地址信号， n 个计数单元产生的 n 个地址信号构成待刷新地址；第二输出端，连接下一级计数单元的控制端，用于产生进位信号，其中，第一级计数单元的控制端接收高电平；计数单元被配置为，当控制端输入的信号有效，基于延时时钟翻转地址信号，并基于计数时钟翻转进位信号。

在一些实施例中，计数单元包括：与非逻辑电路，第一输入端连接控制端，第二输入端用于接收延时时钟；第一触发器，反相时钟端连接与非逻辑电路的输出端，输出端连接第一输出端，复位端连接复位控制端；第二触发器，时钟端用于接收计数时钟，输入端连接第一触发器的输出端，反相输出端连接第一触发器的输入端，置位端连接复位控制端。

在一些实施例中，计数单元还包括：与逻辑电路，第一输入端连接第二触发器的输出端，第二输入端连接控制端，输出端连接第二输出端。

在一些实施例中，刷新控制结构还包括：延时单元，用于基于计数时钟生成延时时钟。

在一些实施例中，延时单元包括：非逻辑电路，输入端用于接收计数时钟；延时电路，输入端连接非逻辑电路的输出端；或非逻辑电路，第一输入端用于接收计数时钟，第二输入端连接延时电路的输出端，输出端用于输出延时时钟。

在一些实施例中，延时单元包括：延时电路，输入端用于接收计数时钟，输出端用于输出延时时钟。

在一些实施例中，计数电路被配置为，基于复位信号复位待刷新地址。

本公开另一实施例还提供了一种刷新控制方法，应用于存储器的自刷新模式，包括：应用于存储器的自刷新模式，包括：获取待刷新地址，并基于刷新窗口对待刷新地址执行刷新；完成刷新后，基于计数时钟控制待刷新地址加 1；其中，基于同一刷新命令所开启的刷新窗口为偶数；在执行刷新的过程中，若接收到终止信号，基于上述实施例提供的刷新控制结构调节待刷新地址。

本公开又一实施例还提供了一种存储器，存储器设置有多块存储块，且多个存储块中的每一存储块包括上述实施例提供的刷新控制结构，并基于刷新控制结构执行自刷新功能。

附图说明

一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制；为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，
5 显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本公开提供的存储器在不同刷新模式下，刷新命令与刷新窗口之间的对应关系；

图 2 为本公开提供的存储器于自刷新模式下，执行刷新地址计数的原理示意图；

图 3 为本公开提供的存储器于自刷新模式且中断自刷新过程时，执行刷新地址计数的原
10 理示意图；

图 4 为本公开提供的计数结构的结构示意图；

图 5 为本公开提供的图 4 所示的计数结构中每一计数单元的结构示意图；

图 6 为本公开提供的图 4 和图 5 所示计数结构的计数原理示意图；

图 7 为本公开一实施例提供的刷新控制结构的结构示意图；

15 图 8 为本公开一实施例提供的计数电路的结构示意图；

图 9 为本公开一实施例提供的图 8 所示的计数电路中每一计数单元的结构示意图；

图 10 为本公开一实施例提供的图 8 和图 9 所示计数电路的计数原理示意图。

具体实施方式

由背景技术可知，存储器在工作过程中，通过不断执行的刷新操作来保证存储数据的准
20 确性。确保刷新操作的准确性，在一定程度上保证了存储数据的准确性。

本公开一实施例提供了一种刷新控制结构，至少用于提高存储器自刷新的准确性。

本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开所要求保护的技术方案。以下各个实施例的划分是为了描述方便，不
25 应对本公开的具体实现方式构成任何限定，各个实施例在不矛盾的前提下可以相互结合，相互引用。

以下结合附图对本实施例提供的刷新控制结构进行详细说明，具体如下：

对于本公开实施例提供的存储器，存储器的刷新命令包括两类，分别是全阵列刷新命令（refresh all bank, REFab）和相同阵列刷新命令（refresh same bank, REFsb）。其中，REFab 用于指示存储器中所有存储块执行对待刷新地址的刷新；REFsb 用于指示存储器中目标存储块执行对待刷新地址的刷新。且单个 REFab 所开启的刷新窗口的数量大于单个 REFsb 所开启的刷新窗口的数量。参考图 1，图 1 为本公开提供的存储器在不同刷新模式下，刷新命令与刷新窗口之间的对应关系，在一个例子中，单个 REFab 所开启的刷新窗口为 4 个，单个 REFsb 所开启的刷新窗口为 2 个。在其他示例中，单个 REFab 所开启的刷新窗口可以为 5 个，单个 REFsb 所开启的刷新窗口可以为 3 个。

另外，存储器的刷新模式包括三类，分别是正常刷新模式、细粒度刷新（Fine grained refresh, FGR）模式和自刷新（self refresh, SREF）模式。其中，存储器于正常刷新模式下基于 REFab 执行刷新，存储器于 FGR 模式下同样基于 REFab 刷新，但 FGR 模式下 REFab 所开启的刷新窗口的数量小于正常刷新模式下 REFab 所开启的刷新窗口的数量，存储器于 SREF 模式下基于 REFsb 刷新。参考图 1，在一个例子中，正常刷新模式下单个 REFab 所开启的刷新窗口为 4 个，FGR 模式下单个 REFab 所开启的刷新窗口为 2 个，SREF 模式下单个 REFsb 所开启的刷新窗口为 2 个。在其他示例中，正常刷新模式下单个 REFab 所开启的刷新窗口可以为 5 个，FGR 模式下单个 REFab 所开启的刷新窗口可以为 3 个，SREF 模式下单个 REFsb 所开启的刷新窗口可以为 3 个。

对于 REFab 刷新，刷新地址计数器设置于存储控制器中，且刷新地址计数器基于刷新窗口执行计数加 1。例如，对于单个 REFab 开启 4 个刷新窗口，在第 1 个刷新窗口中，刷新地址计数器的刷新地址为 n ，存储器中所有存储块对刷新地址 n 执行刷新；在第 2 个刷新窗口中，刷新地址计数器的刷新地址为 $n+1$ ，存储器中所有存储块对刷新地址 $n+1$ 执行刷新；在第 3 个刷新窗口中，刷新地址计数器的刷新地址为 $n+2$ ，存储器中所有存储块对刷新地址 $n+2$ 执行刷新；在第 4 个刷新窗口中，刷新地址计数器的刷新地址为 $n+3$ ，存储器中所有存储块对刷新地址 $n+3$ 执行刷新。对于 REFsb 刷新，刷新地址计数器设置于存储控制器和每个存储块中，第 1 个 REFsb 用于指示第 1 个存储块执行刷新，在第 1 个刷新窗口中，第 1 个存储块对存储控制器中的刷新地址计数器下发的刷新地址 n 执行刷新，然后存储块内部的刷新地址计数器基于刷新地址 n 计数加 1，在第 2 个刷新窗口中，第 1 个存储块对内部的刷新地址计数器获取的刷新地址 $n+1$ 执行刷新；第 2 个 REFsb 用于指示第 2 个存储块执行上述刷新操作，直至所有存储块完成对刷新地址 n 和刷新地址 $n+1$ 的刷新，存储控制器中的刷新地址计数器执行刷新地址+2，以使得在下一个 REFsb 下，第 1 个存储块开始对刷新地址 $n+2$ 执行刷新。

基于上述论述可知，不同刷新模式下刷新命令所开启的刷新窗口的数量不同，而不同刷新窗口的数量会影响存储块内部刷新地址计数器的配置。例如，若一个刷新命令结束时，存储块内部的刷新地址计数器的值有奇数也有偶数，此时，刷新地址计数器只能通过全加器进行配置，而全加器的电路面积较大，若每一存储块中都设置一个全加器，会极大增大存储器的电路面积。若将不同刷新命令所开启的刷新窗口都设置为偶数，此时任意刷新命令结束时，存储块内部的刷新地址计数器的值必然为偶数，此时对于 REFsb 所开启的第二个刷新窗口，可以通过末尾地址取反实现，相比于采用全加器实现的电路，对末尾地址取反仅涉及到一个反相器，存储器的电路面积可以得到极大的缩减。

在 DDR 的规定中，当存储器退出 SREF 后，如果当前有刷新动作正在执行，DRAM 会完成整个刷新操作，以继续刷新完剩余的行地址。由于刷新操作是所有存储块同时执行开启操作和预充电操作，所需的峰值电流以及平均电流非常大，电流需求较大容易造成存储器电源的扰动，但延时锁相环（delay PLL，DLL）的锁定是存储控制器发出执行 SREF 的指令开始的，这就导致 DLL 锁定是在存储器电源的扰动较大的环境下进行。

基于这一问题，对于存储器的 SREF，需要实现 SREF 的强制中断功能（SREF Abort），SREF 的强制中断功能用于退出 SREF 时，中断正在进行的刷新操作，但是强制中断当前正在执行的刷新操作，可能会导致退出 SREF 后，存储块内部刷新地址计数器为奇数，如果此时执行 REFsb，会导致漏刷地址。即对于 SREF Abort 这一功能，需要将存储块内部的刷新地址计数器复位至偶数地址。

参考图 2，图 2 为本公开提供的存储器于自刷新模式下，执行刷新地址计数的原理示意图，理想情况下，SREF WIN 用于表征存储器执行 SREF 的时间，即在图 2 的示例中，当 SREF WIN 有效，存储器执行 SREF。存储器在执行 SREF 时，基于自刷新命令 SREFc 所开启的刷新窗口，对待刷新地址执行刷新，且每开启一个自刷新窗口，会对应产生一个计数时钟 CLK，计数时钟 CLK 用于对刷新地址进行计数，并获取下一自刷新窗口所需刷新的待刷新地址。如图 2 所示，在正常的 SREF 过程中，存储器依次对待刷新地址 $2n-4 \sim 2n+4$ 执行刷新。

结合图 2 并参考图 3，图 3 为本公开提供的存储器于自刷新模式且中断自刷新过程时，执行刷新地址计数的原理示意图，若在存储器执行 SREF 的过程中，执行 SREF 的强制中断功能（SREF Abort），在图 3 示例中，SREF 的强制中断功能基于中断信号 RST 表征，中断信号 RST 为高电平时，执行 SREF 的强制中断功能。

具体地，中断信号 RST 强制结束存储器的 SREF 的过程，即关闭 SREF WIN，并无效当

前的自刷新命令 SREFc, 此时 $2n+4$ 对应的待刷新地址无法刷新, 内部刷新地址计数器的计数值为 $2n+3$ 为奇数。基于前文可知, 此时中断信号 RST 还需要借助相关电路以将内部刷新地址计数器的计数值调整至偶数, 对于图 3 示例, 需要将内部刷新地址计数器的计数值调整至 $2n+2$ 、 $2n$ 或 $2n-2$ 等值。

5 对此, 目前存储器中设置有一种计数结构, 设置于存储块中, 用于实现刷新地址计数器的功能, 还用于配合中断信号 RST 将计数值调整至偶数。

具体参考图 4, 图 4 为本公开提供的计数结构的结构示意图, 待刷新地址为 n 位二进制信号, 计数结构包括级联的 n 个计数单元 10, 每一计数单元 10 包括: 时钟端 CNTCLK, 用于接收计数时钟 CBR_CLK; 复位控制端 CNTRST, 用于接收复位信号 CBR_RST, 且第一级
10 计数单元 10 的复位控制端还用于接收终止信号 SrefAbortRst; 第一输出端 OUT, 用于产生地址信号, 其中 n 个计数单元 10 产生的 n 个地址信号构成待刷新地址 $RA<n:0>$; 第二输出端 CAOUT, 连接下一级计数单元 10 的控制端 CAIN, 用于产生进位信号, 其中, 第一级计数单元 10 的控制端 CAIN 接收高电平; 计数单元 10 被配置为, 当控制端输入的信号有效, 基于计数时钟 CBR_CLK 翻转地址信号和进位信号。

15 需要说明的是, 对于第一级计数单元 10, 可以通过或逻辑电路实现同时接收复位信号 CBR_RST 和终止信号 SrefAbortRst。

具体地, 或逻辑电路的一输入端用于接收复位信号 CBR_RST, 另一输入端用于接收终止信号 SrefAbortRst, 输出端连接第一级计数单元 10 的复位控制端 CNTRST。需要说明的是, 在图 4 示例中, 或逻辑电路基于级联的或非门和反相器实现, 在其他示例中, 或逻辑电路可
20 以直接基于或门, 或其他多种级联的门电路构成。

还需要说明的是, 图 4 示例以计数结构中包括级联的 5 个计数单元 10 为例进行举例说明, 此时计数结构产生待刷新地址 $RA<4:0>$; 本领域技术人员可以根据待刷新地址 $RA<n:0>$ 的具体位数来配置相应数量的计数单元 10。

参考图 5, 图 5 为本公开提供的图 4 所示的计数结构中每一计数单元的结构示意图, 每
25 一计数单元 10 包括: 第一反相器, 输入端连接计数单元 10 的时钟端 CNTCLK, 以接收计数时钟 CBR_CLK; 与非门, 第一输入端连接第一反相器的输出端, 第二输入端连接计数单元 10 的控制端 CAIN; 第一触发器的反相时钟端连接与非门的输出端, 输出端 Q 连接计数单元 10 的第一输出端 OUT; 第二触发器的时钟端连接与非门的输出端, 输入端 D 连接第一触发器的输出端 Q, 反相输出端/Q 连接第一触发器的输入端 D。

参考图 5 并结合图 6, 图 6 为本公开提供的图 4 和图 5 所示计数结构的计数原理示意图, 对于第一级计数单元 10, 第一级计数单元 10 的控制端 CAIN 接收高电平, 此时与非门可视为反相器, 与非门输出的指示信号 CLK_x 可视为计数时钟 CBR_CLK 经过两级反相后, 与计数时钟 CBR_CLK 的相同信号。需要说明的是, 对于指示信号 CLK_x, 即图 6 所示的 CLK, 其中, 第一级计数单元 10 中的指示信号为 CLK₀, 第二级计数单元 10 中的指示信号为 CLK₁……第 n+1 级计数单元 10 中的指示信号为 CLK_n。

由于与非门的输出端连接第一触发器的反相时钟端, 触发器的反相时钟端基于下降沿驱动, 即第一触发器基于与非门输出的指示信号 CLK_x 的下降沿驱动。由于第一触发器的输出端 Q 连接第二触发器的输入端, 第二触发器的反相输出端/Q 连接第一触发器的输入端 D, 第一触发器和第二触发器可视为基于时钟端或反相时钟端的有效信号, 控制输出信号进行翻转。参考图 5 和图 6, 第一级计数单元 10 中的第一触发器基于指示信号 CLK₀ 翻转地址信号 OUT₀, 以构成待刷新地址 RA<n:0> 的其中一位。需要说明的是, 第一级计数单元 10 输出至第一输出端 OUT 的数据为地址信号 OUT₀, 第二级计数单元 10 输出至第一输出端 OUT 的数据为地址信号 OUT₁……第 n+1 级计数单元 10 输出至第一输出端 OUT 的数据为地址信号 OUT_n。

对于第二触发器, 第二触发器的时钟端连接计数单元 10 的时钟端 CNTCLK, 以接收计数时钟 CBR_CLK, 触发器的时钟端基于上升沿驱动, 即第二触发器可视为基于计数时钟 CBR_CLK 的上升沿翻转输出信号。参考图 5 和图 6, 第一级计数单元 10 中第二触发器基于计数时钟 CBR_CLK 的上升沿翻转输出信号以生成进位信号 CAOUT₀。需要说明的是, 第一级计数单元 10 输出的进位信号为 CAOUT₀, 第二级计数单元 10 输出的进位信号为 CAOUT₁……第 n+1 级计数单元 10 输出的进位信号为 CAOUT_n。

对于非第一级计数单元 10, 计数单元 10 的控制端 CAIN 连接前一级计数单元 10 的第二输出端 CAOUT, 用于接收进位信号 CAOUT_x; 基于第一反相器和与非门的工作原理, 如图 6 所示, 第二级计数单元 10 中与非门基于第一级计数单元 10 生成的进位信号 CAOUT₀ 和计数时钟 CBR_CLK 生成指示信号 CLK₁。第二级计数单元 10 中的第一触发器基于指示信号 CLK₁ 的下降沿翻转地址信号 OUT₁。

对于每一计数单元 10, 第二触发器的置位端 SET 连接复位控制端 CNTRST, 其中第一级计数单元 10 的复位控制端 CNTRST 用于接收复位信号 CBR_RST 和终止信号 SrefAbortRst, 其他计数单元 10 的复位控制端 CNTRST 仅用于接收复位信号 CBR_RST。当终止信号 SrefAbortRst 有效时, 置位第一级计数单元 10 中第二触发器的输出的进位信号 CAOUT₀ 至 1。在将第一级计数单元 10 中第二触发器的输出的进位信号 CAOUT₀ 置 1 的过程中, 由于指示

信号 CLK0 为低电平，第二触发器的反相输出数据被第一触发器采样，第一触发器将输出的地址信号 OUT0 置 0，从而实现将待刷新地址的最低位复位至 0。但在这一过程中，由于第一级计数单元 10 产生的进位信号 CAOUT0 为 1，使得第二级计数单元 10 中的与门产生的指示信号 CLK1 中出现了下降沿，指示信号 CLK1 的下降沿指示第一触发器翻转数据，从而使得计数结构向前进行了计数，即计数结构基于终止信号 SrefAbortRst 进行了计数，计数地址加 1。如图 6 所示，在对待刷新地址 3 进行刷新的过程中，终止信号 SrefAbortRst 有效，待刷新地址计数至 4，后续的刷新过程则基于待刷新地址 4 开始刷新，从而漏刷新了待刷新地址 3。

由此可知，目前存储器中的计数结构虽然可以配合中断信号 RST 将计数值调整至偶数，但是调整后的计数值会导致存储器对某一地址漏刷新，可能会导致存储器中存储的数据出现异常。

对此，本公开实施例提供一种刷新控制结构，参考图 7，图 7 为本公开一实施例提供的刷新控制结构的结构示意图，刷新控制结构设置于存储块中，至少用于提高存储器自刷新的准确性。其中，刷新控制结构包括：处理电路 102 和计数电路 101。处理电路 102 被配置为基于刷新窗口对待刷新地址执行刷新。计数电路 101 被配置为生成待刷新地址，并基于计数时钟控制生成的待刷新地址加 1；且计数电路 101 还被配置为，基于终止信号复位待刷新地址的最低位，且在复位待刷新地址的最低位的过程中，待刷新地址的次低位不变。

对于本实施例提供的刷新控制结构，计数电路 101 在复位待刷新地址的最低位的过程中，待刷新地址的次低位不变，避免了在复位最低位的过程中由于进位信号导致待刷新地址的计数过程，进而避免了存储器可能出现漏刷新的问题。

需要说明的是，图 7 所示的刷新控制结构还用于接收复位信号，复位信号用于对计数电路 101 的计数值进行复位或置位，从而基于复位信号复位计数电路 101 生成的待刷新地址。

具体地，参考图 8，图 8 为本公开一实施例提供的计数电路的结构示意图，待刷新地址为 n 位二进制信号，计数电路 101 包括级联的 n 个计数单元 201，每一计数单元 201 包括：第一时钟端 CNTCLK，用于接收计数时钟 CBR_CLK；第二时钟端 CNTEnd，用于接收延时时钟 CBR_CLKEnd，其中，延时时钟 CBR_CLKEnd 为计数时钟 CBR_CLK 的延时信号；复位控制端 CNTRST，用于接收复位信号 CBR_RST，且第一级计数单元 201 的复位控制端还用于接收终止信号 SrefAbortRst；第一输出端 OUT，用于产生地址信号，其中 n 个计数单元 201 产生的 n 个地址信号构成待刷新地址 $RA<n:0>$ ；第二输出端 CAOUT，连接下一级计数单元 201 的控制端 CAIN，用于产生进位信号，其中，第一级计数单元 201 的控制端 CAIN 接收

高电平；计数单元 201 被配置为，当控制端输入的信号有效，基于延时时钟 CBR_CLKEnd 翻转地址信号，并基于计数时钟 CBR_CLK 翻转进位信号。

需要说明的是，对于第一级计数电路 101，可以通过或逻辑电路 202 实现同时接收复位信号 CBR_RST 和终止信号 SrefAbortRst。具体地，或逻辑电路 202 的一输入端用于接收复位信号 CBR_RST，另一输入端用于接收终止信号 SrefAbortRst，输出端连接第一级计数电路 101 的复位控制端 CNTRST。需要说明的是，在图 8 示例中，或逻辑电路 202 基于级联的或非门和反相器实现；在其他示例中，或逻辑电路可以直接基于或门，或其他多种级联的门电路构成。

还需要说明的是，图 8 示例以计数电路 101 中包括级联的 5 个计数单元 201 为例进行举例说明，此时产生待刷新地址 RA<4:0>，并不构成对本实施例中计数电路 101 中计数单元 201 的数量限定，本领域技术人员可以根据待刷新地址 RA<n:0>的具体位数，以配置相应数量的计数单元 201。

参考图 9，图 9 为本公开一实施例提供的图 8 所示的计数电路中每一计数单元的结构示意图，每一计数单元 201 包括：与非逻辑电路 203、第一触发器 301 和第二触发器 302。其中，与非逻辑电路 203 的第一输入端连接计数单元 201 的控制端 CAIN，第二输入端用于接收延时时钟 CNTCLKEnd；第一触发器 301 的反相时钟端连接与非逻辑电路 203 的输出端，输出端 Q 连接计数单元 201 的第一输出端 OUT，复位端 RST 连接计数单元 201 的复位控制端 CNTRST；第二触发器 302 的时钟端用于接收计数时钟 CBR_CLK，输入端 D 连接第一触发器 301 的输出端 Q，反相输出端/Q 连接第一触发器 301 的输入端 D，置位端 SET 连接计数单元 201 的复位控制端 CNTRST。

在一个例子中，与非逻辑电路 203 通过与非门实现；在其他示例中，与非逻辑电路也可以与门级联反相器实现，也可以通过其他逻辑门电路的组合实现。

参考图 9 并结合图 10，图 10 为本公开一实施例提供的图 8 和图 9 所示计数电路的计数原理示意图，对于第一级计数单元 201，第一级计数单元 201 的控制端 CAIN 接收高电平，此时与非逻辑电路 203 可视为反相器，与非逻辑电路 203 输出的指示信号 CLKx 与延时时钟 CBR_CLKEnd 互为反相信号。需要说明的是，对于指示信号 CLKx，即图 9 所示的 CLK，其中，第一级计数单元 201 中的指示信号为 CLK0，第二级计数单元 201 中的指示信号为 CLK1……第 n+1 级计数单元 201 中的指示信号为 CLKn。

由于与非逻辑电路 203 的输出端连接第一触发器 301 的反相时钟端，触发器的反相时钟

端基于下降沿驱动,即第一触发器 301 基于与非逻辑电路 203 输出的指示信号 CLKx 的下降沿驱动。且与非逻辑电路 203 输出的指示信号 CLKx 与延时时钟 CBR_CLKEnd 互为反相信号,可视为第一触发器 301 基于延时时钟 CBR_CLKEnd 的上升沿驱动。由于第一触发器 301 的输出端 Q 连接第二触发器 302 的输入端,第二触发器 302 的反相输出端/Q 连接第一触发器 301 的输入端 D,第一触发器 301 和第二触发器 302 可视为基于时钟端或反相时钟端的有效信号,控制输出信号进行翻转。参考图 9 和图 10,第一级计数单元 201 中的第一触发器 301 基于指示信号 CLK0 的下降沿翻转地址信号 OUT0,以构成待刷新地址 RA<n:0>的其中一位。需要说明的是,第一级计数单元 201 输出至第一输出端 OUT 的数据为 OUT0,第二级计数单元 201 输出至第一输出端 OUT 的数据为 OUT1……第 n+1 级计数单元 201 输出至第一输出端 OUT 的数据为 OUTn。

对于第二触发器 302,第二触发器 302 的时钟端连接第一时钟端 CNTCLK,以接收计数时钟 CBR_CLK,触发器的时钟端基于上升沿驱动,第二触发器 302 可视为基于计数时钟 CBR_CLK 的上升沿翻转输出信号 CAOUTx。参考图 9 和图 10,第一级计数单元 201 中第二触发器 302 基于计数时钟 CBR_CLK 的上升沿翻转输出信号以生成进位信号 CAOUT0。需要说明的是,第一级计数单元 201 输出的进位信号为 CAOUT0,第二级计数单元 201 输出的进位信号为 CAOUT1……第 n+1 级计数单元 201 输出的进位信号为 CAOUTn。

对于非第一级计数单元 201,计数单元 201 的控制端 CAIN 连接前一级计数单元 201 的第二输出端 CAOUT,用于接收进位信号 CAOUTx;基于与非逻辑电路 203 的工作原理,当前一级计数单元 201 生成的进位信号为高电平时,对应生成延时时钟 CNTCLKEnd 中的反相脉冲。如图 10 所示,第二级计数单元 201 中与非逻辑电路 203 基于第一级计数单元 201 生成的进位信号 CAOUT0 和延时时钟 CNTCLKEnd 生成指示信号 CLK1。第二级计数单元 201 中的第一触发器 301 基于指示信号 CLK1 的下降沿翻转地址信号 OUT1。

对于每一计数单元 201,第一触发器 301 的复位端 RST 以及第二触发器 302 的置位端 SET 连接复位控制端 CNTRST,其中第一级计数单元 201 的复位控制端 CNTRST 用于接收复位信号 CBR_RST 和终止信号 SrefAbortRst,其他计数单元 201 的复位控制端 CNTRST 仅用于接收复位信号 CBR_RST。当终止信号 SrefAbortRst 有效时,复位第一级计数单元 201 中第一触发器 301 的输出的地址信号 OUT0 至 0,并置位第一级计数单元 201 中第二触发器 302 的输出的进位信号 CAOUT0 至 1。但由于计数单元 201 的结构设置,使得置 1 的进位信号并不影响后续计数单元 201 中指示信号 CLKx 的值,可参考图 10,当第一级计数单元 201 基于终止信号 SrefAbortRst 将输出的进位信号 CAOUT0 至 1 后,第二级计数单元 201 中的指示信号

CLK1 并不跳转，计数电路 101 并未继续计数，仅仅实现了最低位的复位。即在对待刷新地址 3 进行刷新的过程中，终止信号 SrefAbortRst 有效，待刷新地址复位至 2，后续的刷新过程则基于待刷新地址 2 开始刷新，刷新过程持续进行，不会出现漏刷新的过程。

需要说明的是，本实施例提供的计数电路 101 相比于计数结构，由于第一触发器 301 基于延时时钟 CNTCLKEnd 驱动，而第二触发器 302 基于计数时钟 CBR_CLK 驱动，相当于将第一触发器 301 的输出信号进行了延时，使得原本互为反相的第一触发器 301 的输出数据和第二触发器 302 的输出数据之间有了一定延时。

在一些实施例中，参考图 9，计数单元 201 还包括：与逻辑电路 204，第一输入端连接第二触发器 302 的输出端 Q，第二输入端连接计数单元 201 的控制端 CAIN，输出端连接计数单元 201 的第二输出端 CAIN，以使得计数单元 201 输出的进位信号受到控制端输入信号的控制。在一个例子中，与逻辑电路 204 通过与非门串联反相器实现，在其他示例中，与逻辑电路也可以基于与门实现，也可以通过其他逻辑门电路的组合实现。

在一些实施例中，刷新控制结构中还包括延时单元，延时单元用于基于计数时钟 CBR_CLK 生成延时时钟 CBR_CLKEnd。

在一个例子中，参考图 8，延时单元 303 包括：非逻辑电路 310，输入端用于接收计数时钟 CBR_CLK；延时电路 320，输入端连接非逻辑电路 310 的输出端；或非逻辑电路 330，第一输入端用于接收计数时钟 CBR_CLK，第二输入端连接延时电路 320 的输出端，输出端用于输出延时时钟 CBR_CLKEnd。

在另一个例子中，延时单元包括延时电路，延时电路的输入端用于接收计数时钟 CBR_CLK，输出端用于输出延时时钟 CBR_CLKEnd。以直接对计数时钟 CBR_CLK 延时以生成并输出延时时钟 CBR_CLKEnd。

对于本实施例提供的刷新控制结构，计数电路在复位待刷新地址的最低位的过程中，待刷新地址的次低位不变，避免了在复位最低位的过程中由于进位信号导致待刷新地址的计数过程，进而避免了存储器可能出现漏刷新的问题。

需要说明的是，上述实施例所提供的刷新控制结构中所揭露的特征，在不冲突的情况下可以任意组合，可以得到新的刷新控制结构实施例。

本公开另一实施例提供一种刷新控制方法，至少用于提高存储器自刷新的准确性。

具体地，刷新控制方法包括：获取待刷新地址，并基于刷新窗口对待刷新地址执行刷新，

且完成刷新后，基于计数失踪控制待刷新地址加 1；其中，基于同一刷新命令所开启的刷新窗口为偶数；在执行刷新的过程中，若接收到终止信号，基于上述实施例提供的刷新控制结构调节待刷新地址。

参考图 9 并结合图 10，对于第一级计数单元 201，第一级计数单元 201 的控制端 CAIN 接收高电平，此时与非逻辑电路 203 可视为反相器，与非逻辑电路 203 输出的指示信号 CLKx 与延时时钟 CBR_CLKEnd 互为反相信号。需要说明的是，对于指示信号 CLKx，即图 9 所示的 CLK，其中，第一级计数单元 201 中的指示信号为 CLK0，第二级计数单元 201 中的指示信号为 CLK1……第 n+1 级计数单元 201 中的指示信号为 CLKn。

由于与非逻辑电路 203 的输出端连接第一触发器 301 的反相时钟端，触发器的反相时钟端基于下降沿驱动，即第一触发器 301 基于与非逻辑电路 203 输出的指示信号 CLKx 的下降沿驱动。且与非逻辑电路 203 输出的指示信号 CLKx 与延时时钟 CBR_CLKEnd 互为反相信号，可视为第一触发器 301 基于延时时钟 CBR_CLKEnd 的上升沿驱动。由于第一触发器 301 的输出端 Q 连接第二触发器 302 的输入端，第二触发器 302 的反相输出端/Q 连接第一触发器 301 的输入端 D，第一触发器 301 和第二触发器 302 可视为基于时钟端或反相时钟端的有效信号，控制输出信号进行翻转。参考图 9 和图 10，第一级计数单元 201 中的第一触发器 301 基于指示信号 CLK0 的下降沿翻转地址信号 OUT0，以构成待刷新地址 RA<n:0>的其中一位。需要说明的是，第一级计数单元 201 输出至第一输出端 OUT 的数据为 OUT0，第二级计数单元 201 输出至第一输出端 OUT 的数据为 OUT1……第 n+1 级计数单元 201 输出至第一输出端 OUT 的数据为 OUTn。

对于第二触发器 302，第二触发器 302 的时钟端连接第一时钟端 CNTCLK，以接收计数时钟 CBR_CLK，触发器的时钟端基于上升沿驱动，第二触发器 302 可视为基于计数时钟 CBR_CLK 的上升沿翻转输出信号 CAOUTx。参考图 9 和图 10，第一级计数单元 201 中第二触发器 302 基于计数时钟 CBR_CLK 的上升沿翻转输出信号以生成进位信号 CAOUT0。需要说明的是，第一级计数单元 201 输出的进位信号为 CAOUT0，第二级计数单元 201 输出的进位信号为 CAOUT1……第 n+1 级计数单元 201 输出的进位信号为 CAOUTn。

对于非第一级计数单元 201，计数单元 201 的控制端 CAIN 连接前一级计数单元 201 的第二输出端 CAOUT，用于接收进位信号 CAOUTx；基于与非逻辑电路 203 的工作原理，当前一级计数单元 201 生成的进位信号为高电平时，对应生成延时时钟 CNTCLKEnd 中的反相脉冲。如图 10 所示，第二级计数单元 201 中与非逻辑电路 203 基于第一级计数单元 201 生成的进位信号 CAOUT0 和延时时钟 CNTCLKEnd 生成指示信号 CLK1。第二级计数单元 201 中

的第一触发器 301 基于指示信号 CLK1 的下降沿翻转地址信号 OUT1。

对于每一计数单元 201, 第一触发器 301 的复位端 RST 以及第二触发器 302 的置位端 SET 连接复位控制端 CNTRST, 其中第一级计数单元 201 的复位控制端 CNTRST 用于接收复位信号 CBR_RST 和终止信号 SrefAbortRst, 其他计数单元 201 的复位控制端 CNTRST 仅用于接收复位信号 CBR_RST。当终止信号 SrefAbortRst 有效时, 复位第一级计数单元 201 中第一触发器 301 的输出的地址信号 OUT0 至 0, 并置位第一级计数单元 201 中第二触发器 302 的输出的进位信号 CAOUT0 至 1。但由于计数单元 201 的结构设置, 使得置 1 的进位信号并不影响后续计数单元 201 中指示信号 CLKx 的值, 可参考图 10, 当第一级计数单元 201 基于终止信号 SrefAbortRst 将输出的进位信号 CAOUT0 至 1 后, 第二级计数单元 201 中的指示信号 CLK1 并不跳转, 计数电路 101 并未继续计数, 仅仅实现了最低位的复位。即在对待刷新地址 3 进行刷新的过程中, 终止信号 SrefAbortRst 有效, 待刷新地址复位至 2, 后续的刷新过程则基于待刷新地址 2 开始刷新, 刷新过程持续进行, 不会出现漏刷新的过程。

不难发现, 本实施例可与上一实施例提供的刷新控制结构互相配合实施。上一实施例中提到的相关技术细节在本实施例中依然有效, 为了减少重复, 这里不再赘述。

本公开另一实施例提供一种存储器, 存储器设置有多个存储块, 且多个存储块中每一存储块包括上述实施例提供的刷新控制结构, 并基于刷新控制结构执行自刷新功能。

其中, 计数电路在复位待刷新地址的最低位的过程中, 待刷新地址的次低位不变, 避免了在复位最低位的过程中由于进位信号导致待刷新地址的计数过程, 进而避免了存储器可能出现漏刷新的问题。

需要说明的是, 存储器可以是基于半导体装置或组件的存储单元或装置。例如, 存储器装置可以是易失性存储器, 例如动态随机存取存储器 DRAM、同步动态随机存取存储器 SDRAM、双倍数据速率同步动态随机存取存储器 DDR SDRAM、低功率双倍数据速率同步动态随机存取存储器 LPDDR SDRAM、图形双倍数据速率同步动态随机存取存储器 GDDR SDRAM、双倍数据速率类型双同步动态随机存取存储器 DDR2 SDRAM、双倍数据速率类型三同步动态随机存取存储器 DDR3 SDRAM、双倍数据速率第四代同步动态随机存取存储器 DDR4 SDRAM、晶闸管随机存取存储器 TRAM 等; 或者可以是非易失性存储器, 例如相变随机存取存储器 PRAM、磁性随机存取存储器 MRAM、电阻式随机存取存储器 RRAM 等。

本领域的普通技术人员可以理解, 上述各实施例是实现本公开的具体实施例, 而在实际应用中, 可以在形式上和细节上对其作各种改变, 而不偏离本公开的精神和范围。

权 利 要 求 书

1.一种刷新控制结构，设置于存储块中，其特征在于，包括：

处理电路（102），被配置为，基于刷新窗口对待刷新地址执行刷新；

计数电路（101），被配置为，生成所述待刷新地址，并基于计数时钟控制生成的所述待刷新地址加 1；

所述计数电路还被配置为，基于终止信号复位所述待刷新地址的最低位，且在复位所述待刷新地址的最低位的过程中，所述待刷新地址的次低位不变。

2.根据权利要求 1 所述的刷新控制结构，其特征在于，所述待刷新地址为 n 位二进制信号，所述计数电路包括级联的 n 个计数单元（201），每一计数单元包括：

第一时钟端（CNTCLK），用于接收所述计数时钟；

第二时钟端（CNTEnd），用于接收延时时钟，所述延时时钟为所述计数时钟的延时信号；

复位控制端（CNTRST），用于接收复位信号，第一级所述计数单元的复位控制端还用于接收所述终止信号；

第一输出端（OUT），用于产生地址信号，所述 n 个计数单元产生的 n 个地址信号构成所述待刷新地址；

第二输出端（CAOUT），连接下一级所述计数单元的控制端，用于产生进位信号，其中，第一级所述计数单元的控制端接收高电平；

所述计数单元被配置为，当控制端输入的信号有效，基于所述延时时钟翻转所述地址信号，并基于所述计数时钟翻转所述进位信号。

3.根据权利要求 2 所述的刷新控制结构，其特征在于，所述计数单元包括：

与非逻辑电路（203），第一输入端连接所述控制端，第二输入端用于接收所述延时时钟；

第一触发器（301），反相时钟端连接所述与非逻辑电路的输出端，输出端连接所述第一输出端，复位端连接所述复位控制端；

第二触发器（302），时钟端用于接收所述计数时钟，输入端连接所述第一触发器的输出端，反相输出端连接所述第一触发器的输入端，置位端连接所述复位控制端。

4.根据权利要求 3 所述的刷新控制结构，其特征在于，所述计数单元还包括：与逻辑电路（204），第一输入端连接所述第二触发器的输出端，第二输入端连接所述控制端，输出端连接所述第

二输出端。

5.根据权利要求3所述的刷新控制结构，其特征在于，还包括：延时单元（303），用于基于所述计数时钟生成所述延时时钟。

6.根据权利要求5所述的刷新控制结构，其特征在于，所述延时单元包括：

非逻辑电路（310），输入端用于接收所述计数时钟；

延时电路（320），输入端连接所述非逻辑电路的输出端；

或非逻辑电路（330），第一输入端用于接收所述计数时钟，第二输入端连接所述延时电路的输出端，输出端用于输出所述延时时钟。

7.根据权利要求5所述的刷新控制结构，其特征在于，所述延时单元包括：延时电路，输入端用于接收所述计数时钟，输出端用于输出所述延时时钟。

8.根据权利要求1所述的刷新控制结构，其特征在于，所述计数电路被配置为，基于复位信号复位所述待刷新地址。

9.一种刷新控制方法，其特征在于，应用于存储器的自刷新模式，包括：

获取待刷新地址，并基于刷新窗口对所述待刷新地址执行刷新；

完成刷新后，基于计数时钟控制所述待刷新地址加1；其中，基于同一刷新命令所开启的所述刷新窗口为偶数；

在执行刷新的过程中，若接收到终止信号，基于权利要求1~8任一项所述的刷新控制结构调节所述待刷新地址。

10.一种存储器，其特征在于，所述存储器设置多个存储块，且所述多个存储块中的每一存储块包括权利要求1~8任一项所述的刷新控制结构，并基于所述刷新控制结构执行自刷新功能。