

半导体结构及其制作方法

本公开要求于 2022 年 05 月 31 日提交中国专利局、申请号为 202210610515.8、
申请名称为“半导体结构及其制作方法”的中国专利申请的优先权，其全部内容通过
5 引用结合在本公开中。

技术领域

本公开涉及半导体技术领域，尤其涉及一种半导体结构及其制作方法。

10 背景技术

随着半导体技术的发展，存储器，尤其是动态随机存储器(Dynamic Random Access Memory，简称 DRAM)因其具有较高的存储密度以及较快的读写速度被广泛地应用
在各种电子设备中。

动态随机存储器通常包括多个存储单元，每个存储单元包括晶体管和电容器，晶
15 体管的栅极与动态随机存储器的字线(Word Line，简称 WL)电连接，通过字线上的
电压控制晶体管的开启和关闭；晶体管的源极和漏极中的一极与位线(Bit Line，简称
BL)电连接，源极和漏极中的另一极与电容器电连接，通过位线对数据信息进行存储
或者输出。

为了减小存储器的尺寸，提高其存储密度，通常将电容器水平放置，以便于制作
20 具有更大长细比的电容器。相应的，晶体管也水平放置，晶体管的栅极之间往往设置
绝缘结构，以将相邻的栅极之间绝缘隔离，然而，随着水平堆叠的晶体管的层数越来
越多，相邻栅极之间的绝缘结构的高度也越来越高，从而导致绝缘结构易倒塌，半导
体结构的稳固性较差。

25 发明内容

鉴于上述问题，本公开实施例提供一种半导体结构及其制作方法，用于提高半导
体结构的稳固性。

根据一些实施例，本公开第一方面提供一种半导体结构的制作方法，其包括：

在衬底上形成第一绝缘层，所述第一绝缘层内设置有多沿第一方向间隔排布且
30 沿第二方向间隔排布的有源柱，多个所述有源柱沿第三方向延伸；

去除部分所述第一绝缘层，形成多条沿所述第三方向延伸的第一沟槽；每条所述
第一沟槽暴露所述衬底，且位于沿所述第一方向相邻的两列所述有源柱之间；

在每条所述第一沟槽内形成隔离层；

去除相邻的所述隔离层之间的至少部分所述第一绝缘层，形成第一填充空间，所
35 述第一填充空间暴露所述有源柱的中间区域的外周面；

在暴露在所述第一填充空间内的所述有源柱的外周面形成栅极结构，所述栅极结

构沿所述第二方向形成一体。

本公开实施例提供的半导体结构的制作方法至少具有如下优点：

- 5 本公开实施例提供的半导体结构的制作方法中，通过去除沿第一方向位于相邻两列有源柱之间的部分第一绝缘层，形成暴露衬底的第一沟槽，并在第一沟槽内形成隔离层，隔离层将相邻两列有源柱隔开，从而将位于有源柱的外周面且沿第二方向形成一体的栅极结构隔开，调整隔离层的材质，可以减少隔离层的倒塌，从而提高半导体结构的稳固性。

根据一些实施例，本公开实施例的第二方面提供一种半导体结构，所述半导体结构由如上所述的制作方法获得，因而至少具有稳固性较好的优点。

10

附图说明

- 图 1 为相关技术中半导体结构的绝缘结构的形成过程图；
图 2 为相关技术中半导体结构的绝缘结构倒塌的示意图；
图 3 为本公开一实施例中的半导体结构的制作方法的一种流程图；
15 图 4 为本公开一实施例中的形成第一绝缘层后的 E-E 截面的示意图；
图 5 为本公开一实施例中的形成第一绝缘层后的 F-F 截面的示意图；
图 6 为本公开一实施例中的形成第一沟槽后的 E-E 截面的示意图；
图 7 为本公开一实施例中的形成第一沟槽后的 F-F 截面的示意图；
图 8 为本公开一实施例中的形成隔离层后的 E-E 截面的示意图；
20 图 9 为本公开一实施例中的形成隔离层后的 F-F 截面的示意图；
图 10 为本公开一实施例中的形成第一填充空间后的 E-E 截面的示意图；
图 11 为本公开一实施例中的形成第一填充空间后的 F-F 截面的示意图；
图 12 为本公开一实施例中的形成栅极结构后的 E-E 截面的示意图；
图 13 为本公开一实施例中的形成栅极结构后的 F-F 截面的示意图；
25 图 14 为本公开一实施例中的形成保护层后的 E-E 截面的示意图；
图 15 为本公开一实施例中的形成保护层后的 F-F 截面的示意图；
图 16 为本公开一实施例中的形成字线插塞后的 E-E 截面的示意图；
图 17 为本公开一实施例中的半导体结构的框架图；
图 18 为本公开一实施例中的形成叠层结构后的 E-E 截面的示意图；
30 图 19 为本公开一实施例中的形成叠层结构后的 F-F 截面的示意图；
图 20 为本公开一实施例中的形成第二沟槽后的 E-E 截面的示意图；
图 21 为本公开一实施例中的形成第二沟槽后的 F-F 截面的示意图；
图 22 为本公开一实施例中的形成第二牺牲层后的 E-E 截面的示意图；
图 23 为本公开一实施例中的形成第二牺牲层后的 F-F 截面的示意图；
35 图 24 为本公开一实施例中的形成支撑空间后的 E-E 截面的示意图；
图 25 为本公开一实施例中的形成支撑空间后的 F-F 截面的示意图；
图 26 为本公开一实施例中的形成支撑层后的 E-E 截面的示意图；
图 27 为本公开一实施例中的形成支撑层后的 F-F 截面的示意图；

图 28 为本公开一实施例中的形成第二填充空间后的 E-E 截面的示意图；
图 29 为本公开一实施例中的形成第二填充空间后的 F-F 截面的示意图。

具体实施方式

5 相关技术中，半导体结构的绝缘结构易倒塌，半导体结构的稳固性较差，经发明人研究发现，其原因在于，绝缘结构的机械性能较差，导致绝缘结构易倒塌。参阅图 1，制作半导体结构时，通常先在有源柱 30 上形成绝缘结构 20，绝缘结构 20 覆盖有源柱 30 且形成一体，以使各有源柱 30 之间绝缘隔离；再去除部分绝缘结构 20，以使
10 绝缘结构 20 分成多条，每条绝缘结构 20 位于相邻的两列有源柱 30 之间。如图 1 所示，绝缘结构 20 的厚度较薄且机械性能较差，易倒塌变形，影响半导体结构的稳固性。此外，参阅图 2，当绝缘结构 20 倒塌时，往往会与有源柱 30 相接触，有源柱 30 难以顺利形成所需的结构（例如晶体管），影响半导体结构的性能。

有鉴于此，本公开实施例提供一种半导体结构及其制作方法，通过在沿第一方向位于相邻两列有源柱之间形成隔离层，隔离层可以将相邻两列有源柱隔开，从而将位
15 于有源柱的外周面且沿第二方向形成一体的栅极结构隔开，调整隔离层的材质，可以减少隔离层的倒塌，从而提高半导体结构的稳固性。

为了使本公开实施例的上述目的、特征和优点能够更加明显易懂，下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本公开的一部分实施例，而不是全部的实施例。基于本公开中的
20 实施例，本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其它实施例，均属于本公开保护的范围。

参阅图 3，图 3 为本公开一实施例中的半导体结构的制作方法的流程图，该制作方法包括：

步骤 S10：在衬底上形成第一绝缘层，第一绝缘层内设置有多个沿第一方向间隔
25 排布且沿第二方向间隔排布的有源柱，多个有源柱沿第三方向延伸。

参阅图 4 和图 5，图 4 所示的截面 E-E 为垂直于第三方向的截面，图 5 所示的截面 F-F 为平行于第二方向且经过晶体管的截面。衬底 10 可以为衬底 10 上的结构层提供支撑基础，衬底 10 的材质可以为半导体，例如，衬底 10 的材质可以为单晶硅、多晶硅、无定型硅、锗、碳化硅、锗化硅、绝缘体上锗（Germanium on Insulator，简称
30 GOI）或者绝缘体上硅（Silicon on Insulator，简称 SOI）等。

衬底 10 上形成有第一绝缘层 70，第一绝缘层 70 内设置有多个间隔设置的有源柱 30，有源柱 30 后续可以形成晶体管 2（参阅图 17）。如图 4 所示，多个有源柱 30 位于第一绝缘层 70 内部，相邻有源柱 30 之间填充有第一绝缘层 70，通过第一绝缘层 70 将各有源柱 30 隔离。在一些可能的示例中，第一绝缘层 70 覆盖多个有源柱 30，
35 且第一绝缘层 70 背离衬底 10 的表面高于有源柱 30 背离衬底 10 的表面，以使多个有源柱 30 位于第一绝缘层 70 的内部。第一绝缘层 70 的材质可以为氧化物，例如氧化硅，以便于第一绝缘层 70 后续的去除。

继续参阅图 4 和图 5，多个有源柱 30 沿第三方向延伸，且多个有源柱 30 呈阵列排布。多个有源柱 30 不仅沿第一方向间隔排布，而且沿第二方向间隔排布，第一方

向与第二方向相交叉，第一方向与第二方向均与第三方向相垂直。第三方向为平行于衬底 10 的方向，如图 5 所示 Y 方向，第二方向为垂直于衬底 10 的方向，如图 5 所示的 Z 方向。

其中，第一方向、第二方向和第三方向两两垂直，例如，第一方向如图 4 所示的 X 方向。这样排布，可以使得多个有源柱 30 的排布更紧凑，排布方式更优，最大程度提高多个有源柱 30 的排布数量，从而提高半导体结构的存储密度。

在一些可能的实施例中，有源柱 30 包括源极、漏极，以及位于源极和漏极之间的沟道，即源极、沟道和漏极沿第三方向依次排布。可以理解的是，源极和漏极分别位于有源柱 30 的两端，源极和漏极中的一极与位线 1（参阅图 17）电性连接，源极和漏极中的另一极与电容器 3（参阅图 17）电性连接，沟道位于有源柱 30 的中间区域。

步骤 S20：去除部分第一绝缘层，形成多条沿第三方向延伸的第一沟槽；每条第一沟槽暴露衬底，且位于沿第一方向相邻的两列有源柱之间。

参阅图 6 和图 7，湿法刻蚀或者干法刻蚀去除部分第一绝缘层 70，以形成第一沟槽 71。第一沟槽 71 具有多条，多条第一沟槽 71 间隔设置，互不连通，且第一沟槽 71 不暴露有源柱 30。第一沟槽 71 暴露衬底 10，且每条第一沟槽 71 位于相邻两列有源柱 30 之间，这两列有源柱 30 沿第一方向排布。如图 6 所示，每条第一沟槽 71 位于左右相邻的两列有源柱 30 之间。

多条第一沟槽 71 沿第三方向延伸，即第一沟槽 71 与有源柱 30 的延伸方向相同。在一些可能的实施例中，沿第三方向，第一沟槽 71 的长度可以与有源柱 30 的长度相同，即第一沟槽 71 将第一绝缘层 70 分隔成多条。在另一些可能的实施例中，沿第三方向，第一沟槽 71 的长度可以短于有源柱 30 的长度，第一沟槽 71 至少与有源柱 30 的中间区域相对，即第一沟槽 71 至少与沟道相对，第一沟槽 71 可以延伸至源极和/或漏极。

在一些可能的实现方式中，去除部分第一绝缘层 70，形成多条沿第三方向延伸的第一沟槽 71；每条第一沟槽 71 暴露衬底 10，且位于沿第一方向相邻的两列有源柱 30 之间，包括：

在第一绝缘层 70 上形成第二光刻胶层，第二光刻胶层具有第二图案，第二图案包括多条沿第三方向延伸的第二刻蚀沟槽。示例性的，在第一绝缘层 70 上涂覆第二光刻胶层，通过对第二光刻胶层显影、曝光等，在第二光刻胶层中形成所需的第二图案。第二图案包括多条间隔设置的第二刻蚀沟槽，第二刻蚀沟槽沿第三方向延伸且暴露部分第一绝缘层 70。

形成第二光刻胶层后，以第二光刻胶层为掩膜，刻蚀第一绝缘层 70，形成第一沟槽 71。以第二光刻胶层为掩膜，刻蚀去除未被第二光刻胶层覆盖的第一绝缘层 70，保留被第二光刻胶层覆盖的第一绝缘层 70，在第一绝缘层 70 中形成第一沟槽 71。

需要说明的是，在以第二光刻胶层为掩膜，刻蚀第一绝缘层 70 时，也会去除第二光刻胶层。在一些可能的示例中，刻蚀第一绝缘层 70 的过程中，第二光刻胶层完全被去除，第二光刻胶层无需单独去除。在另一些可能的示例中，刻蚀第一绝缘层 70 后，第二光刻胶层仍有部分剩余。此时，第二光刻胶层需要单独去除，例如，通过灰

化工艺去除第二光刻胶层，以使第一绝缘层 70 暴露。

步骤 S30：在每条第一沟槽内形成隔离层。

参阅图 7、图 8 和图 9，隔离层 72 填充在第一沟槽 71 内，例如，隔离层 72 通过沉积工艺形成，沉积工艺包括化学气相沉积（Chemical Vapor Deposition，简称 CVD）、

5 物理气相沉积（Physical Vapor Deposition，简称 PVD）或者原子层沉积（Atomic Layer Deposition，简称 ALD）等。

在一些可能的实现方式中，在每条第一沟槽 71 内形成隔离层 72，包括：

在每条第一沟槽 71 内和第一绝缘层 70 上沉积隔离层 72，隔离层 72 填充满第一沟槽 71 且覆盖第一绝缘层 70 背离衬底 10 的表面。隔离层 72 填充满第一沟槽 71 且
10 覆盖第一绝缘层 70，以便于隔离层 72 的形成。隔离层 72 的材质包括氮化硅或者氮氧化硅，隔离层 72 的材质较硬，机械性能较好，不易倒塌，半导体结构的稳固性较好。

沉积隔离层 72 后，对隔离层 72 背离衬底 10 的表面进行平坦化处理，以暴露第一绝缘层 70。如图 8 所示，对隔离层 72 进行平坦化处理，去除位于第一绝缘层 70 上方的隔离层 72，以暴露第一绝缘层 70。例如，通过化学机械研磨（Chemical Mechanical
15 Polishing，简称 CMP）隔离层 72 背离衬底 10 的表面。

步骤 S40：去除相邻的隔离层之间的至少部分第一绝缘层，形成第一填充空间，第一填充空间暴露有源柱的中间区域的外周面。

参阅图 10 和图 11，形成隔离层 72 后，隔离层 72 可以对沿第三方向相邻两列有源柱 30 进行绝缘隔离，此时，可以去除相邻的隔离层 72 之间的至少部分第一绝缘层
20 70，形成第一填充空间 73，有源柱 30 的中间区域的外周面暴露在第一填充空间 73 内。其中，有源柱 30 的中间区域包括有源区的沟道，即第一填充空间 73 暴露沟道的外周面，以便于在沟道的外周面形成栅极结构 80。

具体的，在沿第三方向第一沟槽 71 的长度与有源柱 30 的长度相同的实施例，去除位于相邻的隔离层 72 之间的部分第一绝缘层 70，该部分第一绝缘层 70 与沟道相对。也就是说，去除的第一绝缘层 70 沿第三方向的长度小于隔离层 72 沿第三方向的
25 长度，剩余的第一绝缘层 70 位于隔离层 72 沿第三方向的两端，以防止在整个有源柱 30 上都形成栅极结构。

在沿第三方向第一沟槽 71 的长度小于有源柱 30 的长度的实施例中，去除位于相邻的隔离层 72 之间的部分第一绝缘层 70 或者全部第一绝缘层 70，以暴露沟道。通过
30 在相邻的沟道之间设置隔离层 72，可以对后续形成在沟道上的栅极结构绝缘隔离。

步骤 S50：在暴露在第一填充空间内的有源柱的外周面形成栅极结构，栅极结构沿第二方向形成一体。

参阅图 10 至图 13，栅极结构 80 包括栅介质层 81 和栅导电层 82，其中，栅介质层 81 覆盖有源柱 30 的外周面，栅导电层 82 覆盖栅介质层 81 的外周面，且栅导电层
35 82 沿第二方向形成一体，以形成字线 4。栅介质层 81 的材质可以包括氧化物，栅导电层 82 的材质可以包括 W、TiN、TaN、Al、Ru 或 Cu 等电阻较小的材料。

在一些可能的实现方式中，在暴露在第一填充空间 73 内的有源柱 30 的外周面形成栅极结构 80，栅极结构 80 沿第二方向形成一体，包括：

在有源柱 30 的外周面形成栅介质层 81，栅介质层 81 之间，以及栅介质层 81 与

隔离层 72 之间均具有间隙。示例性的，通过沉积工艺在有源柱 30 暴露的外周面上形成栅介质层 81，栅介质层 81 覆盖有源柱 30，栅介质层 81 之间相间隔，且栅介质层 81 与隔离层 72 之间相间隔。

5 在剩余的第一填充空间 73 内形成栅导电层 82，栅介质层 81 和栅导电层 82 形成栅极结构 80。如图 11 至图 13 所示，栅导电层 82 填充满剩余的第一填充空间 73，栅导电层 82 沿第二方向延伸形成一体。栅导电层 82 用作字线 4，一方面在占用同样大小的衬底 10 的基础上，可以提高半导体结构的集成度，另一方面栅导电层 82 环绕沟道，还可以提高栅导电层 82 的沟道控制能力，提高半导体结构的性能。

10 在一些可能的实施例中，参阅图 14 至图 17，在暴露在第二填充空间 73 内的有源柱 30 的外周面形成栅极结构 80，栅极结构 80 沿第二方向形成一体之后，还包括：

15 在栅极结构 80、第一绝缘层 70 和隔离层 72 上形成保护层 91，并在保护层 91 上形成第二绝缘层 92。如图 14 和图 15 所示，保护层 91 覆盖栅极结构 80、第一绝缘层 70 和隔离层 72。参阅图 16 和图 17，第二绝缘层 92 覆盖保护层 91。保护层 91 一方面可以对栅极结构 80 进行隔离和保护，减少或者防止栅极结构 80 氧化，另一方面还可以用作第二绝缘层 92 的刻蚀停止层，减少或者防止栅极结构 80 受到刻蚀损伤。第二绝缘层 92 的材质可以为氧化硅，保护层 91 的材质可以为氮化硅或者氮氧化硅。

20 形成第二绝缘层 92 后，刻蚀第二绝缘层 92 和保护层 91，形成多个间隔设置的字线插塞孔，每个字线插塞孔暴露一个栅极结构 80。具体的，湿法刻蚀或者干法刻蚀第二绝缘层 92 和保护层 91，以形成字线插塞孔，字线插塞孔贯穿第二绝缘层 92 和保护层 91，以暴露栅极结构 80，多个字线插塞孔与多个栅极结构 80 一一对应。

形成字线插塞孔后，在字线插塞孔内形成字线插塞 5，字线插塞 5 与栅极结构 80 一一对应且电性连接。参阅图 16 和图 17，在每个字线插塞孔内形成一个字线插塞 5，字线插塞 5 与相对应的栅极结构 80 相对应且电连接。

25 综上，本公开实施例提供的半导体结构的制作方法中，通过去除沿第一方向位于相邻两列有源柱 30 之间的部分第一绝缘层 70，形成暴露衬底 10 的第一沟槽 71，并在第一沟槽 71 内形成隔离层 72，隔离层 72 将相邻两列有源柱 30 隔开，从而将位于有源柱 30 的外周面且沿第二方向形成一体的栅极结构 80 隔开，调整隔离层 72 的材质，可以减少隔离层 72 的倒塌，从而提高半导体结构的稳固性。

30 参阅图 18 至图 29，在本申请一种可能的实施例中，在衬底 10 上形成第一绝缘层 70，第一绝缘层 70 内设置有多沿第一方向间隔排布且沿第二方向间隔排布的有源柱 30，多个有源柱 30 沿第三方向延伸（步骤 S10），包括：

步骤 S11：在衬底 10 上形成叠层结构 40，叠层结构 40 包括沿第二方向依次交替设置的第一牺牲层 41 和有源层 42。

35 参阅图 18 和图 19，叠层结构 40 包括多个第一牺牲层 41 和多个有源层 42，多个第一牺牲层 41 和多个有源层 42 沿第二方向交替堆叠设置。其中，第二方向为垂直于衬底 10 的方向，如图 18 所示 Z 方向。沿第二方向，相邻两个第一牺牲层 41 之间设置有有源层 42，或者相邻两个有源层 42 之间设置有第一牺牲层 41，以使得第一牺牲层 41 和有源层 42 依次交替设置。如此排布，通过第一牺牲层 41 可以将相邻两个有

源层 42 隔离开来，以便于使有源层 42 沿第一方向电性隔离。

具体的，叠层结构 40 靠近衬底 10 的最内层为第一牺牲层 41，叠层结构 40 远离衬底 10 的最外层为有源层 42。如此设置，一方面最内层的第一牺牲层 41 可以将该第一牺牲层 41 上的有源层 42 与衬底 10 之间间隔开来，每层有源层 42 后续都可以形成有源柱 30，从而提高半导体结构的存储容量。另一方面最外层为有源层 42，当叠层结构 40 具有相同层数的有源层 42 时，叠层结构 40 的高度降低，以便于后续刻蚀叠层结构 40。

在一些可能的实现方式中，由衬底 10 通过外延生长工艺（Epitaxy，简称 EPI）形成第一牺牲层 41 和有源层 42。具体的，衬底 10、有源层 42 和第一牺牲层 41 具体同样的元素，例如硅元素，以在衬底 10 上外延生长第一牺牲层 41，在第一牺牲层 41 上外延生长有源层 42，并在有源层 42 上外延生长第一牺牲层 41。示例性的，衬底 10 的材质包括硅，有源层 42 的材质包括硅，第一牺牲层 41 的材质包括锗化硅。一方面便于外延生长形成有源层 42 和第一牺牲层 41，另一方面第一牺牲层 41 与有源层 42 具有较大的选择比，后续可以单独去除第一牺牲层 41，减少去除第一牺牲层 41 时对有源层 42 的损伤。在一些实施例中，有源层 42 的材质包括有掺杂的硅，例如，有源层 42 的材质包括 N 型掺杂的硅，以提高有源层 42 的电学性能。

步骤 S12：刻蚀叠层结构 40，形成多条间隔设置且沿第三方向延伸的第二沟槽 43，第二沟槽 43 暴露衬底 10，且将有源层 42 分隔成多个有源柱 30。

参阅图 20 和图 21，叠层结构 40 中形成多条第二沟槽 43，多条第二沟槽 43 间隔设置且沿第三方向延伸，第三方向为图 21 所示水平方向（Y 方向）。第三方向平行于衬底 10，且与第二方向相垂直。第二沟槽 43 贯穿叠层结构 40，以暴露衬底 10。

在一些可能的实施例中，参阅图 20，第二沟槽 43 还可以延伸至衬底 10 中，即第二沟槽 43 的槽底位于衬底 10 中。如此设置，一方面可以保证第二沟槽 43 将叠层结构 40 分隔成多个分体，从而使得叠层结构 40 中的各有源层 42 均分隔成多个间隔设置的有源柱 30，以提高有源柱 30 的数量，增加半导体结构的存储容量；另一方面可以保证第二沟槽 43 贯穿所有的第一牺牲层 41，以便于后续去除第一牺牲层 41。

步骤 S13：去除第一牺牲层 41，形成第二填充空间 61。

参阅图 22，在一些可能的实现方式中，去除第一牺牲层 41，形成第二填充空间 61，包括：

在第二沟槽 43 内和叠层结构 40 上沉积第二牺牲层 50，第二牺牲层 50 填满第二沟槽 43 且覆盖叠层结构 40 背离衬底 10 的表面。如图 22 和图 23 所示，第二牺牲层 50 填平第二沟槽 43 且覆盖叠层结构 40 的上表面。其中，在第二沟槽 43 内和叠层结构 40 上沉积第二牺牲层 50，第二牺牲层 50 填满第二沟槽 43 且覆盖叠层结构 40 之后，还包括：对第二牺牲层 50 背离衬底 10 的表面平坦化处理，以使第二牺牲层 50 的上表面较为平整，以便于进行后续制作。

形成第二牺牲层 50 后，去除部分第二牺牲层 50 和第一牺牲层 41，形成沿第三方向间隔排布的至少两个支撑空间 51，至少两个支撑空间 51 将有源柱 30 分隔成多个区域。参阅图 24 和图 25，示例性的，支撑空间 51 具有两个，这两个支撑空间 51 可以将有源柱 30 沿第三方向分隔成三个区域，这三个区域可以分别为位线区、晶体管区

和电容器区，其中，晶体管区位于两个支撑空间 51 之间。当然，支撑空间 51 还可以更多。

示例性的，去除部分第二牺牲层 50 和第一牺牲层 41，形成沿第三方向间隔排布的至少两个支撑空间 51，至少两个支撑空间 51 将有源柱 30 分隔成多个区域，包括：

5 在第二牺牲层 50 上形成第一光刻胶层，第一光刻胶层具有第一图案，第一图案包括至少两条沿第一方向延伸的第一刻蚀沟槽；以第一光刻胶层为掩膜，刻蚀第二牺牲层 50，形成多个间隔设置的刻蚀孔；去除沿第一方向位于相邻的两个刻蚀孔之间的第一牺牲层 41，以使得沿第一方向排布的刻蚀孔连通，形成支撑空间 51。

其中，第一光刻胶层可以通过旋涂等工艺形成在第二光刻胶层上，第一刻蚀沟槽暴露部分第二牺牲层 50。刻蚀第二牺牲层 50 所形成的刻蚀孔贯穿第二牺牲层 50，刻蚀孔暴露衬底 10、有源柱 30 和第一牺牲层 41。利用刻蚀孔可以去除第一牺牲层 41，具体的，湿法刻蚀暴露在刻蚀孔中的第一牺牲层 41，以使沿第一方向排布的各刻蚀孔相连通，形成一个支撑空间 51，各支撑空间 51 沿第三方向间隔设置。

10

形成支撑空间 51 后，在每个支撑空间 51 内形成支撑层 60。参阅图 25、图 26 和图 27，在每个填充空间内沉积支撑层 60，支撑层 60 沿第三方向间隔设置，支撑层 60 的材质可以为氮化硅。可以理解的是，以垂直于第三方向的平面为截面，支撑层 60 的截面形状为网状。

15

形成支撑层 60 后，去除剩余的第二牺牲层 50 和剩余的第一牺牲层 41，形成第二填充空间 61。示例性的，湿法刻蚀剩余的第二牺牲层 50，以暴露第二沟槽 43，并利用第二沟槽 43，继续湿法刻蚀去除剩余的第一牺牲层 41，形成第二填充空间 61，第二填充空间 61 包括第二沟槽 43。

20

步骤 S14：在第二填充空间 61 内沉积第一绝缘层 70。

参阅图 28、图 29、图 4 和图 5，第一绝缘层 70 填平第二填充空间 61，在一些可能的实现方式中，在第二填充空间 61 内沉积第一绝缘层 70，包括：

25 在第二填充空间 61 内和叠层结构 40 上沉积第一绝缘层 70，第一绝缘层 70 填满第二填充空间 61 且覆盖叠层结构 40 背离衬底 10 的表面。如图 28 和图 4 所示，第一绝缘层 70 填满第二填充空间 61 且覆盖叠层结构 40 的上表面。

对第一绝缘层 70 背离衬底 10 的表面平坦化处理。如图 4 所示，平坦化处理后，第一绝缘层 70 背离衬底 10 的表面较为平整，以便于在其上形成其他的结构层。此外，有源柱 30 并未暴露出来，第一绝缘层 70 可以减少或者有源柱 30 氧化。

30

需要说明的是，在一些可能的实施例，多个隔离层 72 均位于相同的两个相邻的支撑层 60 之间，且隔离层 72 与支撑层 60 之间具有间隔；去除相邻的隔离层 72 之间的至少部分第一绝缘层 70，形成第一填充空间 73，第一填充空间 73 暴露有源柱 30 的中间区域的外周面，包括：去除相邻的隔离层 72 之间且与隔离层 72 正对的全部第一绝缘层 70，形成第一填充空间 73。

35

沿第三方向，衬底 10 上形成有至少两个支撑层 60，有源柱 30 穿过至少两个支撑层 60。在这至少两个支撑层 60 中，其中一组相邻的两个支撑层 60 之间设置有多个隔离层 72。在一些可能的示例中，沿第三方向设置有两个支撑层 60，这两个支撑层 60 即为一组相邻的两个支撑层 60，这两个支撑层 60 之间设置有多个隔离层 72。在另一

些可能的示例中，沿第三方向设置有三个支撑层 60，这三个支撑层 60 包括两组相邻的两个支撑层 60，这两组相邻的两个支撑层 60 中的一组相邻的两个支撑层 60 之间设置有多组隔离层 72。

- 5 沿第三方向隔离层 72 的两端具有支撑层 60 之间具有间隔，此时，去除相邻的隔离层 72 之间且与隔离层 72 正对的全部第一绝缘层 70，形成第一填充空间 73。沿第三方向，隔离层 72 的长度与第一填充空间 73 的长度相等。

- 10 本说明书中各实施例或实施方式采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分相互参见即可。参考术语“一个实施方式”、“一些实施方式”、“示意性实施方式”、“示例”、“具体示例”、或“一些示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施方式或示例中。在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何一个或多个实施方式或示例中以合适的方式结合。

- 15 最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

权 利 要 求 书

- 1、一种半导体结构的制作方法，包括：
- 在衬底上形成第一绝缘层，所述第一绝缘层内设置有多沿第一方向间隔排布且沿第二方向间隔排布的有源柱，多个所述有源柱沿第三方向延伸；
- 5 去除部分所述第一绝缘层，形成多条沿所述第三方向延伸的第一沟槽；每条所述第一沟槽暴露所述衬底，且位于沿所述第一方向相邻的两列所述有源柱之间；
- 在每条所述第一沟槽内形成隔离层；
- 去除相邻的所述隔离层之间的至少部分所述第一绝缘层，形成第一填充空间，所述第一填充空间暴露所述有源柱的中间区域的外周面；
- 10 在暴露在所述第一填充空间内的所述有源柱的外周面形成栅极结构，所述栅极结构沿所述第二方向形成一体。
- 2、根据权利要求1所述的制作方法，其中，在衬底上形成第一绝缘层，所述第一绝缘层内设置有多沿第一方向间隔排布且沿第二方向间隔排布的有源柱，多个所述有源柱沿第三方向延伸，包括：
- 15 在所述衬底上形成叠层结构，所述叠层结构包括沿所述第二方向依次交替设置的第一牺牲层和有源层；
- 刻蚀所述叠层结构，形成多条间隔设置且沿所述第三方向延伸的第二沟槽，所述第二沟槽暴露衬底，且将所述有源层分隔成多个所述有源柱；
- 去除所述第一牺牲层，形成第二填充空间；
- 20 在所述第二填充空间内沉积所述第一绝缘层。
- 3、根据权利要求2所述的制作方法，其中，去除所述第一牺牲层，形成第二填充空间，包括：
- 在所述第二沟槽内和所述叠层结构上沉积第二牺牲层，所述第二牺牲层填满所述第二沟槽且覆盖所述叠层结构背离所述衬底的表面；
- 25 去除部分所述第二牺牲层和所述第一牺牲层，形成沿所述第三方向间隔排布的至少两个支撑空间，所述至少两个支撑空间将所述有源柱分隔成多个区域；
- 在每个所述支撑空间内形成支撑层；
- 去除剩余的所述第二牺牲层和剩余的所述第一牺牲层，形成所述第二填充空间。
- 4、根据权利要求3所述的制作方法，其中，在所述第二沟槽内和所述叠层结构上沉积第二牺牲层，所述第二牺牲层填满所述第二沟槽且覆盖所述叠层结构之后，还包括：
- 30 对所述第二牺牲层背离所述衬底的表面平坦化处理。
- 5、根据权利要求3所述的制作方法，其中，去除部分所述第二牺牲层和所述第一牺牲层，形成沿所述第三方向间隔排布的至少两个支撑空间，所述至少两个支撑空间将所述有源柱分隔成多个区域，包括：
- 35 在所述第二牺牲层上形成第一光刻胶层，所述第一光刻胶层具有第一图案，所述第一图案包括至少两条沿所述第一方向延伸的第一刻蚀沟槽；
- 以所述第一光刻胶层为掩膜，刻蚀所述第二牺牲层，形成多个间隔设置的刻蚀孔；

去除沿所述第一方向位于相邻的两个所述刻蚀孔之间的所述第一牺牲层，以使得沿所述第一方向排布的所述刻蚀孔连通，形成所述支撑空间。

6、根据权利要求3所述的制作方法，其中，多个所述隔离层均位于相同的两个相邻的所述支撑层之间，且所述隔离层与所述支撑层之间具有间隔；

5 去除相邻的所述隔离层之间的至少部分所述第一绝缘层，形成第一填充空间，所述第一填充空间暴露所述有源柱的中间区域的外周面，包括：

去除相邻的所述隔离层之间且与所述隔离层正对的全部所述第一绝缘层，形成所述第一填充空间。

7、根据权利要求2所述的制作方法，其中，在所述第二填充空间内沉积所述第一绝缘层，包括：

10 在所述第二填充空间内和所述叠层结构上沉积所述第一绝缘层，所述第一绝缘层填满所述第二填充空间且覆盖所述叠层结构背离所述衬底的表面；

对所述第一绝缘层背离所述衬底的表面平坦化处理。

8、根据权利要求2所述的制作方法，其中，所述第一牺牲层的材质包括锗化硅，15 所述有源层的材质包括N型掺杂的硅。

9、根据权利要求2所述的制作方法，其中，通过外延生长工艺形成所述第一牺牲层和所述有源层。

10、根据权利要求2所述的制作方法，其中，所述叠层结构靠近所述衬底的最内层为所述第一牺牲层，所述叠层结构远离所述衬底的最外层为所述有源层。

20 11、根据权利要求1-10任一项所述的制作方法，其中，去除部分所述第一绝缘层，形成多条沿所述第三方向延伸的第一沟槽；每条所述第一沟槽暴露所述衬底，且位于沿所述第一方向相邻的两列所述有源柱之间，包括：

在所述第一绝缘层上形成第二光刻胶层，所述第二光刻胶层具有第二图案，所述第二图案包括多条沿所述第三方向延伸的第二刻蚀沟槽；

25 以所述第二光刻胶层为掩膜，刻蚀所述第一绝缘层，形成所述第一沟槽。

12、根据权利要求1-10任一项所述的制作方法，其中，在每条所述第一沟槽内形成隔离层，包括：

在每条所述第一沟槽内和所述第一绝缘层上沉积隔离层，所述隔离层填满所述第一沟槽且覆盖所述第一绝缘层背离所述衬底的表面；

30 对所述隔离层背离所述衬底的表面进行平坦化处理，以暴露所述第一绝缘层。

13、根据权利要求1-10任一项所述的制作方法，其中，在暴露在所述第一填充空间内的所述有源柱的外周面形成栅极结构，所述栅极结构沿所述第二方向形成一体，包括：

35 在所述有源柱的外周面形成栅介质层，所述栅介质层之间，以及所述栅介质层与所述隔离层之间均具有间隙；

在剩余的所述第一填充空间内形成栅导电层，所述栅介质层和所述栅导电层形成所述栅极结构。

14、根据权利要求1-10任一项所述的制作方法，其中，在暴露在所述第一填充空间内的所述有源柱的外周面形成栅极结构，所述栅极结构沿所述第二方向形成一体之

后，还包括：

在所述栅极结构、所述第一绝缘层和所述隔离层上形成保护层，并在所述保护层上形成第二绝缘层；

5 刻蚀所述第二绝缘层和所述保护层，形成多个间隔设置的字线插塞孔，每个所述字线插塞孔暴露一个所述栅极结构；

在所述字线插塞孔内形成字线插塞，所述字线插塞与所述栅极结构一一对应且电性连接。

15、根据权利要求 1-10 任一项所述的制作方法，其中，所述隔离层的材质包括氮化硅或者氮氧化硅。

10 16、一种半导体结构，所述半导体结构由如权利要求 1-15 任一项所述的制作方法获得。