

## 明 細 書

発明の名称：SOI基板の評価方法

### 技術分野

[0001] 本発明は、シリコン単結晶ウェーハを貼り合わせて作製するSOI（Silicon On Insulator）基板に関し、より詳しくは、高周波用デバイス作製などに使用される、SOI基板の評価に関するものである。

### 背景技術

[0002] 携帯端末やワイヤレス通信の急速な普及により、通信インターフェースを主目的としたRF（Radio Frequency；高周波）デバイスが注目されており、今後も発展すると考えられている。近年の携帯端末やパーソナルコンピュータでは低消費電力デバイスの採用が進んでおり、このような場合、SOI基板を使用すると、リーク電流の低減による消費電力の低下のメリットがある。更に、SoC（System on a Chip）などにより、RFデバイスを組み込むことも考えられているが、RFトランジスタの特性上でも、SOIウェーハを用いることで、デバイス間のクロストークを減少させるメリットがある。

[0003] ここで、クロストークとは、デバイス間の望まれざる電気信号の伝播のことであり、例えばデバイスの配線間のキャパシタや、あるいはウェーハを通して、電気信号が伝播される。ウェーハの抵抗率が高くなればなるほどクロストークは少なくなるが、実際にはデバイス形成部のウェーハ抵抗率を極端に高くすることは出来ない。

[0004] しかし、SOI基板を使用すると、SOI層とベースウェーハの間に埋め込み酸化膜層（BOX層）が存在するため、クロストークを低減することが出来る。また、BOX層の下地となるベースウェーハにはデバイスが作製されないために、デバイス作製上の制限を受けずに高抵抗率のベースウェーハを使用することが可能であり、これによって高周波特性を向上させることが

可能である。

[0005] しかし、高抵抗率のベースウェーハを用いた場合、SOI層に作製されたソース・ドレインやその他電子回路の配置によっては、BOX層に電界が印加され、BOX層とベースウェーハとの界面に反転層が生じるケースがある。このような場合、高周波特性に悪影響を及ぼすので、高抵抗率ウェーハを使用したにもかかわらず、所望の高周波特性が得られなくなる。なお一般的に高抵抗率とは、 $1000\Omega\cdot\text{cm}$ 以上の基板が用いられることが多い。

[0006] その対策として、界面準位密度（以下、Ditともいう）を高くして、キャリアを界面準位にトラップさせて反転層による高周波特性の劣化を防止することが考えられる。

このような技術として、例えば、BOX層とベースウェーハの界面にポリシリコン層や窒化酸化物のような中間層（トラップ層）を導入して、反転層が形成されないようにして、良好な高周波特性のSOIウェーハを得ることができる技術が知られている（例えば特許文献1，2、非特許文献1）。

[0007] また、SOI層となるシリコンウェーハとは異なる面方位をもつシリコンウェーハをベースウェーハとして使用し、高周波特性の劣化を防止する方法なども紹介されている（例えば特許文献3）。

[0008] 前述のような技術は良好な高周波特性を得るためには必須の技術である。その技術を評価する際、例えば、基板抵抗は広がり抵抗測定やその他の方法で測定することが出来るが、BOX層直下のトラップ層（機能層）の特性を直接測定して評価する方法はない。そのため実際のデバイスを作製してから、漏れ電力などを測定して、高周波特性を評価する方法しかないという問題があった。

## 先行技術文献

### 特許文献

[0009] 特許文献1：特表2007-507093号公報

特許文献2：特表2007-507100号公報

特許文献3：特開2009-231376号公報

## 非特許文献

[0010] 非特許文献1: D. Lederer et. al., "Effective resistivity of fully-processed SOI substrates" Solid-State Electronics., 49, 491 (2005).

非特許文献2: SEMICONDUCTOR MATERIAL AND DEVICE CHARACTERIZATION, D. K. Schroder, JOHN WILEY & SONS, INC., PUBLICATION 2006

非特許文献3: H. J. Hovel, "Si film electrical characterization in SOI substrates by the HgFET technique", Solid-State Electron, 47, 1311 (2003)

## 発明の概要

### 発明が解決しようとする課題

[0011] 本発明は前述のような問題に鑑みてなされたもので、実際にデバイスを形成して高周波特性を測定することなく、出来るだけ簡単な方法によって高周波デバイス向けに適したSOI基板を評価する方法を提供することを目的とする。

### 課題を解決するための手段

[0012] 上記目的を達成するために、本発明によれば、評価対象のSOI基板に高周波を印加したときの高周波特性を評価する方法であって、

予め測定用のSOI基板にデバイスを形成し、該測定用のSOI基板の界面準位密度と高周波印加時の漏れ電力との関係、または前記界面準位密度を抵抗に換算し、該換算した抵抗と前記漏れ電力との関係を求めておく工程と、

前記評価対象のSOI基板の界面準位密度を測定して界面準位密度を求め

る、または該界面準位密度に基づき換算される抵抗を求める工程と、

前記測定した前記評価対象のSOI基板の前記界面準位密度から、前記予め求めた界面準位密度と漏れ電力の関係に基づき、前記評価対象のSOI基板の漏れ電力を評価する、または前記測定した前記評価対象のSOI基板の前記界面準位密度より換算される抵抗から、前記予め求めた抵抗と漏れ電力の関係に基づき、前記評価対象のSOI基板の漏れ電力を評価する工程とを有することを特徴とするSOI基板の評価方法を提供する。

[0013] このような方法であれば、実際にデバイスを形成してから高周波特性を測定するのではなく、SOI基板の段階で簡単に高周波デバイス向けに適したSOI基板を評価することができる。

### 発明の効果

[0014] 以上説明したように、本発明により、実際のデバイスを作製することなく、高周波用デバイスに適したSOI基板であるか否かを簡単に評価することが出来る。また、ウェーハ仕様として一般的な抵抗に換算することで、抵抗を指標とした簡単な数値で規定することも可能になる。

### 図面の簡単な説明

[0015] [図1]本発明に係る測定用および評価用のSOI基板の一例を示した概略図である。

[図2]SOI基板においてBOX層直下のトラップ層の有無を比較した一例である。

[図3]本発明で予め求める、測定用のSOI基板の界面準位密度と高周波印加時の漏れ電力との関係の一例を示した図である。

[図4]本発明で予め求める、界面準位密度を抵抗に換算し、該換算した抵抗と漏れ電力との関係の一例を示した図である。

[図5]本発明に係る疑似MOSFETによる界面準位密度算出の一例を示した図である。

### 発明を実施するための形態

[0016] 以下、本発明について詳細に説明するが、本発明はこれらに限定されるも

のではない。

[0017] (第1の実施態様)

第1の実施態様では、最初に測定用のSOI基板を用いて、界面準位密度と高周波印加時の漏れ電力との関係を予め求めておく工程を行う。

測定用のSOI基板としては、図1に示すようなSOI層1と、シリコン酸化膜であるBOX層2と、ベースウェーハ4と、BOX層2とベースウェーハ4との界面でキャリアの発生を抑制するトラップ層3とを有する評価用のSOI基板5と同じものを用意する。

[0018] そして、測定用のSOI基板5の界面準位密度を測定し、界面準位密度を求める。なお、界面準位密度の測定には非特許文献2および3に記載の水銀電極を使用した疑似MOSFET法で行うことができる。あるいは、アルカリ液によりSOI層を除去したのちに、非特許文献2に記載のCV法によって、界面準位密度の測定をすることができる。

[0019] また、測定用のSOI基板上にデバイスを形成し、高周波を印加し、そのときの漏れ電力を測定する。

このようにして測定された、SOI基板5の界面準位密度と、高周波印加時の漏れ電力とを用いて、両者の間の相関関係を予め求めておく。

[0020] 次に評価対象のSOI基板の界面準位密度を測定して界面準位密度を求める工程を行う。

まず、評価対象となるSOI基板を用意する。評価対象となるSOI基板も図1に示すようなSOI層1と、BOX層2と、トラップ層3、及び、ベースウェーハ4とを有するSOI基板5である。この評価対象SOI基板5の界面準位密度を測定し、界面準位密度を求める。なお、界面準位密度の測定には、前述したように水銀電極を使用した疑似MOSFET法、あるいはCV法によって測定することができる。

[0021] 次に、評価対象のSOI基板の漏れ電力を評価する工程を行う。

前述したように、測定用のSOI基板の界面準位密度と漏れ電力との関係を予め求めておいた関係に基づいて、測定した評価用のSOI基板の界面準

位密度から、評価用のSOI基板の漏れ電力を予想して評価することができる。

このように、本発明によれば、評価用のSOI基板に実際にデバイスを作製することなく、SOI基板の漏れ電力すなわち、高周波特性を評価をすることができる。

[0022] (第2の実施態様)

第2の実施態様では、最初に測定用のSOI基板の界面準位密度の測定結果に基づいて換算した抵抗と漏れ電力との関係を求めておく工程を予め行う。

界面準位密度を抵抗に換算するには、以下のような方法で行うことができる。

数式1の関係から、界面準位密度からSSL (Subthreshold Slope) の値を求めることができる。このとき、SSLは図5に示すような電流 ( $I_d$ ) が一桁増加する際の電圧 ( $V_g$ ) の変化と定義されている。なお、 $C_{ox}$ はBOX層容量、 $C_{si}$ はSOI層容量を示す。

このSSLを界面準位密度から求めた抵抗RD (数式2の抵抗成分の  $V/I$  に相当) として定義し、この抵抗RDから、通常の抵抗に換算する。このときの換算係数は、高周波測定の結果から求めておくことができる (数式2、3)。なお、 $\rho$ は抵抗率、 $R_{sp}$ は広がり抵抗を示す。

[0023] [数1]

$$Dit = \left[ \frac{SSL}{\ln 10} \left( \frac{q}{kT} - \frac{1}{E_F T_{Si}} \right) C_{ox} - (C_{ox} + C_{Si}) \right] / q$$

$$\approx \frac{SSL \cdot 16.77 \cdot C_{ox} - (C_{ox} + C_{Si})}{q} \quad (\text{温度} 300K)$$

[数2]

$$\rho = 2\pi s F \frac{V}{I}$$

s: 探針間距離  
F: 補正係数

[数3]

$$R_{sp} = \frac{\rho}{4r}$$

r: 探針先端半径

[0024] また、測定用のSOI基板上にデバイスを形成し、高周波を印加し、そのときの漏れ電力を測定する。

このようにして界面準位密度の測定結果に基づいて換算した抵抗と、測定により求められた高周波印加時の漏れ電力とを用いて、両者の間の相関関係を予め求めておく。

[0025] 測定した評価対象のSOI基板の界面準位密度より換算される抵抗から、予め求めた抵抗と漏れ電力の関係に基づき、評価対象のSOI基板の漏れ電力を評価する工程を行う。

この際、評価対象のSOI基板の界面準位密度を測定して、得られた界面準位密度から、前述したのと同様にして、抵抗に換算する。

[0026] このようにして、評価用のSOI基板の界面準位密度から換算される抵抗から、予め求めておいた測定用のSOI基板の抵抗と漏れ電力の関係に基づいて、評価対象のSOI基板の漏れ電力を予想して評価することができる。

[0027] このように、本発明によれば、評価用のSOI基板に実際にデバイスを作製することなく、SOI基板の漏れ電力を評価をすることができる。また、界面準位密度を抵抗に換算するため、基板特性を抵抗というひとつの基準で示すことも可能になる。

## 実施例

[0028] 以下、本発明の実施例を示して本発明をより具体的に説明するが、本発明

はこれらに限定されるものではない。

抵抗率  $1000\ \Omega \cdot \text{cm}$  のボロンをドーブした直径  $200\ \text{mm}$  のシリコン単結晶ウェーハをベースウェーハとして、このベースウェーハに対してトリクロロシランを原料ガスとして  $1150^\circ\text{C}$ 、成長時間3分間で多結晶層を  $3\ \mu\text{m}$  成長させた。この後、モノシランを原料として  $570^\circ\text{C}$ 、成長時間90分で多結晶層を  $0.5\ \mu\text{m}$  成長させ、トラップ層とした。

[0029] このウェーハに対して、抵抗率  $1000\ \Omega \cdot \text{cm}$  のボロンをドーブした直径  $200\ \text{mm}$  のシリコンウェーハに  $\text{Pyro}$  雰囲気で  $1150^\circ\text{C}$ 、6時間の処理で  $1000\ \text{nm}$  の酸化膜を形成し、BOX層としたボンドウェーハを貼り合わせ、結合熱処理を行った。その後、研磨により薄膜化することでSOI層は  $160\ \text{nm}$  となるようにし、SOI基板を作製した。同様にして複数のSOI基板を作製した。

これらのSOI基板について、 $450^\circ\text{C}$ 、1%水素添加の窒素雰囲気でアニール時間を5分から30分の間で変化させて、BOX層とベースウェーハの界面準位密度を変化させた、複数のSOI基板を作製した。

[0030] この界面準位密度を変えた複数のSOI基板の界面準位密度を、非特許文献2、3に記載の水銀電極を使用した疑似MOSFET法により測定した。

[0031] 次に、漏れ電力を測定するために、SOI基板のSOI層をアルカリエッチングにて除去したのちに、これにAlを  $2\ \mu\text{m}$  の厚さで蒸着した。さらにフォトリソグラフィーを行い、CPW (Coplanar Waveguides) を形成した。

漏れ電力を測定するデバイスは、測定用のSOI基板に  $150\ \mu\text{m} \times 50\ \mu\text{m}$  のAl電極を電極間の間隔が  $100\ \mu\text{m}$  となるように形成したものとした。

[0032] そして、デバイスを形成した測定用のSOI基板に高周波を印加し、入力電力に対するAl電極間の漏れ電力を測定した。印加した高周波の周波数は  $1 \times 10^8$  から  $1 \times 10^{11}\ \text{Hz}$  の範囲で測定を行った。漏れ電力の周波数依存性のデータから、漏れ電力の代表値として基板の違いが良く反映されると思

われる  $1\text{ GHz}$  ( $1 \times 10^9\text{ Hz}$ ) を採用し、図 3 の関係を求めた。

[0033] また、前述のようにして測定し、求められた界面準位密度に基づいて換算される抵抗を求めた。

このときに、厚さ  $160\text{ nm}$  の  $\text{SOI}$  層容量  $C_{\text{si}}$  は  $6.53 \times 10^{-8}\text{ F}$ 、厚さ  $1000\text{ nm}$  の  $\text{BOX}$  層容量  $C_{\text{ox}}$  は  $7.195 \times 10^{-8}\text{ F}$  となる。

数 1 から、界面準位密度が  $1 \times 10^{12}\text{ cm}^{-2}\text{ eV}^{-1}$  のとき  $\text{SSL}$  は、0.1

5、界面準位密度が  $1 \times 10^{11}\text{ cm}^{-2}\text{ eV}^{-1}$  のときは、 $\text{SSL}$  は 0.015

、界面準位密度が  $1 \times 10^{10}\text{ cm}^{-2}\text{ eV}^{-1}$  のときは  $\text{SSL}$  は 0.0015 と求められた。

[0034] さらに、高周波特性との関係から  $\text{SSL}$  を抵抗に換算する際の係数を今回のケースで 10000 として、 $\text{SSL}$  を抵抗に換算した。このようにして、 $1\text{ GHz}$  を印加したときに測定した  $\text{BOX}$  層とベースウェーハの界面準位密度に基づいて、換算される抵抗を求めた。そして前記換算された抵抗と漏れ電力との間の関係を求め、図 4 に示した。

[0035] その後、評価対象の  $\text{SOI}$  基板を前述したのと同様にして作製した。評価対象の  $\text{SOI}$  基板に対して、その界面準位密度を疑似  $\text{MOSFET}$  法にて測定した。該測定した界面準位密度から、予め求めておいた図 3 の界面準位密度と漏れ電力との関係に基づいて評価対象の  $\text{SOI}$  基板に高周波を印加したときの漏れ電流の評価を行うことができた。

[0036] また、前記測定された評価用の  $\text{SOI}$  基板の界面準位密度に基づいて、前述したのと同様にして、換算される抵抗を求めた。該換算した抵抗から、予め求めておいた図 4 の抵抗と漏れ電力との関係に基づいて評価対象の  $\text{SOI}$  基板に高周波を印加したときの漏れ電流の評価を行うことができた。

[0037] 以上のように、予め界面準位密度と漏れ電力の関係、または抵抗と漏れ電力の関係を求めたので、この関係を用いて、図 2 に示すようなトラップ層の有無の違いによる漏れ電力の違いなどをデバイスを形成することなく、評価用の  $\text{SOI}$  基板の界面準位密度または界面準位密度から換算される抵抗から予想し、正確に評価を行うことができた。その結果、正確な評価を簡単な方

法でできるようになった。

[0038] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

## 請求の範囲

- [請求項1]           評価対象のSOI基板に高周波を印加したときの高周波特性を評価する方法であって、
- 予め測定用のSOI基板にデバイスを形成し、該測定用のSOI基板の界面準位密度と高周波印加時の漏れ電力との関係、または前記界面準位密度を抵抗に換算し、該換算した抵抗と前記漏れ電力との関係を求めておく工程と、
- 前記評価対象のSOI基板の界面準位密度を測定して界面準位密度を求める、または該界面準位密度に基づき換算される抵抗を求める工程と、
- 前記測定した前記評価対象のSOI基板の前記界面準位密度から、前記予め求めた界面準位密度と漏れ電力の関係に基づき、前記評価対象のSOI基板の漏れ電力を評価する、または前記測定した前記評価対象のSOI基板の前記界面準位密度より換算される抵抗から、前記予め求めた抵抗と漏れ電力の関係に基づき、前記評価対象のSOI基板の漏れ電力を評価する工程とを有することを特徴とするSOI基板の評価方法。