(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 8 月 8 日(08.08.2013)

WIPO | PCT

(10) 国際公開番号
WO 2013/115050 A1

(51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 27/32* (2006.01)
G09F 9/00 (2006.01) *H01L 29/786* (2006.01)
G09F 9/30 (2006.01)

(21) 国際出願番号: PCT/JP2013/051415

(22) 国際出願日: 2013 年 1 月 24 日(24.01.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2012-018752 2012 年 1 月 31 日(31.01.2012) JP

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者: 宮本 忠芳(MIYAMOTO Tadayoshi). 伊東 一篤(ITO Kazuatsu). 森 重恭(MORI Shigeyasu). 宮本 光伸(MIYAMOTO Mitsunobu). 小川 康行(OGAWA Yasuyuki). 中澤 淳(NAKAZAWA Makoto). 内田 誠一(UCHIDA Seiichi). 松尾 拓哉(MATSUO Takuya).

(74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目８番１６号 大阪証券取引所ビル１０階 奥田国際特許事務所 Osaka (JP).

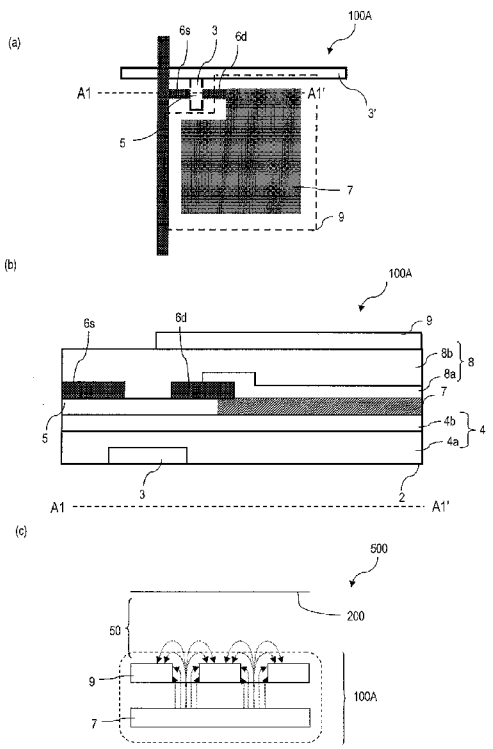
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SAME

(54) 発明の名称 : 半導体装置およびその製造方法



(57) **Abstract**: A semiconductor device (100A) has: a substrate (2); an oxide semiconductor layer (5) formed on the substrate (2); a source electrode (6s) and a drain electrode (6d) which are electrically connected to the oxide semiconductor layer (5); a first transparent electrode (7) which is electrically connected to the drain electrode (6d); a dielectric layer (8) formed on the source electrode (6s) and the drain electrode (6d); and a second transparent electrode (9) formed on the dielectric layer (8). The upper surface and/or lower surface of the first transparent electrode (7) contact(s) a reducing/insulating layer (8a) having a property that reduces the oxide semiconductor included in the oxide semiconductor layer (5). At least part of the second transparent electrode (9) overlaps the first transparent electrode (7) with the dielectric layer (8) interposed therebetween. The oxide semiconductor layer (5) and the first transparent electrode (7) are formed from the same oxide film.

(57) 要約: 半導体装置（１００Ａ）は、基板（２）と、基板（２）の上に形成された酸化物半導体層（５）と、酸化物半導体層（５）に電気的に接続されたソース電極（６ｓ）およびドレイン電極（６ｄ）と、ドレイン電極（６ｄ）と電気的に接続された第１透明電極（７）と、ソース電極（６ｓ）およびドレイン電極（６ｄ）の上に形成された誘電体層（８）と、誘電体層（８）の上に形成された第２透明電極（９）とを有する。第１透明電極（７）の上面または下面少なくとも一方は、酸化物半導体層（５）に含まれる酸化物半導体を還元する性質を有する還元絶縁層（８ａ）と接する。第２透明電極（９）の少なくとも一部は、誘電体層（８）を介して第１透明電極（７）と重なっており、酸化物半導体層（５）および第１透明電極（７）は、同一の酸化物膜から形成されている。

WO 2013/115050 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）