

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号
WO 2024/098545 A1

(43) 国际公布日
2024 年 5 月 16 日 (16.05.2024)

(51) 国际专利分类号:
H10B 12/00 (2023.01)

(21) 国际申请号: PCT/CN2023/070524

(22) 国际申请日: 2023 年 1 月 4 日 (04.01.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202211412071.3 2022 年 11 月 11 日 (11.11.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 肖德元 (**XIAO, Deyuan**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。 蒋懿 (**JIANG, Yi**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 上海晨皓知识产权代理事务所 (普通合伙) (**SHANGHAI CHENHAO INTELLECTUAL PROPERTY LAW FIRM GENERAL PARTNERSHIP**); 中国上海市黄浦区制造局路 787 号二幢 202B 室, Shanghai 200011 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,

(54) **Title:** MANUFACTURING METHOD FOR AND STRUCTURE OF SEMICONDUCTOR STRUCTURE

(54) 发明名称: 半导体结构的制作方法及其结构

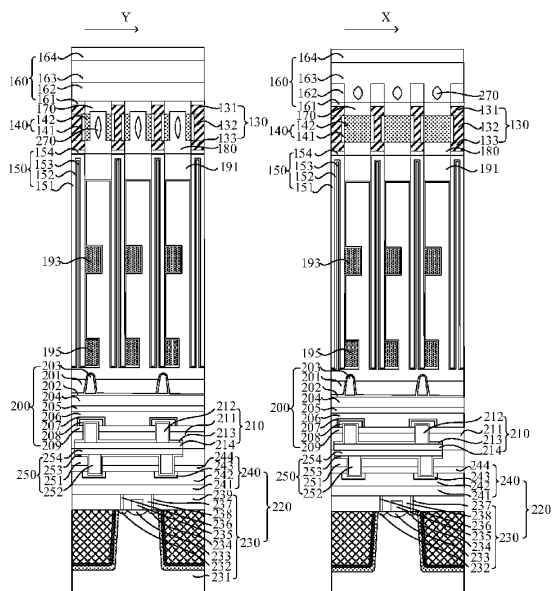


图 8

(57) **Abstract:** Provided are a manufacturing method for and a structure of a semiconductor structure. The manufacturing method for the semiconductor structure comprises: providing a substrate; sequentially forming a first semiconductor layer and a second semiconductor layer which are stacked on the substrate, the material of the first semiconductor layer being different from that of the second semiconductor layer; etching the second semiconductor layer to form active columns arranged in an array in a first direction and a second direction, each active column comprising a first doped region, a channel region and a second doped region which are sequentially arranged in a direction from the first semiconductor layer towards the second semiconductor layer; forming a word-line structure, the word-line structure surrounding the channel region, extending in the first direction, and being spaced apart from the channel region in the second direction; forming a capacitor structure, the capacitor structure being in contact with and connected to the second doped region, and removing the substrate and the first semiconductor layer so as to expose bottom surfaces of the active columns; and forming a bit-line structure, the bit-line structure being in contact with and connected to the first doped region. The reliability of the semiconductor structure can

[见续页]

BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

be improved.

(57) 摘要: 提供一种半导体结构的制作方法及其结构, 其中, 半导体结构的制作方法包括: 提供基底; 在基底上依次形成层叠的第一半导体层及第二半导体层, 且第一半导体层的材料与第二半导体层的材料不同; 刻蚀第二半导体层, 以形成沿第一方向及第二方向阵列排布的有源柱, 有源柱包括沿第一半导体层指向第二半导体层方向上依次排布的第一掺杂区、沟道区及第二掺杂区; 形成字线结构, 字线结构环绕沟道区, 且沿第一方向延伸, 沿第二方向间隔; 形成电容结构, 电容结构与第二掺杂区接触连接, 去除基底及第一半导体层, 以暴露有源柱的底面; 形成位线结构, 位线结构与第一掺杂区接触连接。可以提高半导体结构的可靠性。