

明 細 書

発明の名称：ストレージシステム及びウェハ

技術分野

[0001] 実施形態は、ストレージシステム及びウェハに関する。

背景技術

[0002] 半導体メモリとしてのNANDフラッシュメモリが複数個設けられたウェハと、当該ウェハ上のパッド電極とプローブ電極とを接触させるプローバと、が知られている。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第2014／0181376号明細書

発明の概要

発明が解決しようとする課題

[0004] プローブ電極及びパッド電極間の通信信頼性の劣化を抑制する。

課題を解決するための手段

[0005] 実施形態のストレージシステムは、互いに電氣的に接続された第1部分及び第2部分を含む第1パッド電極と、上記第1パッド電極に電氣的に接続された第1メモリセルアレイと、を含む第1メモリチップユニットを含む第1ウェハと、上記第1ウェハを保持可能であり、保持した上記第1ウェハの上記第1メモリセルアレイに読み書きを行うプローバと、を備える。上記プローバは、保持した上記第1ウェハの上記第1パッド電極に接触可能な第1プローブ電極と、上記第1プローブ電極に電氣的に接続され、上記第1プローブ電極を介して上記第1メモリセルアレイに読み書き可能な第1メモリコントローラと、を含むプローブカードと、保持した上記第1ウェハの上記第1パッド電極と上記第1プローブ電極とを接触させるために、上記プローブカード又は保持した上記第1ウェハを移動させる移動機構と、を含む。上記移動機構は、上記第1プローブ電極を、上記第1パッド電極の上記第1部分と

接触させ、上記第1パッド電極の上記第2部分とは接触させない第1動作と、上記第1プローブ電極を、上記第1パッド電極の上記第1部分とは接触させず、上記第1パッド電極の上記第2部分と接触させる第2動作と、を実行可能である。

図面の簡単な説明

- [0006] [図1]第1実施形態に係るストレージシステムの構成を説明するためのブロック図。
- [図2]第1実施形態に係るプローバの構造を説明するための側面図。
- [図3]第1実施形態に係るプローブカードの構成を説明するための上面図。
- [図4]第1実施形態に係るストレージウェハの構成を説明するための上面図。
- [図5]図4の領域Vを示すNANDチップユニットの上面図。
- [図6]第1実施形態に係るプローバとストレージウェハとの間の接続を説明するためのブロック図。
- [図7]第1実施形態に係るNANDチップユニットの構成を説明するためのブロック図。
- [図8]第1実施形態に係るNANDチップユニットの構成を説明するための模式図。
- [図9]第1実施形態に係るメモリセルアレイの構成を説明するための回路図。
- [図10]第1実施形態に係るメモリセルアレイの構成を説明するための断面図。
- [図11]図7のXⅠーXⅠ線に沿ったプローブカード及びストレージウェハの断面図。
- [図12]図7のXⅠⅠーXⅠⅠ線に沿ったプローブカード及びストレージウェハの断面図。
- [図13]第1実施形態に係るストレージシステムにおけるプローブ管理テーブルの概念図。
- [図14]第1実施形態に係るストレージシステムにおける基本処理を説明するためのフローチャート。

[図15]第1実施形態に係るストレージシステムにおけるウェハ及びパッド群選択処理を説明するためのフローチャート。

[図16]第1実施形態に係るストレージシステムにおけるウェハ搬送処理を説明するためのフローチャート。

[図17]第1実施形態に係るストレージシステムにおける書込み処理を説明するためのフローチャート。

[図18]第1実施形態に係るストレージシステムにおけるタッチダウン処理を説明するための模式図。

[図19]第1実施形態に係るストレージシステムにおけるタッチダウン処理を説明するための模式図。

[図20]第1実施形態に係るストレージシステムにおける読出し処理を説明するためのフローチャート。

[図21]第1実施形態の第1変形例に係るNANDチップユニットの上面図。

[図22]第1実施形態の第2変形例に係るNANDチップユニットの上面図。

[図23]第1実施形態の第3変形例に係るNANDチップユニットの上面図。

[図24]第1実施形態の第4変形例に係るプローブカード及びストレージウェハの断面図。

[図25]第1実施形態の第5変形例に係るプローブカード及びストレージウェハの断面図。

[図26]第2実施形態に係るプローブカード及びストレージウェハの断面図。

[図27]第2実施形態の第1変形例に係るプローブカード及びストレージウェハの断面図。

[図28]第2実施形態の第2変形例に係るプローブカード及びストレージウェハの断面図。

[図29]第2実施形態の第3変形例に係るプローブカード及びストレージウェハの断面図。

[図30]第3実施形態に係る再配置されたパッド電極の構成を示す模式図。

[図31]第3実施形態に係る再配置されたパッド電極と再配置される前のパッ

ド電極との位置関係を示す上面図。

[図32]図31における領域XXXIIの主要な要素の配置をY方向に沿って見たストレージウェハの側面図。

[図33]第3実施形態の第1変形例に係る再配置されたパッド電極と再配置される前のパッド電極との位置関係を示す上面図。

[図34]第3実施形態の第2変形例に係る再配置されたパッド電極と再配置される前のパッド電極との位置関係を示す上面図。

発明を実施するための形態

[0007] 以下、図面を参照して実施形態について説明する。なお、以下の説明において、同一の機能及び構成を有する構成要素については、共通する参照符号を付す。また、共通する参照符号を有する複数の構成要素を区別する場合、当該共通する参照符号に添え字を付して区別する。なお、複数の構成要素について特に区別を要さない場合、当該複数の構成要素には、共通する参照符号のみが付され、添え字は付さない。

[0008] 1. 第1実施形態

第1実施形態に係るストレージシステムについて説明する。以下では、複数のNANDチップユニット（NANDフラッシュメモリとしてのメモリデバイス）を備えるストレージウェハと、複数のNANDコントローラチップが実装されたプローブカードを含み、ストレージウェハ及びプローブカードを物理的に接触させて電氣的に接続するように構成されたプローバと、を備えたストレージシステムについて説明する。

[0009] 1. 1 構成

第1実施形態に係るストレージシステムの構成について説明する。

[0010] 1. 1. 1 ストレージシステムの構成

まず、第1実施形態に係るストレージシステムの構成の概要について、図1を用いて説明する。図1に示すように、ストレージシステム1は、例えば、ホスト機器2からの指示に基づいて動作する。ストレージシステム1は、プローバ3、ウェハ搬送機4、及びウェハストッカ5を備える。

- [0011] プローバ3は、プローブカード20及び制御部30を備え、ストレージウェハ10又はクリーニングウェハ10cが設置される。ストレージウェハ10は、ダイシング前のウェハ又は、ダイシング前のウェハに再配線を施したウェハであり、チップ単位で設けられた複数のNANDフラッシュメモリ（以下、「NANDチップユニット」と言う。図示せず）を含み、かつ表面上に複数のパッド電極11が設けられる。クリーニングウェハ10cは、プローブカード20に設けられた複数のプローブ電極21の劣化した電気特性を改善させるクリーニング処理に用いられる。
- [0012] プrobeカード20は、複数のプローブ電極21を含む。複数のプローブ電極21の各々は、プローブカード20上に実装されるチップ単位のメモリコントローラ（以下、「NANDコントローラチップ」と言う。図示せず）と電氣的に接続される。
- [0013] 制御部30は、例えば、温度制御系31、駆動制御系32、及びインタフェース制御系33を含み、プローバ3の動作全体を制御する。
- [0014] 温度制御系31は、プローバ3内においてプローブカード20及びストレージウェハ10又はクリーニングウェハ10cがさらされる温度環境を制御する。本実施形態においては、例えば、温度制御系31は、プローブカード20、及びストレージウェハ10又はクリーニングウェハ10cの温度が所定の温度から変化しないように制御する。
- [0015] 駆動制御系32は、ストレージウェハ10をプローブカード20に対して3次元に自在に変位させることができる機構を有する。そして、駆動制御系32は、当該機構を制御することにより、ストレージウェハ10上の複数のパッド電極11と、対応するプローブカード20上の複数のプローブ電極21とを接触させる機能を有する。
- [0016] インタフェース制御系33は、ホスト機器2と、プローブカード20との間の通信を制御する。また、インタフェース制御系33は、当該通信の制御結果に基づき、温度制御系31及び駆動制御系32、並びにウェハ搬送機4等を制御する。

- [0017] ウェハ搬送機 4 は、ストレージウェハ 10 又はクリーニングウェハ 10 c をプローバ 3 とウェハストッカ 5 との間で搬送する機能を有する。
- [0018] ウェハストッカ 5 は、プローバ 3 に設置されていない複数のストレージウェハ 10 及びクリーニングウェハ 10 c を保管する。
- [0019] 1. 1. 2 プローバの構成
- 次に、第 1 実施形態に係るストレージシステムのプローバの構成について図 2 を用いて説明する。
- [0020] 図 2 は、ストレージウェハ 10 が設置された状態のプローバ 3 の構成を模式的に示した側面図である。以下では、ストレージウェハ 10 のプローバ 3 に対する設置面を XY 平面とし、XY 平面に垂直かつストレージウェハ 10 からプローブカード 20 に向かう方向を Z 方向（又は上方向）とする。そして、ストレージウェハ 10 のうち、プローブカード 20 に対向する面は、ストレージウェハ 10 の「表面」又は「上面」とも言う。
- [0021] 図 2 に示すように、プローバ 3 は、ベース 41 と、複数のステージ 42（42-1、42-2、及び 42-3）と、ウェハチャック 43 と、ヘッドステージ 44 と、補強板（Stiffener）45 と、カードホルダ 46 と、固定具 47 と、支柱 48 と、を備える。
- [0022] ベース 41 の上面には、X 変位機構（図示せず）を介してステージ 42-1 が設けられる。ステージ 42-1 は、X 変位機構によって、ベース 41 に対して X 方向に自在に移動可能に構成される。ステージ 42-1 の上面には、Y 変位機構（図示せず）を介してステージ 42-2 が設けられる。ステージ 42-2 は、Y 変位機構によって、ステージ 42-1 に対して Y 方向に自在に移動可能に構成される。ステージ 42-2 の上面には、Z θ 変位機構（図示せず）を介してステージ 42-3 が設けられる。ステージ 42-3 は、Z θ 変位機構によって、ステージ 42-2 に対して、Z 方向に自在に移動可能かつ XY 平面上において自在に回転可能に構成される。ステージ 42-1 ～42-3 は、駆動制御系 32 に含まれ、ストレージウェハ 10 をプローブカード 20 に対して自在に変位可能な機構の一部である。

- [0023] ウェハチャック43は、ステージ42-3の上面上に設けられ、ストレージウェハ10を保持する。ウェハチャック43内には、例えば、温度センサ、並びにストレージウェハ10の温度を制御可能な加熱器及び冷却器（いずれも図示せず）が含まれている。温度制御系31は、当該温度センサからの情報に基づいて加熱器及び冷却器を制御し、ウェハチャック43を介してストレージウェハ10の温度を制御する。当該温度センサ、並びに加熱器及び冷却器は、温度制御系31に含まれる。
- [0024] ヘッドステージ44は、例えば、リング形状を有し、支柱48によってウェハチャック43の上方に支持される。ヘッドステージ44のリングの内側の空間において、ヘッドステージ44に支持されるように、各々がリング形状の補強板45及びカードホルダ46が設けられる。補強板45は、プローブカード20の上部に設けられて、カードホルダ46との間にプローブカード20を挟む。カードホルダ46は、カードホルダ46のリングの内側の空間において、プローブカード20を支持する。プローブカード20は、固定具47によって補強板45及びカードホルダ46に固定されることにより、ウェハチャック43（及びウェハチャック43上のストレージウェハ10）に対する位置が固定され、かつ熱膨張等に起因する変位が抑制される。
- [0025] なお、ヘッドステージ44には、ストレージウェハ10（又はクリーニングウェハ10c）上の代表位置（例えば、ウェハの外縁や、ウェハ上に設けられたアライメントマーク等）を検出するためのカメラ（図示せず）が設けられてもよい。駆動制御系32は、当該カメラからの情報に基づき、基準位置をより正確に認識することができ、精密な位置合わせを行うことができる。
- [0026] 図3は、プローバ3内に固定されたプローブカード20の上面図である。
- [0027] 図3に示すように、プローブカード20は、リング形状の補強板45によって外周部分を固定され、プローブカード20の中央部分には、複数のNANDコントローラチップ200が設けられる。なお、本実施形態に係るストレージシステム1では、プローバ3内は、大きな温度変化が与えられること

なく温度制御系31によってほぼ一定の温度に保たれる。これにより、プローブカード20の熱膨張等に起因する変位量は、少量に抑制される。このため、補強板45は、当該変位への対応として、プローブカード20の外周部分を固定すれば足り、プローブカード20の中央部分を固定する構成を省略可能である。これにより、プローブカード20上には、より多くのチップを実装することができる。

[0028] 図4は、ウェハチャック43に保持されたストレージウェハ10の上面図であり、図5は、図4の領域Vの拡大図である。

[0029] 図4に示すように、ストレージウェハ10は、複数のNANDチップユニット100が設けられる。また、NANDチップユニット100の間に、複数のアライメントマーク12が設けられる。NANDチップユニット100は、NANDコントローラチップ200からの制御信号に基づいて制御可能な最小単位のメモリデバイスである。

[0030] 図5に示すように、ストレージウェハ10上には、NANDチップユニット100を囲むように矩形状のダイシングライン13が設けられ、ダイシングライン13の外側において、アライメントマーク12が設けられる。ダイシングライン13は、ダイシング処理によってストレージウェハ10をNANDチップユニット100毎に分離する際にブレードが通過する領域である。なお、本実施形態においては、ダイシングライン13に沿ってダイシング処理が実行されることはない。しかしながら、本実施形態に係るストレージウェハ10は、チップ単位で切り出されたNANDチップユニット100から製造されるメモリデバイスの製造工程の一部で製造され得るため、ダイシングライン13のような、本実施形態においては実質的に不要な構成が設けられ得る。

[0031] ダイシングライン13の内側には、矩形状のエッジシール14が設けられ、NANDチップユニット100を構成する回路は、当該エッジシール14の内側に設けられる。

[0032] エッジシール14の内側において、ストレージウェハ10の上面上には、

複数のパッド電極 1 1 がマトリクス状に設けられる。より具体的には、配線 1 5 によって電氣的に接続された n 個のパッド電極 1 1 __ 1、1 1 __ 2、1 1 __ 3、…、1 1 __ ($n-2$)、1 1 __ ($n-1$)、及び 1 1 __ n が、この順に $-Y$ 方向に沿って設けられる (n は、2 以上の整数)。当該 n 個のパッド電極 1 1 __ 1 ~ 1 1 __ n は、1 つのパッドユニット P d U に相当する。そして、互いに電氣的に切断された複数のパッドユニット P d U が、 X 方向に沿って設けられる。 X 方向に沿って並ぶ互いに独立な複数のパッド電極 1 1 __ i ($1 \leq i \leq n$) の組は、1 つのパッド群 P d G i に相当する。すなわち、1 つの N A N D チップユニット 1 0 0 の上面上に、同等の機能を有する n 個のパッド群 P d G 1 ~ P d G n が設けられる。

[0033] 1. 1. 3 プローバ及びストレージウェハの通信機能構成

次に、第 1 実施形態に係るプロバとストレージウェハとの間の通信機能の構成について、図 6 に示すブロック図を用いて説明する。図 6 では、駆動制御系 3 2 によってプローブカード 2 0 と N A N D チップユニット 1 0 0 とが接触し、互いに電氣的に接続されている際の接続関係の一例が示される。

[0034] 図 6 に示すように、インタフェース制御系 3 3 は、ホストバスによってホスト機器 2 に接続される。ホスト機器 2 は、例えばパーソナルコンピュータ等であり、ホストバスは、例えば P C I e (P C I E X P R E S S™ (Peripheral component interconnect express)) に従ったバスである。

[0035] インタフェース制御系 3 3 は、例えば、ホストインタフェース回路 3 3 1、C P U (Central processing unit) 3 3 2、R O M (Read only memory) 3 3 3、及び R A M (Random access memory) 3 3 4 を備える。なお、以下に説明されるインタフェース制御系 3 3 の各部 3 3 1 - 3 3 4 の機能は、ハードウェア構成、又はハードウェア資源とファームウェアとの組合せ構成のいずれでも実現可能である。

[0036] ホストインタフェース回路 3 3 1 は、ホストバスを介してホスト機器 2 と接続され、ホスト機器 2 から受信した命令及びデータを、C P U 3 3 2 からの指示に応じて複数の N A N D コントローラチップ 2 0 0 のいずれかに転送

する。またCPU332の命令に応答して、NANDコントローラチップ200からのデータをホスト機器2へ転送する。

[0037] CPU332は、主にプローバ3内のデータ伝送に関するインタフェースを制御する。例えば、CPU332は、ホスト機器2から書き込み命令を受信した際には、それに応答して、書き込み処理を制御するNANDコントローラチップ200を決定し、書き込みデータDATを当該決定されたNANDコントローラチップ200に転送する。読出し処理及び消去処理の際も同様である。またCPU332は、プローバ3内の他の制御系（温度制御系31及び駆動制御系32）に対する種々の制御を実行する。

[0038] ROM333は、温度制御系31及び駆動制御系32、並びに複数のNANDコントローラチップ200を制御するためのファームウェアを保持する。

[0039] RAM334は、例えばDRAM (Dynamic random access memory) であり、書き込みデータDATや読出しデータDATを一時的に保持する。また、RAM334は、CPU332の作業領域として使用され、各種の管理テーブル等を保持する。管理テーブルの例としては、ストレージウェア10上のパッド電極11に対して、プローブ電極21が何回着脱されたか、に関する情報を管理するプローブ管理テーブル335等が挙げられる。プローブ管理テーブル335の詳細については後述する。

[0040] プローブカード20上の複数のNANDコントローラチップ200の各々は、ストレージウェア10内の複数のNANDチップユニット100の組と電氣的に接続される。

[0041] 図6の例では、k個のNANDチップユニット100__1、100__2、…、及び100__kが、1つのNANDコントローラチップ200に並列に接続される。各々がk個のNANDチップユニット100__1～100__kに接続された複数のNANDコントローラチップ200は、インタフェース制御系33からの指示に基づき、k個のNANDチップユニット100__1～100__kを並列に制御する。

- [0042] NANDコントローラチップ200は、例えば、FPGA (Field programmable gate array) 機能を有するSoC (System-on-a-chip) であり、CPU210、ROM220、RAM230、ECC回路240、及びNANDインタフェース回路250を備えている。なお、以下に説明されるNANDコントローラチップ200の各部210-250の機能は、ハードウェア構成、又はハードウェア資源とファームウェアとの組合せ構成のいずれでも実現可能である。
- [0043] CPU210は、NANDコントローラチップ200全体の動作を制御する。例えば、CPU210は、インタフェース制御系33を介してホスト機器2から書き込み命令を受信した際には、それに応答して、NANDインタフェース回路250に対して書き込み命令を発行する。読出し処理及び消去処理の際も同様である。またCPU210は、NANDチップユニット100を制御するための様々な処理を実行する。
- [0044] ROM220は、NANDチップユニット100を制御するためのファームウェア等を保持する。
- [0045] RAM230は、例えば、DRAMであり、書込みデータ及び読出しデータDATを一時的に保持する。また、RAM230は、CPU210の作業領域としても使用され、各種の管理テーブル等を保持する。
- [0046] ECC回路240は、NANDチップユニット100に記憶されるデータに関する誤り検出及び誤り訂正処理を行う。すなわちECC回路240は、データの書込み処理の際には誤り訂正符号を生成して、これを書込みデータDATに付与し、データの読出し処理の際にはこれを復号し、誤りビットの有無を検出する。そして誤りビットが検出された際には、その誤りビットの位置を特定し、誤りを訂正する。誤り訂正の方法は、例えば、硬判定復号 (Hard bit decoding) 及び軟判定復号 (Soft bit decoding) を含む。硬判定復号に用いられる硬判定復号符号としては、例えば、BCH (Bose - Chaudhuri - Hocquenghem) 符号やRS (Reed- Solomon) 符号等を用いることができ、軟判定復号に用いられる軟判定復号符号としては、例えば、LDPC (Low

Density Parity Check) 符号等を用いることができる。

[0047] NANDインタフェース回路250は、NANDバスを介してNANDチップユニット100と接続され、NANDチップユニット100との通信を司る。そして、CPU210から受信した命令に基づき、各種信号をNANDチップユニット100へ出力する。また書込み処理時には、CPU210で発行された書込みコマンド、及びRAM230内の書込みデータDATを、入出力信号としてNANDチップユニット100へ転送する。更に読出し処理時には、CPU210で発行された読出しコマンドを、入出力信号としてNANDチップユニット100へ転送し、更にNANDチップユニット100から読み出されたデータDATを入出力信号として受信し、これをRAM230へ転送する。

[0048] 以上のような構成により、ストレージウェア10内に設けられた全てのNANDチップユニット100を並列に制御することができる。

[0049] 1. 1. 4 NANDチップユニットの構成

次に、第1実施形態に係るNANDチップユニットの構成について説明する。

[0050] 図7は、第1実施形態に係るNANDチップユニットの機能構成を示すブロック図である。図7では、図6のうち、1つのNANDコントローラチップ200と1つのNANDチップユニット100との間の接続関係の詳細が示される。

[0051] 図7に示すように、NANDチップユニット100は、プローブカード20内のNANDコントローラチップ200と、NANDバスによって接続される。NANDバスは、NANDインタフェースに従った信号の送受信を行う伝送路であり、プローブ電極21及びパッド電極11を含む。

[0052] NANDインタフェースの信号の具体例は、チップイネーブル信号CE_n、コマンドラッチイネーブル信号CLE、アドレスラッチイネーブル信号ALE、ライトイネーブル信号WE_n、リードイネーブル信号RE_n、レディ・ビジー信号RB_n、及び入出力信号I/Oである。なお、以降の説明では

、信号名に接尾辞として“n”が付与される場合、当該信号は、負論理である。すなわち、当該信号は“L (Low)”レベルでアサートされる信号であることを示す。

[0053] 信号 $\overline{CE_n}$ は、NANDチップユニット100をイネーブルにするための信号であり、“L”レベルでアサートされる。信号 $\overline{CLE}$ 及び $\overline{ALE}$ は、NANDチップユニット100への入力信号I/OがそれぞれコマンドCMD及びアドレスADDであることをNANDチップユニット100に通知する信号である。信号 $\overline{WE_n}$ は“L”レベルでアサートされ、入力信号I/OをNANDチップユニット100に取り込ませるための信号である。信号 $\overline{RE_n}$ も“L”レベルでアサートされ、NANDチップユニット100から出力信号I/Oを読み出すための信号である。レディ・ビジー信号 $\overline{RB_n}$ は、NANDチップユニット100がレディ状態（例えば、NANDコントローラチップ200からの命令を受信出来る状態）であるか、それともビジー状態（例えば、NANDコントローラチップ200からの命令を受信出来ない状態）であるかを示す信号であり、“L”レベルがビジー状態を示す。入出力信号I/Oは、例えば8ビットの信号である。そして入出力信号I/Oは、NANDチップユニット100とNANDコントローラチップ200との間で送受信されるデータの実体であり、コマンドCMD、アドレスADD、並びに書き込みデータ及び読出しデータ等のデータDATである。

[0054] また、NANDチップユニット100は、例えば、NANDコントローラチップ200から、プローブ電極21及びパッド電極11間の接続を介して、電圧VCC及びVSSを供給される。電圧VCC及びVSSはそれぞれ、NANDチップユニット100における電源電圧及びグラウンド電圧である。

[0055] NANDチップユニット100は、メモリセルアレイ110及び周辺回路120を備える。

[0056] メモリセルアレイ110は、それぞれが ROW 及びカラムに対応付けられた複数の不揮発性のメモリセルを含む複数のブロックBLKを備えている。ブ

ロックＢＬＫは、例えばデータの消去単位であり、図７では一例として４つのブロックＢＬＫ０～ＢＬＫ３が図示されている。そしてメモリセルアレイ１１０は、ＮＡＮＤコントローラチップ２００から与えられたデータを記憶する。

[0057] 周辺回路１２０は、Ｉ／Ｆ回路１２１、コマンドレジスタ１２６、アドレスレジスタ１２７、データレジスタ１２８、ドライバ１２９、ロウデコーダ１３０、センスアンプモジュール１３１、及びシーケンサ１３２を備える。

[0058] Ｉ／Ｆ回路１２１は、ＮＡＮＤチップユニット１００の内部において、主にパッド電極１１とその他の周辺回路１２０との間のインタフェースを司る回路群であり、入出力回路１２２、ロジック制御回路１２３、タイミング調整回路１２４、及びＥＣＣ回路１２５を備える。

[0059] 入出力回路１２２は、ＮＡＮＤコントローラチップ２００と信号Ｉ／Ｏを送受信する。ＮＡＮＤコントローラチップ２００から信号Ｉ／Ｏを受信した場合、入出力回路１２２は、ロジック制御回路１２３からの情報に基づいて信号Ｉ／ＯをコマンドＣＭＤ、アドレスＡＤＤ、及びデータＤＡＴに振り分ける。入出力回路１２２は、コマンドＣＭＤをコマンドレジスタ１２６に転送し、アドレスＡＤＤをアドレスレジスタ１２７に転送する。また、入出力回路１２２は、書込みデータ及び読出しデータＤＡＴをデータレジスタ１２８との間で送受信する。

[0060] ロジック制御回路１２３は、ＮＡＮＤコントローラチップ２００から信号ＣＥ_n、ＣＬＥ、ＡＬＥ、ＷＥ_n、及びＲＥ_nを受信し、信号Ｉ／Ｏ内のコマンドＣＭＤ、アドレスＡＤＤ、及びデータＤＡＴを識別するための情報を入出力回路１２２に送出する。また、ロジック制御回路１２３は、信号ＲＢ_nをＮＡＮＤコントローラチップ２００に転送してＮＡＮＤチップユニット１００の状態をＮＡＮＤコントローラチップ２００に通知する。

[0061] タイミング調整回路１２４は、例えば、ラッチ回路であり、パッド電極１１と入出力回路１２２及びロジック制御回路１２３との間に設けられ、各種信号のタイミングを調整する。

- [0062] ECC回路125は、例えば、入出力回路122とコマンドレジスタ126、アドレスレジスタ127、及びデータレジスタ128との間に設けられ、NANDチップユニット100に記憶されるデータに関する誤り検出及び誤り訂正処理を行う。ECC回路125は、ECC回路240と同等の構成を有し、ECC回路240によって符号化されたデータを復号可能に構成される。すなわち、データの書込み処理の際には、ECC回路240によって誤り訂正符号が付与された書込みデータDATを復号し、誤りビットの有無を検出する。そして、誤りビットが検出された際には、その誤りビットの位置を特定し、誤りを訂正する。また、データの読出し処理の際には、ECC回路240によって誤り訂正符号が付与された読出しデータDATを復号し、誤りビットの有無を検出する。そして、誤りビットが検出された際には、その誤りビットの位置を特定し、誤りを訂正した後、再度読出しデータDATを符号化し、NANDコントローラチップ200に送出する。
- [0063] コマンドレジスタ126は、NANDコントローラチップ200から受信したコマンドCMDを保持する。アドレスレジスタ127は、NANDコントローラチップ200から受信したアドレスADDを保持する。このアドレスADDには、ブロックアドレスBAとページアドレスPAとが含まれる。データレジスタ128は、NANDコントローラチップ200から受信した書込みデータDAT、又はセンスアンプモジュール131から受信した読出しデータDATを保持する。
- [0064] ドライバ129は、選択されたブロックBLKに対して、アドレスレジスタ127内のページアドレスPAに基づいて、ロウデコーダ130に電圧を供給する。
- [0065] ロウデコーダ130は、アドレスレジスタ127内のブロックアドレスBAに基づいてブロックBLK0～BLK3のいずれかを選択し、更に選択したブロックBLKにおいてワード線を選択する。
- [0066] センスアンプモジュール131は、データの読出し時には、メモリセルアレイ110内のメモリセルトランジスタの閾値電圧をセンスすることで、デ

ータを読み出す。そして、この読出しデータDATを、データレジスタ128を介してNANDコントローラチップ200に出力する。データの書き込み時には、NANDコントローラチップ200からデータレジスタ128を介して受信した書き込みデータDATを、メモリセルアレイ110に転送する。

[0067] シーケンサ132は、コマンドレジスタ126に保持されたコマンドCMDに基づき、NANDチップユニット100全体の動作を制御する。

[0068] 図8は、ストレージウェハ10における、上述したNANDチップユニット100内の各種構成要素の立体的な位置関係の一例を示す斜視図である。図8では、NANDチップユニット100の構成要素のZ方向に沿った配置が模式的に示される。

[0069] 図8に示すように、ストレージウェハ10は、例えば、周辺回路120が形成されるウェハLWと、メモリセルアレイ110及び複数のパッド電極11が形成されるウェハUWと、を含む。これら2つのウェハLW及びUWは、ウェハLWのうち周辺回路120が形成された面（ウェハLWが露出する面と反対側の面）と、ウェハUWのうちメモリセルアレイ110及び複数のパッド電極11が形成された面（ウェハUWが露出する面と反対側の面）とが貼り合わされて（bonded）形成される。このため、NANDチップユニット100は、Z方向に沿って、周辺回路120に対応する周辺回路領域PERI、メモリセルアレイ110に対応するセル領域MCA、及び複数のパッド電極11に対応するパッド領域PdU/PdGが積層された構成を有する。また、NANDチップユニット100の端部において、パッド領域PdU/PdGと周辺回路領域PERIとを電氣的に接続する、Z方向に沿って延びるパッド用コンタクト領域PdCが更に設けられる。以上のような構成により、パッド群PdG1～PdGnのいずれか1つを用いてNANDコントローラチップ200から受信した信号を、パッド用コンタクト領域PdCを介して周辺回路領域PERIへと転送できる。周辺回路領域PERIは、転送された信号に基づいてセル領域MCAに信号を転送することができる。

[0070] 1. 1. 5 メモリセルアレイの構成

次に、上記メモリセルアレイ 110 の構成について説明する。

[0071] 図9は、メモリセルアレイ 110 のいずれかのブロック B L K の回路図である。

[0072] 図9に示すように、ブロック B L K は、例えば4つのストリングユニット S U (S U 0 ~ S U 3) を含む。そして各々のストリングユニット S U は、複数の N A N D ストリング N S を含む。メモリセルアレイ 110 内のブロック数及びブロック B L K 内のストリングユニット数は任意である。

[0073] N A N D ストリング N S の各々は、例えば8個のメモリセルトランジスタ M T (M T 0 ~ M T 7) 並びに選択トランジスタ S T 1 及び S T 2 を含んでいる。メモリセルトランジスタ M T は、制御ゲートと電荷蓄積膜とを備え、データを不揮発に保持する。そしてメモリセルトランジスタ M T は、選択トランジスタ S T 1 のソースと選択トランジスタ S T 2 のドレインとの間に直列接続されている。

[0074] ストリングユニット S U 0 ~ S U 3 の各々の複数の N A N D ストリング N S に含まれる選択トランジスタ S T 1 のゲートは、それぞれセレクトゲート線 S G D 0 ~ S G D 3 に接続される。これに対してストリングユニット S U 0 ~ S U 3 の各々の複数の N A N D ストリング N S に含まれる選択トランジスタ S T 2 のゲートは、例えばセレクトゲート線 S G S に共通接続される。あるいは、ストリングユニット S U 0 ~ S U 3 の各々の複数の N A N D ストリング N S に含まれる選択トランジスタ S T 2 のゲートは、ストリングユニット毎に異なるセレクトゲート線 S G S 0 ~ S G S 3 に接続されても良い。また、同一のブロック B L K 内にある複数の N A N D ストリング N S に含まれるメモリセルトランジスタ M T 0 ~ M T 7 の制御ゲートは、それぞれワード線 W L 0 ~ W L 7 に共通接続される。

[0075] また、メモリセルアレイ 110 内において複数のブロック B L K に含まれる同一列にある N A N D ストリング N S の選択トランジスタ S T 1 のドレインは、ビット線 B L (B L 0 ~ B L m 、但し m は 2 以上の自然数) に共通接

続される。すなわちビット線BLは、複数のブロックBLK間で同一列にあるNANDストリングNSを共通に接続する。更に、複数の選択トランジスタST2のソースは、ソース線SLに共通に接続されている。

[0076] つまりストリングユニットSUは、異なるビット線BLに接続され、かつ同一のセレクトゲート線SGDに接続されたNANDストリングNSの集合体である。ストリングユニットSUのうち、同一のワード線WLに共通接続されたメモリセルトランジスタMTの集合体を、セルユニットCU（又はメモリセルグループ）とも言う。またブロックBLKは、ワード線WLを共通にする複数のストリングユニットSUの集合体である。そしてメモリセルアレイ110は、ビット線BLを共通にする複数のブロックBLKの集合体である。

[0077] 図10は、ブロックBLKの断面図であり、Y方向に沿って並ぶ8つのNANDストリングNSが図示される。8つのNANDストリングNSのうち、各々がY方向に沿って並ぶ2つのNANDストリングNSを含む4つの組が、それぞれストリングユニットSU0、SU1、SU2、及びSU3に対応する。なお、上述の通り、メモリセルアレイ110は、ウェハUW上に形成された後、ウェハLWと貼り合わされるため、図10における説明に限り、紙面上方（－Z方向）を「上方」と呼ぶ。

[0078] 図10に示すように、ソース線SLとして機能する導電体51の上方に、複数のNANDストリングNSが形成されている。すなわち、導電体51の上方には、セレクトゲート線SGSとして機能する導電体52、ワード線WL0～WL7として機能する8層の導電体53～60、及びセレクトゲート線SGDとして機能する導電体61が、順次積層されている。積層された導電体間には、図示せぬ絶縁体が形成されている。導電体52～61は、ブロックBLK間で図示せぬ絶縁体SLTによって分断されている。また、導電体61は、ストリングユニットSU間で図示せぬ絶縁体SHEによって分断されている。このように、導電体61は、導電体52～60よりもY方向に沿って短い。

[0079] そして、これらの導電体61～52を通過して導電体51に達するピラー状の導電体64が形成されている。導電体64の側面には、トンネル絶縁膜65、電荷蓄積膜66、及びブロック絶縁膜67が順次形成され、これらによってメモリセルトランジスタMT、並びに選択トランジスタST1及びST2が形成されている。導電体64は、例えばポリシリコンを含み、NANDストリングNSの電流経路として機能し、各トランジスタのチャネルが形成される領域となる。トンネル絶縁膜65及びブロック絶縁膜67は、例えば、酸化シリコン(SiO_2)を含み、電荷蓄積膜66は、例えば、窒化シリコン(SiN)を含む。そして導電体64の上方には、ビット線BLとして機能する導電体63が設けられる。導電体64及び導電体63は、例えば、コンタクトプラグとして機能する導電体62を介して電氣的に接続される。図10の例では、Y方向に沿って並ぶ8つのNANDストリングNSのうち、ストリングユニットSU0～SU3の各々に1つずつ対応する4つのNANDストリングNSと、1つの導電体63とが電氣的に接続される例が示される。

[0080] 以上の構成が、X方向に複数配列されており、X方向に並ぶ複数のNANDストリングNSの集合によってブロックBLKが形成される。そして、当該ブロックBLKがY方向に複数配列されることによってメモリセルアレイ110が形成される。

[0081] 1. 1. 6 ストレージウェハ及びプローブカードの断面構成

次に、第1実施形態に係るストレージウェハ及びプローブカードの断面構成について説明する。

[0082] 1. 1. 6. 1 パッド群に対応する構成

図11は、図5におけるX1-X1線に沿った断面図であり、第1実施形態に係るパッド群に対応する構成の一例を示す。図11では、ストレージウェハ10をパッド群PdGnに沿って切ったXZ断面に加え、複数のプローブ電極21をパッド群PdGnに接触させる場合におけるプローブカード20のXZ断面についても併せて示される。なお、図11では、ストレージウ

エハ１０及びプローブカード２０間のＸＹ平面内の位置合わせが完了した後、プローブ電極２１がパッド電極１１に接触する前の状態における断面が示される。

[0083] まず、ストレージウェハ１０の断面構成について説明する。

[0084] 図１１に示すように、ウェハＬＷにおいて、半導体基板７０上には、周辺回路ＰＥＲＩ（図１１では、一例として、トランジスタを図示）が設けられる。周辺回路ＰＥＲＩの上方には、導電体７１が設けられる。導電体７１は、図示せぬ導電体を介して、周辺回路ＰＥＲＩに電氣的に接続される。導電体７１の上面上には、コンタクトとして機能する導電体７２が設けられる。導電体７２の上面上には、導電体７３が設けられる。導電体７３の上面上は、ウェハＵＷとの貼合面（すなわち、ウェハＬＷの上面上）に達し、ウェハＵＷとの貼り合わせの際のパッド電極として用いられる。導電体７１～７３の組は、例えば、パッド群ＰｄＧ内の複数のパッド電極１１の各々に対応して１組ずつ設けられる。そして、これら複数組の導電体７１～７３の組はそれぞれ、絶縁体ＩＮＳ＿Ｌによって互いに電氣的に絶縁される。

[0085] ストレージウェハ１０のうち導電体７３より上方の部分は、ウェハＵＷに対応する。導電体７３の上面上には、ウェハＬＷとの貼り合わせの際のパッド電極として用いられる導電体７４が設けられる。導電体７４の上面上には、コンタクトとして機能する導電体７５が設けられる。導電体７５の上面上には、パッドユニットＰｄＵ内の複数のパッド電極１１＿１～１１＿ｎ間を電氣的に接続する配線１５として機能する導電体７６が設けられる。後述するように、導電体７６は、例えばＹ方向に沿って延びる。導電体７６の上面上には、配線１５とパッド電極１１との間を電氣的に接続するコンタクトとして機能する導電体７７が設けられる。導電体７４～７７の組は、例えば、パッド群ＰｄＧ内の複数のパッド電極１１の各々に対応して１組ずつ設けられる。そして、これら複数組の導電体７４～７７は、絶縁体ＩＮＳ＿Ｕによって互いに電氣的に絶縁される。

[0086] 導電体７７の上面上には、パッド電極１１の一部として機能する導電体７

8が設けられる。導電体78は、例えば、アルミニウム（Al）を含む。導電体78の上面上には、パッド電極11の一部として機能し、かつストレージウェハ10の上面上においてプローブ電極21との接触面を有する導電体79が設けられる。導電体79は、例えば、無電解めっき成長法によって導電体78上に成長した導電体78に対する異種金属であり、ニッケル（Ni）、金（Au）、コバルト（Co）、パラジウム（Pd）、銅（Cu）、及び銀（Ag）から選択される少なくとも1つの金属を含む。導電体79は、例えば、導電体78より硬く、プローブ電極21との接触によって欠損しにくい。X方向に沿って並ぶ複数の導電体78及び79の組は、パッド群PdG（図11の例では、パッド群PdGn）を構成し、絶縁体PIによって互いに電氣的に切断される。複数の導電体79の各々の上面は、例えば、絶縁体PIの上面よりも下方（-Z方向）に位置する。

[0087] 次に、プローブカード20の断面構成について説明する。

[0088] プローブカード20は、いずれも絶縁性の基部を有する、プリント基板PCB、インタポーザIP、及びプローブユニットPBUを含む。プローブユニットPBUは、例えば、Z方向に沿ってインタポーザIP側からこの順に積層された複数の層L1、L2、及びL3を含む。プローブ電極21は、例えば、平板状の導電体98及びプローブピン99を含む。

[0089] プリント基板PCBの上面上にはNANDコントローラチップ200が実装され、下面上には導電体91を介してインタポーザIPが設けられる。インタポーザIPの下面上には、層L1が設けられる。層L1の下面上には、導電体94を介して層L2が設けられ、層L2の下面上には、導電体96を介して層L3が設けられる。層L3の下面上には、導電体98が設けられる。導電体98の下面上には、プローブピン99が設けられる。プローブピン99は、例えば、導電体98によって片側支持されたカンチレバーであり、パッド電極11側の先端が凸な針状に形成される。これにより、プローブピン99とパッド電極11の周縁部との干渉を抑制しつつ、プローブ電極21とパッド電極11とを接触させることができる。

[0090] また、プリント基板PCB、インタポーザIP、層L1～L3の各々の内部にはそれぞれ、Z方向に貫通する導電体90、92、93、95、及び97が設けられる。導電体90は、NANDコントローラチップ200と導電体91との間を電氣的に接続する。導電体92及び93は、導電体91と導電体94との間を電氣的に接続する。導電体95は、導電体94と導電体96との間を電氣的に接続する。導電体97は、導電体96と導電体98との間を電氣的に接続する。

[0091] 以上のような構成において、導電体91、94、及び96を適切に配線することにより、NANDコントローラチップ200から出力される各種信号を、所望のプローブピン99に転送することができる。

[0092] そして、図11に示すように、複数のプローブ電極21の各々は、XY平面内において、パッド群PdGn内の対応するパッド電極11に接触可能な位置に配置される。

[0093] 1. 1. 6. 2 パッドユニット及びアライメントマークに対応する構成
図12は、図5におけるX1-X1線に沿った断面図であり、第1実施形態に係るパッドユニット及びアライメントマークに対応する構成の一例を示す。図12では、ストレージウェハ10をパッドユニットPdU及びアライメントマーク12に沿って切ったYZ断面に加え、プローブ電極21をパッドユニットPdUのうちのパッド電極11__1に接触させる場合におけるプローブカード20のYZ断面についても併せて示される。なお、図12では、図11と同様、ストレージウェハ10及びプローブカード20間のXY平面内の位置合わせが完了した後、プローブ電極21がパッド電極11に接触する前の状態における断面が示される。

[0094] まず、ストレージウェハ10の断面構成について説明する。

[0095] ウェハLWの構成については、図11と同等であるため、説明を省略する。

[0096] 図12に示すように、ウェハUWにおいて、ウェハLW及びウェハUW間の境界と、導電体76との間には、メモリセルアレイMCAが設けられる。

メモリセルアレイMCAは、図示しない導電体によって、周辺回路PERIと電氣的に接続される。

[0097] 上述の通り、導電体76は、Y方向に沿って延びる。より具体的には、例えば、導電体76のY方向に沿った長さは、パッドユニットPdUの両端のパッド電極11__1とパッド電極11__nとの間の距離以上である。

[0098] 導電体76とパッドユニットPdUとの間には、Y方向に沿って並ぶ複数の導電体78が設けられる。そして、パッドユニットPdU内の複数のパッド電極11__1～11__nが、導電体76に共通接続される。これにより、パッドユニットPdU内の複数のパッド電極11は、電氣的に等価なパッド電極として機能することができる。

[0099] アライメントマーク12は、例えば、絶縁体INS__Uの上面上において、パッド電極11と同等の構成を有するように形成される。より具体的には、絶縁体INS__Uの上面上には、導電体80が設けられる。導電体80は、例えば、アルミニウム(Al)を含む。導電体80の上面上には、ストレージウェハ10の上面上に露出する面を有する導電体81が設けられる。導電体81は、無電解めっき成長法によって導電体80上に成長した導電体80に対する異種金属であり、例えば、ニッケル(Ni)、金(Au)、コバルト(Co)、パラジウム(Pd)、銅(Cu)、及び銀(Ag)から選択される少なくとも1つの金属を含む。導電体81の上面は、例えば、絶縁体PIの上面よりも下方(-Z方向)に位置する。導電体80及び81は、絶縁体PIによって、ストレージウェハ10に設けられる他の導電体から電氣的に切断される。

[0100] 次に、プローブカード20の断面構成について説明する。

[0101] プローブカード20の構成の概要は、図11において説明したとおりであるが、図12では、図示されたパッド電極11に対するプローブ電極21の数が異なる。より具体的には、プローブ電極21は、パッドユニットPdU内の複数のパッド電極11のいずれか1つに対して割り当てられる。すなわち、電氣的に等価な複数のパッド電極11に対して、プローブ電極21は1

つだけ割り当てられるようにプローブ電極 2 1 が配置される。

[0102] なお、プローブ電極 2 1 をパッドユニット P d U 内のいずれのパッド電極 1 1 に対して接触させるかを判定する処理は、例えば、プローブ管理テーブル 3 3 5 に基づいてインタフェース制御系 3 3 によって実行される。

[0103] 1. 1. 7 プローブ管理テーブル

図 1 3 は、第 1 実施形態に係るプローブ管理テーブルを示す概念図である。プローブ管理テーブル 3 3 5 は、例えば、ホスト機器 2 において不揮発に保持されていてもよい。この場合、ストレージシステム 1 の起動と同時にホスト機器 2 からプローブ管理テーブル 3 3 5 が転送され、インタフェース制御系 3 3 内の R A M 3 3 4 に記憶されてもよい。また、プローブ管理テーブル 3 3 5 は、更新等のイベントに応じてストレージウェアハ 1 0 内に記憶されてもよい。

[0104] 図 1 3 に示すように、プローブ管理テーブル 3 3 5 は、種別に対して、プローブ回数及び不良フラグが関連づけられた情報である。

[0105] 種別は、例えば、ストレージウェアハ 1 0 とプローブカード 2 0 とを識別する「ウェア又はカード」項目と、ストレージウェアハ 1 0 内のパッド群 P d G を識別する「パッド群」項目と、を含む。

[0106] 「ウェア又はカード」項目は、「ストレージウェア」項目及び「プローブカード」項目に分類される。「ストレージウェア」項目は、ウェアストック 5 内に保管され得る複数のストレージウェアハ 1 0 (図 1 3 では、W 1、W 2、…) の各々を一意に特定する。「プローブカード」項目は、プローブカード 2 0 (すなわち、プローブ電極 2 1) 特定する。「パッド群」項目は、「ストレージウェア」項目に関連づけられ、ストレージウェアハ 1 0 内のパッド群 P d G (P d G 1、P d G 2、P d G 3、…、P d G n) を一意に特定する。

[0107] プローブ回数は、対応する種別によって特定されたストレージウェアハ 1 0 におけるパッド群 P d G 又はプローブ電極 2 1 を使用して、パッド電極 1 1 に対するプローブ電極 2 1 の接触処理 (タッチダウン処理) が実行された回

数を示す。図13の例では、ストレージウェアW1のパッド群PdG1、PdG2、PdG3、…、PdGnにそれぞれ10回、8回、3回、…、0回のタッチダウン処理が実行され、ストレージウェアW2のパッド群PdG1、PdG2、PdG3、…、PdGnにそれぞれ9回、1、0回、…、0回のタッチダウン処理が実行された場合が示される。また、プローブ電極21は、合計31回のタッチダウン処理に使用されたことが示される。

[0108] 不良フラグは、対応する種別によって特定されたストレージウェア10におけるパッド群PdGが不良（すなわち、当該パッド群PdGがタッチダウン処理に使用不可能である）であるか否かを示す。図13の例では、ストレージウェアW1は、パッド群PdG1及びPdG2が不良であり（“True”であり）、その他のパッド群PdG3～PdGnが不良でない（“False”である）場合が示される。また、ストレージウェアW2は、パッド群PdG1が不良であり（“True”であり）、その他のパッド群PdG2～PdGnが不良でない（“False”である）場合が示される。

[0109] 以上のようなプローブ管理テーブル335を参照することにより、インタフェース制御系33は、ストレージウェア10毎に、どのパッド群PdGを用いてタッチダウン処理をすべきか、を判定することができる。

[0110] 1. 2 動作

次に、第1実施形態に係るストレージシステムの動作について説明する。

[0111] 1. 2. 1 データ通信に伴う基本処理

図14は、第1実施形態に係るストレージシステムにおけるデータ通信の際に実行される基本的な処理を示すフローチャートである。

[0112] 図14に示すように、ステップST10において、ホスト機器2からデータの読出し要求や書込み要求等を受けると、プローバ3は、ウェア及びパッド群選択処理を実行する。ウェア及びパッド群選択処理は、プローバ3内に設置するストレージウェア10と、当該ストレージウェア10においてプローブ電極21に接触させるパッド群PdGと、を選択する処理を含む。

[0113] ステップST20において、ウェア搬送機4は、ステップST10によっ

て選択されたストレージウェハ10をウェハストッカ5からプローバ3へ搬送するウェハ搬送処理を実行する。

[0114] ステップST30において、プローバ3は、ステップST10によって選択されたストレージウェハ10上のパッド電極11を、プローブカード20上のプローブ電極21に対して位置合わせするアライメント処理を実行する。例えば、プローバ3は、ストレージウェハ10上に設けられたアライメントマーク12等を用いて、ストレージウェハ10とプローブカード20との間のXY平面上のずれを解消する。

[0115] ステップST40において、プローバ3は、ステップST30によってプローブカード20に対して正対したストレージウェハ10をZ方向に移動させ、ステップST10によって選択されたパッド群PdGに対してプローブ電極21を接触させるタッチダウン処理を実行する。タッチダウン処理によって、プローバ3上のNANDコントローラチップ200と、ストレージウェハ10内のNANDチップユニット100とは、電氣的に接続される。

[0116] ステップST50において、NANDコントローラチップ200及びNANDチップユニット100は、ホスト機器2からの要求に基づくデータ通信処理を実行する。

[0117] 以上で、基本処理が終了する。

[0118] 1. 2. 2 ウェハ及びパッド群選択処理

次に、ウェハ及びパッド群選択処理の詳細について、図15に示すフローチャートを用いて説明する。図15におけるステップST11～ST19は、図14におけるステップST10の詳細を示す一例である。

[0119] 図15に示すように、ステップST11において、プローバ3は、ホスト機器2からの要求に基づき、アクセスするストレージウェハ10を選択する。以下の説明では、ステップST11において選択されたストレージウェハ10を、「選択ストレージウェハ10」とも言う。

[0120] ステップST12において、プローバ3は、変数iを“1”に初期化する($1 \leq i \leq n$)。

- [0121] ステップST13において、プローバ3は、プローブ管理テーブル335を参照し、選択ストレージウェハ10のパッド群PdGiに対応する不良フラグが“False”であるか否かを判定する。対応する不良フラグが“False”でない場合（ステップST13；no）、プローバ3はパッド群PdGiが使用不可であると判定し、処理はステップST14に進む。対応する不良フラグが“False”である場合（ステップST13；yes）、プローバ3はパッド群PdGiが使用可能であると判定し、処理はステップST15に進む。
- [0122] ステップST14において、プローバ3は、変数iをインクリメントし、処理をステップST13に戻す。これにより、パッド群PdGiが使用可能であると判定されるまで、ステップST13及びST14が繰り返される。
- [0123] ステップST15において、プローバ3は、パッド群PdGiを、プローブ電極21と接触させるパッド群PdGとして選択する。
- [0124] ステップ16において、プローバ3は、例えば選択ストレージウェハ10が既にプローブカード20と接触済みであるか否かを確認する。選択ストレージウェハ10がプローブカード20と接触していない場合（ステップST16；no）、処理はステップST17に進み、選択ストレージウェハ10がプローブカード20と済みである場合（ステップST16；yes）、処理はステップST18に進む。
- [0125] ステップST17において、プローバ3は、プローブ管理テーブル335を参照し、ステップST15において選択されたパッド群PdGiに対応するプローブ数をインクリメントする。
- [0126] ステップST18において、プローバ3は、プローブ管理テーブル335を参照し、ステップST15において選択されたパッド群PdGiに対応するプローブ数が閾値Th1以上であるか否かを判定する。プローブ数が閾値Th1以上である場合（ステップST18；yes）、処理はステップST19に進む。プローブ数が閾値Th1未満である場合（ステップST18；no）、処理はステップST19を省略する。

[0127] ステップST19において、プローバ3は、プローブ管理テーブル335を参照し、ステップST15において選択されたパッド群PdGiに対応する不良フラグを“True”に更新した後、パッド群PdGiに代えてパッド群PdG(i+1)を選択し直す。

[0128] 以上により、ウェハ及びパッド群選択処理が終了する。なお、以下の説明では、ウェハ及びパッド群選択処理後において選択されたパッド群PdGを、「選択パッド群PdG」とも言う。

[0129] 1. 2. 3 ウェハ搬送処理

次に、ウェハ搬送処理の詳細について、図16に示すフローチャートを用いて説明する。図16におけるステップST21～ST26は、図14におけるステップST20の詳細を示す一例である。

[0130] 図16に示すように、ステップST21において、プローバ3は、プローブ管理テーブル335を参照し、プローブカード20に対応するプローブ数が閾値Th2以上であるか否かを判定する。上述の通り、プローブカード20に対応するプローブ数は、プローブカード20を用いたタッチダウン処理の総数（総プローブ数）を意味するため、閾値Th2は、閾値Th1より大きい値が設定され得る。総プローブ数が閾値Th2以上である場合（ステップST21；yes）、プローバ3は、プローブ電極21のクリーニング処理を要すると判定し、処理はステップST22に進む。総プローブ数が閾値Th2未満である場合（ステップST21；no）、プローバ3は、クリーニング処理は不要と判定し、処理はステップST25に進む。

[0131] ステップST22において、ウェハ搬送機4は、ウェハストッカ5からプローバ3へクリーニングウェハ10cを搬送する。

[0132] ステップST23において、プローバ3は、クリーニングウェハ10cに対してプローブ電極21を接触させ、クリーニング処理を実行する。駆動制御系32は、例えば、ステージ32-1及びステージ32-2を駆動することにより、クリーニングウェハ10cをプローブ電極21に対してXY平面で変位させる。これにより、プローブ電極21の先端を研磨することができ

、プローブ電極 2 1 の先端に付着したパッド電極 1 1 の金属等の汚れを除去することができ、プローブ電極 2 1 の電気的特性を改善することができる。

[0133] ステップ S T 2 4 において、プローバ 3 は、プローブ管理テーブル 3 3 5 内のプローブカード 2 0 に対応するプローブ数を“0”にリセットする。

[0134] ステップ S T 2 5 において、プローバ 3 は、選択ストレージウェハ 1 0 はプローブカード 2 0 と接触済みであるか否かを判定する。選択ストレージウェハ 1 0 がプローブカード 2 0 と接触していない場合（ステップ S T 2 5 ; n o）、処理はステップ S T 2 6 に進み、選択ストレージウェハ 1 0 がプローブカード 2 0 と接触済みである場合（ステップ S T 2 5 ; y e s）、処理はステップ S T 2 6 を省略する。

[0135] ステップ S T 2 6 において、ウェハ搬送機 4 は、ウェハストッカ 5 からプローバ 3 へ選択ストレージウェハ 1 0 を搬送する。

[0136] 以上により、ウェハ搬送処理が終了する。

[0137] 1. 2. 4 データ通信処理

次に、データ通信処理の詳細について説明する。

[0138] 1. 2. 4. 1 書込み処理

まず、データ通信処理の一例として、書込み処理の場合について、図 1 7 に示すフローチャートを用いて説明する。図 1 7 では、ウェハ搬送処理の後に続けてアライメント処理及びタッチダウン処理が実行され、プローバ 3 とストレージウェハ 1 0 とが電氣的に接続された後の書込み処理のフローの一例が示される。

[0139] 図 1 7 に示すように、ステップ S T 4 1 において、プローバ 3 内の N A N D コントローラチップ 2 0 0 は、ホスト機器 2 からのデータの書込み要求に基づき、書込みコマンド C M D を発行する。そして、N A N D コントローラチップ 2 0 0 は、当該書込みコマンド C M D、アドレス A D D、及び書込みデータ D A T を含む書込みコマンドセットを N A N D チップユニット 1 0 0 に送出する。プローバ 3 の処理は、ステップ S T 4 4 に進む。

[0140] ステップ S T 4 2 において、書込みコマンドセットを受けると、N A N D

チップユニット１００内のＥＣＣ回路１２５は、書込みデータＤＡＴに対する誤り検出及び訂正処理を実行する。書込みデータＤＡＴに誤りが含まれない場合、又はＥＣＣ回路１２５により誤りを訂正できた場合（ステップＳＴ４２；ｙｅｓ）、処理はステップＳＴ４６に進む。ステップＳＴ４６において、ＮＡＮＤチップユニット１００は、書込み処理を実行してメモリセルアレイ１１０内にデータを記憶し、ＮＡＮＤチップユニット１００の処理は終了する。

[0141] 一方、書込みデータＤＡＴに含まれるエラービット数がＥＣＣ回路１２５で訂正可能なビット数を超過しており、ＥＣＣ回路１２５による誤りの訂正ができない場合（ステップＳＴ４２；ｎｏ）、処理はステップＳＴ４３に進む。

[0142] なお、ＥＣＣ回路１２５による誤り検出及び訂正処理は、ＮＡＮＤコントローラチップ２００内のＥＣＣ回路２４０において付与された誤り訂正符号に基づいて実行される。また、上記の例では、書込みデータＤＡＴに対して誤り検出及び訂正処理を実行する場合について記載したが、これに限られず、書込みコマンドＣＭＤやアドレスＡＤＤに対しても同様に誤り検出及び訂正処理を実行してもよい。また、ステップＳＴ４２の前処理として、ＮＡＮＤチップユニット１００に入力される各種信号に生じるタイミングずれをタイミング調整回路１２４によって調整し、各種信号の同期が図られてもよい。

[0143] ステップＳＴ４３において、ＮＡＮＤチップユニット１００は、ＥＣＣ回路１２５による誤り訂正失敗がパッド電極１１の不良に起因するものであると判定し、パッド不良通知を発行する。そして、当該パッド不良通知をＮＡＮＤコントローラチップ２００に送出する。

[0144] ステップＳＴ４４において、ＮＡＮＤコントローラチップ２００は、パッド不良通知を受信したか否かを判定する。パッド不良通知を受信している場合（ステップＳＴ４４；ｙｅｓ）、処理はステップＳＴ４５に進む。パッド不良通知を受信していない場合（ステップＳＴ４４；ｎｏ）、プローバ３の

処理は終了する。

- [0145] ステップST45において、インタフェース制御系33は、プローブ管理テーブル335を参照し、選択パッド群PdGiに対応する不良フラグを“True”に更新し、パッド群PdG(i+1)を新たな選択パッド群PdGとして選択する。その後、処理はアライメント処理(ST30)に戻る。
- [0146] 図18及び図19は、第1実施形態に係るストレージシステムにおけるタッチダウン処理後のプローブカード及びNANDチップユニットを示す断面図である。具体的には、図18は、図17に示す書込み処理前において、選択パッド群PdG1に対して実行されたアライメント処理及びタッチダウン処理の際の状態を示す。図19は、図17に示す書込み処理におけるステップST45において、パッド群PdG1に代えて新たな選択パッド群PdG2が選択された後のアライメント処理及びタッチダウン処理の際の状態を示す。
- [0147] 図18に示すように、書込み処理の実行に先立って選択パッド群PdG1としてパッド群PdG1が選択された場合、プローバ3は、パッド群PdG1とプローブ電極21とが接触するようにアライメント処理及びタッチダウン処理を実行する。そして、パッド群PdG1を介して書込みコマンドセット等がNANDコントローラチップ200からNANDチップユニット100へ送出される。
- [0148] パッド群PdG1を介して受けた信号がECC回路125で誤り訂正できない場合、パッド群PdG1が度重なるタッチダウン処理等の影響によって欠損し、電気的特性の劣化が疑われる。このため、NANDチップユニット100はパッド不良通知をNANDコントローラチップ200に送出し、プローバ3はNANDコントローラチップ200がパッド不良通知を受けたことに応じて、パッド群PdG1のプローブ数が閾値Th1に達しているか否かに関わらず、パッド群PdG1を使用不可能なパッド群PdGであると判定する。プローバ3は、使用不可能と判定されたパッド群PdG1に代えて、未使用又はプローブ数が閾値Th1に達していないパッド群PdG2を新

たに選択する。

[0149] 続いて、図19に示すように、プローバ3は、パッド群PdG2とプローブ電極21とが接触するようにタッチダウン処理を実行する。そして、パッド群PdG2を介して、再度書込みコマンドセット等がNANDコントローラチップ200からNANDチップユニット100へ送出される。

[0150] 以上のように動作することにより、良好に通信可能なパッド群PdGが適宜選択され、NANDチップユニット100に所望のデータを書き込むことができる。

[0151] なお、パッド群PdGは、パッド領域と周辺回路領域との間を接続する導電体75から遠い方から順番に選択されることが望ましい。具体的には、例えば、図18及び図19に示したように、パッド群PdG1が選択された後に、パッド群PdG1よりも導電体75に近いパッド群PdG2が選択されることが望ましい。これにより、プローブ電極21と導電体75との間の導電経路に不良なパッド電極が存在することを抑制できる。このため、NANDコントローラチップ200とNANDチップユニット100との間の通信が不良なパッド電極によって阻害されることを抑制できる。

[0152] 1. 2. 4. 2 読出し処理

次に、更なるデータ通信処理の一例として、読出し処理の場合について、図20に示すフローチャートを用いて説明する。図20では、図17と同様に、ウェハ搬送処理の後に続けてアライメント処理及びタッチダウン処理が実行され、プローバ3とストレージウェハ10とが電氣的に接続された後の書込み処理のフローの一例が示される。

[0153] 図20に示すように、ステップST51において、プローバ3内のNANDコントローラチップ200は、ホスト機器2からのデータの読出し要求に基づき、読出しコマンドCMDを発行する。そして、NANDコントローラチップ200は、当該読出しコマンドCMD、及びアドレスADDを含む読出しコマンドセットをNANDチップユニット100に送出する。プローバ3の処理は、ステップST55に進む。

- [0154] ステップST52において、読出しコマンドセットを受けると、NANDチップユニット100は、指定されたアドレスADDに対応するデータDATをメモリセルアレイ110から読み出し、データレジスタ128に格納する。なお、読出しコマンドセットの受信に際して、NANDチップユニット100に入力される各種信号に生じるタイミングずれをタイミング調整回路124によって調整し、各種信号の同期が図られてもよい。
- [0155] ステップST53において、ECC回路125は、データレジスタ128に格納された読出しデータDATに対する誤り検出及び訂正処理を実行する。読出しデータDATに誤りが含まれない場合、又はECC回路125により誤りを訂正できた場合（ステップST53；yes）、NANDチップユニット100は、入出力回路122を介して読出しデータDATをNANDコントローラチップ200に送出し、NANDチップユニット100の処理は終了する。
- [0156] 一方、読出しデータDATについてECC回路125による誤りの訂正ができない場合（ステップST53；no）、処理はステップST54に進む。ステップST54において、NANDチップユニット100は、例えば、読出し処理の条件を変更して再度読出し処理を実行し（リトライ処理）、読出しデータDATに含まれるエラービット数をECC回路125が誤り訂正可能な程度まで低減するよう試みる。リトライ処理によって読み出された読出しデータDATに対する誤り検出及び訂正処理が成功した場合、当該誤り検出及び訂正処理後の読出しデータDATがNANDコントローラチップ200に送出される。
- [0157] ステップST55において、NANDコントローラチップ200内のECC回路240は、読出しデータDATを受信すると、当該読出しデータDATに対する誤り検出及び訂正処理を実行する。読出しデータDATに誤りが含まれない場合、又はECC回路125により誤りを訂正できた場合（ステップST55；yes）、当該読出しデータDATをホスト機器2に送出し、NANDチップユニット100の処理は終了する。

- [0158] 一方、読出しデータDATについてECC回路125による誤りの訂正ができない場合（ステップST55；no）、処理はステップST56に進む。ステップST56において、プローバ3は、プローブ管理テーブル335を参照し、選択パッド群PdGiに対応する不良フラグを“True”に更新し、パッド群PdG(i+1)を新たな選択パッド群PdGとして選択する。その後、処理はアライメント処理(ST30)に戻る。
- [0159] 以上のように動作することにより、良好に通信可能なパッド群PdGが適宜選択され、NANDチップユニット100から所望のデータを読み出すことができる。
- [0160] 1. 3 本実施形態に係る効果
- 第1実施形態によれば、プローブ電極及びパッド電極間の通信信頼性の劣化を抑制することができる。本効果について、以下に説明する。
- [0161] NANDチップユニット100は、複数のパッドユニットPdUを含み、パッドユニットPdUは、互いに異なる複数のパッド群PdG1～PdGnにそれぞれ属する複数のパッド電極11_1～11_nを含む。これにより、或る選択パッド群PdGiによるデータ通信処理が不能になった場合でも、新たな選択パッド群PdG(i+1)を用いてデータ通信処理を実行することができる。このため、1つの信号に対して1つのパッド電極11が割り当てられる場合よりも、タッチダウン処理の実行可能回数が増える。したがって、パッド電極及びプローブ電極間の電気的特性の劣化を抑制することができる。
- [0162] また、インタフェース制御系33は、どのストレージウェア10のどのパッド群PdGに対して何回タッチダウン処理を実行したかに関する情報と、当該パッド群PdGが使用可能であるか否かに関する情報と、をプローブ管理テーブル335として記憶する。これにより、インタフェース制御系33は、或る選択ストレージウェア10の選択パッド群PdGiに対するプローブ数が閾値Th1を超えたか否かに基づき、当該選択パッド群PdGiを用いてタッチダウン処理が可能か、或いは新たな選択パッド群PdG(i+1)

）を用いてタッチダウン処理を実行すべきか、を判定することができる。このため、パッド群PdGが複数回のタッチダウン処理によって使用不能となる前に、電気的特性が良好な（タッチダウン処理が実行されていない）パッド群PdG（ $i + 1$ ）を選択することができ、ストレージシステム1の応答性能の劣化を抑制できる。

[0163] また、パッド電極11は、アルミニウム（Al）を含む導電体78と、当該導電体78の上面上に設けられたアルミニウム（Al）の異種金属を含む導電体79と、を含む。これにより、通常NANDチップにおいてボンディングパッドとして使用されるパッド電極よりも、硬い異種金属をプローブ電極21と接触させることができる。これにより、1つのパッド電極11あたりのタッチダウン処理の実行可能回数の上限值（閾値Th1）を、増加させることができる。

[0164] また、ストレージウェハ10は、ウェハLWとウェハUWとを貼り合わせて形成される。より具体的には、周辺回路PERIが設けられるウェハLWの上面に、メモリセルアレイMCAが設けられるウェハUWが貼り合わされる。ウェハLWとウェハUWの貼り合わせにより、互いに異なるウェハ上に設けられた周辺回路PERIとメモリセルアレイMCAとをZ方向に沿って積み上げることができ、メモリセルアレイMCA及び周辺回路PERIのいずれについても十分な領域を確保できる。このため、周辺回路PERIにECC回路125を設けることができ、プローバ3側で符号化されたデータをストレージウェハ10側で復号することができる。したがって、プローブ電極21及びパッド電極11間の通信不良に起因するデータの誤り検出及び訂正処理を実行できると共に、パッド電極11が使用不可能であるか否かを判定できる。

[0165] 1. 4 変形例

なお、上述の第1実施形態は、種々の変形が可能である。以下に示す複数の変形例では、第1実施形態と同等の構成及び動作についてはその説明を省略し、第1実施形態と異なる構成及び動作について主に説明する。

[0166] 1. 4. 1 第1変形例

上述の第1実施形態では、1つのNANDチップユニット100に対応する複数のパッド電極11が、ダイシングライン13及びエッジシール14によって囲まれる領域内に配置される場合について説明したが、これに限られない。例えば、1つのNANDチップユニット100に対応する複数のパッド電極11の一部は、ダイシングライン13及びエッジシール14によって囲まれる領域外に配置されてもよい。

[0167] 図21は、第1実施形態の第1変形例に係るストレージウェハの上面図であり、第1実施形態における図5に対応する。

[0168] 図21に示すように、複数のパッドユニットPdUの各々は、ダイシングライン13及びエッジシール14によって囲まれる領域内に配置されるn個のパッド電極11__1～11__nと、ダイシングライン13又はエッジシール14によって囲まれる領域外に配置されるパッド電極11__0と、を含む。同一のパッドユニットPdU内のパッド電極11__0～11__nは、配線15によって共通接続される。なお、パッド電極11__0は、隣り合う他のNANDチップユニット100に対応するパッド電極11及び配線15に干渉しなければよく、隣り合う他のNANDチップユニット100に対応するダイシングライン13及びエッジシール14を超えて設けられてもよい。

[0169] 上述の通り、本実施形態においては、ダイシングライン13に沿ってダイシング処理が実行されることはないため、ダイシングライン13を超えて配置されたパッド電極11__0は、他のパッド電極11__1～11__nと同等に使用可能である。これにより、1つのNANDチップユニット100あたりに使用可能なパッド電極11の数を多くすることができる。このため、ストレージウェハ10に対して実行可能なタッチダウン処理の上限値を多くすることができる。したがって、プローブ電極及びパッド電極間の通信信頼性の劣化を抑制することができ、ひいては、ストレージウェハ10の寿命を延ばすことができる。

[0170] 1. 4. 2 第2変形例

上述の第1実施形態及び第1実施形態の第1変形例では、1つのパッドユニットPdU内の複数のパッド電極11が、Y方向に平行に配置される場合について説明した。しかしながら、1つのパッドユニットPdU内の複数のパッド電極11は、Y方向に平行に配置されなくてもよい。

[0171] 図22は、第1実施形態の第2変形例に係るストレージウェアハの上面図である。図22は、第1実施形態における図5に対応する。

[0172] 図22に示すように、パッドグループPdGiに属するパッド電極11__iと、パッドグループPdG(i+1)及びPdG(i-1)に属するパッド電極11__(i+1)及び11__(i-1)とは、Y方向と交差する方向に沿って配置され得る($0 < i < n$)。これにより、1つのパッドユニットPdU内の複数のパッド電極11をY方向に平行に配置する場合よりも、パッド電極11__iとパッド電極11__(i+1)及び11__(i-1)との間の距離を長くすることができる。このため、アライメント処理におけるプローブ電極21とパッド電極11との間の位置合わせの負荷を軽減することができる。

[0173] 1. 4. 3 第3変形例

上述の第1実施形態及び第1実施形態の第1変形例及び第2変形例では、1つのパッドグループPdG内の複数のパッド電極11が、X方向に平行に配置される場合について説明した。しかしながら、1つのパッドグループPdG内の複数のパッド電極11は、X方向に平行に配置されなくてもよい。

[0174] 図23は、第1実施形態の第3変形例に係るストレージウェアハの上面図である。図23は、第1実施形態における図5に対応する。

[0175] 図23に示すように、あるパッドユニットPdUに属する複数のパッド電極11__1～11__nはそれぞれ、隣り合うパッドユニットPdUに属する複数のパッド電極11__1～11__nと、X方向と交差する方向に沿って配置され得る。これにより、1つのパッドグループPdG内の複数のパッド電極11をX方向に平行に配置する場合よりも、パッドグループPdG内のパッド電極11間の距離を長くすることができる。このため、アライメント処

理におけるプローブ電極 2 1 とパッド電極 1 1 との間の位置合わせの負荷を軽減することができる。

[0176] なお、上述した第 1 実施形態の第 1 変形例乃至第 3 変形例において、全ての NAND チップユニット 1 0 0 における全てのパッドグループ P d G 1 ~ P d G n は、同一の配置パターンを有する。すなわち、あるパッドグループ P d G に属するパッド電極 1 1 と、他のパッドグループ P d G に属する対応するパッド電極 1 1 との間の相対的な位置関係は、これら 2 つのパッド電極 1 1 が属するパッドユニット P d U に依って変化しない。言い換えると、あるパッドグループ P d G に属する 2 つのパッド電極 1 1 と、他のパッドグループ P d G において当該 2 つのパッド電極 1 1 に対応する 2 つのパッド電極 1 1 と、によって形成される四辺形は、平行四辺形となる。これにより、プローブ電極 2 1 の配置を変更することなく、任意のパッドグループ P d G を選択することができる。

[0177] 1. 4. 4 第 4 変形例

また、上述の第 1 実施形態及び第 1 実施形態の第 1 変形例乃至第 3 変形例では、パッド電極 1 1 のうちプローブ電極 2 1 に接触する部分として設けられる導電体 7 9 の上面は、絶縁体 P l の上面よりも下方に位置する場合について説明したが、これに限られず、絶縁体 P l の上面よりも上方に位置してもよい。

[0178] 図 2 4 は、第 1 実施形態の第 4 変形例に係るパッドユニット及びアライメントマークに対応する構成の一例を示す断面図であり、第 1 実施形態における図 1 2 に対応する。

[0179] 図 2 4 に示すように、導電体 7 8 の上面上には、パッド電極 1 1 の一部として機能し、かつストレージウェハ 1 0 の上面上においてプローブ電極 2 1 との接触面を有する導電体 7 9 A が設けられる。導電体 7 9 A は、例えば、無電解めっき成長法によって導電体 7 8 上に成長した導電体 7 8 に対する異種金属であり、ニッケル (N i)、金 (A u)、コバルト (C o)、パラジウム (P d)、銅 (C u)、及び銀 (A g) から選択される少なくとも 1 つ

の金属を含む。X方向に沿って並ぶ複数の導電体78及び79Aの組は、1つのパッド群PdUを構成し、当該複数の組の各々に対応して設けられる導電体77を介して、導電体76に共通接続される。導電体79Aの上面は、例えば、絶縁体P1の上面よりも上方（+Z方向）に位置し、導電体78の上面よりも大きい面積を有する。また、導電体79Aは、絶縁体P1よりも上方において、絶縁体P1の上面と接触する部分を有する。すなわち、導電体79Aは、絶縁体P1に対して上方に突出した部分を含む凸構造を有する。

[0180] また、アライメントマーク12は、導電体80と、導電体80の上面上に設けられる導電体81Aを含む。導電体81Aは、導電体79Aと同様、絶縁体P1の上面よりも上方（+Z方向）に位置する上面を有し、導電体81Aの上面は、導電体78の上面よりも大きい面積を有する。また、導電体81Aは、絶縁体P1よりも上方において、絶縁体P1の上面と接触する部分を有する。すなわち、導電体81Aは、絶縁体P1に対して上方に突出した部分を含む凸構造を有する。

[0181] 以上のように構成することにより、プローブ電極21に対して接触可能なパッド電極11の上面の面積を大きくすることができる。これにより、タッチダウン処理の際のプローブ電極21とパッド電極11との間の位置合わせ精度に対する要求を緩和することができる。また、パッド電極11とアライメントマーク12を同等の構成とすることにより、パッド電極11とアライメントマーク12を同一の製造工程において設けることができる。このため、ストレージウェアハ10の製造負荷の増加を抑制できる。もっとも、パッド電極11とアライメントマーク12を同等の構成とすることは、必ずしも必要な訳ではなく、パッド電極11とアライメントマーク12について、サイズや形状、場合によっては、材質を変えることもできる。

[0182] 1. 4. 5 第5変形例

また、上述の第1実施形態、並びに第1実施形態の第1変形例乃至第4変形例では、プローブ電極21のうちパッド電極11に接触する部分としてプ

ローブピン 99 が設けられる場合について説明したが、これに限られない。
例えば、プローブ電極 21 は、平板状の電極によってパッド電極 11 と接触してもよい。

[0183] 図 25 は、第 1 実施形態の第 5 変形例に係るパッドユニット及びアライメントマークに対応する構成の一例を示す断面図であり、第 1 実施形態の第 4 変形例における図 24 に対応する。

[0184] 図 25 に示すように、プローブ電極 21 は、平板状の導電体 98 を含むが、プローブピン 99 を含まなくてもよい。

[0185] 第 1 実施形態の第 4 変形例において説明したように、パッド電極 11 が絶縁体 P1 に対して上方に突出している場合、プローブ電極 21 がパッド電極 11 と接触する際の絶縁体 P1 との干渉の制約が緩和される。これにより、プローブ電極 21 のパッド電極 11 に対する接触面積を広くすることが可能となる。このため、プローブ電極 21 のパッド電極 11 に対する接触部分をカンチレバー型のプローブピン 99 から、平板状の導電体 98 にすることができ、したがって、プローブ電極 21 の構成を簡略化でき、プローブカード 20 の設計負荷の増加を抑制できる。

[0186] 2. 第 2 実施形態

次に、第 2 実施形態に係るストレージシステムについて説明する。

[0187] 第 1 実施形態では、ストレージウェア 10 をダイシングして複数の NAND チップユニット 100 を分離して使用する際にボンディングパッドとして用いられる導電体 78 及び 79 が冗長化される場合について説明した。第 2 実施形態では、パッド用コンタクト PdC の直上に設けられる 1 つの導電体 78 の上方に再配線層が設けられ、当該再配線層が冗長化された複数のパッド電極 11 として機能する点において、第 1 実施形態と異なる。以下の説明では、第 1 実施形態と同等の構成及び動作については説明を省略し、第 1 実施形態と異なる構成及び動作について主に説明する。

[0188] 2. 1 パッドユニット及びアライメントマークに対応する構成

図 26 は、第 2 実施形態に係るパッドユニット及びアライメントマークに

対応する構成の一例であり、第1実施形態における図12に対応する。

[0189] 図26に示すように、導電体74の上面上には、コンタクトとして機能する導電体75Aが設けられる。導電体75Aの上面上には、例えばアルミニウム（Al）を含む導電体78が設けられる。上述の通り、導電体78は、NANDチップユニット100をストレージウェハ10から切り出して使用する場合にはボンディングワイヤと接合されるボンディングパッドである。導電体75Aは、配線15として機能する導電体（図12における導電体76）を介することなく、導電体78と接続される。

[0190] 導電体78の上面上には、再配線層として、導電体83のバリアメタルとして機能する導電体82を介して導電体83が設けられる。導電体83は、例えば銅（Cu）を含む。導電体82及び83は、導電体78と接してZ方向に延びるコンタクト部分と、当該コンタクト部分の上部においてY方向に延びてパッドユニットPdU及び配線15として機能する配線部分と、を含む。

[0191] 導電体82及び83は、例えば、ダマシン法によって設けられる。より具体的には、絶縁体INS_U及び導電体78上に絶縁体PIが設けられた後、絶縁体PIのうち再配線層として機能する予定の領域をエッチングして導電体78を露出させる。そして、エッチングされた領域に導電体82が設けられた後、当該領域の残りの部分を埋め込むように導電体83が設けられる。このため、導電体83の側面は、コンタクト部分に加え、配線部分においても、導電体82に接する。

[0192] 導電体83の上面上には、上方から見て導電体83をY方向に沿ってn個に分割するように、絶縁体PIaが設けられる。これにより、導電体83は、ストレージウェハ10の上面上においてプローブ電極21と接触可能なn個の部分を持ち、当該n個の部分が、互いに電氣的に接続されたn個のパッド電極11₁～11_n（すなわち、パッドユニットPdU）として機能する。

[0193] アライメントマーク12は、例えば、絶縁体INS_Uの上面上において

、パッド電極 11 と同等の構成を有するように形成される。より具体的には、絶縁体 I N S _ _ U の上面上には、導電体 80 が設けられる。導電体 80 は、例えば、アルミニウム (A l) を含む。導電体 80 の上面上には、バリアメタルとして機能する導電体 84 を介して導電体 85 が設けられる。導電体 85 は、例えば銅 (C u) を含む。導電体 84 及び 85 は、導電体 80 と接するコンタクト部分と、当該コンタクト部分の上部において周囲の絶縁体 P l 及び P l a から区別して視認可能な部分と、を含む。導電体 84 及び 85 は、例えば、ダマシン法によって導電体 82 及び 83 と同一の工程において設けられる。導電体 84 及び 85 は、絶縁体 P l によって、ストレージウェハ 10 に設けられる他の導電体から電氣的に切断される。

[0194] 2. 2 本実施形態に係る効果

第 2 実施形態によれば、配線 15 及びパッドユニット P d U は、導電体 78 の上方に再配線されることによって設けられる。これにより、配線 15 を導電体 78 とメモリセルアレイ M C A との間に設ける工程、及び当該配線 15 に電氣的に接続された n 個の導電体 78 を設ける工程を実行することなく、パッドユニット P d U を設けることができる。このため、導電体 78 を設けるまでの工程を、ストレージウェハ 10 をウェハ単位で使用する本実施形態と、N A N D チップユニット 100 単位で切り出して使用する場合と、で一致させることができる。したがって、ストレージウェハ 10 の製造負荷の増加を抑制できる。

[0195] また、導電体 78 の上方に再配線層を設けることにより、パッド電極 11 の配置の自由度を高めることができる。

[0196] より具体的には、例えば、複数の N A N D チップユニット 100 の各々に設けられた導電体 78 を、再配線層によって電氣的に接続してもよい。これにより、複数の N A N D チップユニット 100 に対して同一の情報が伝送される複数の伝送路を 1 つに統合することができる。このため、ストレージウェハ 10 上のパッド電極 11 の数を低減することができると共に、プローブカード 20 上のプローブ電極 21 の数を低減することができる。

[0197] また、例えば、パッド電極 11 を導電体 78 の位置から再配置することにより、或る NAND コントローラチップ 200 と電氣的に接続される複数のパッド電極 11 を、上方から見て、当該 NAND コントローラチップ 200 の近傍に集中させてもよい。これにより、当該 NAND コントローラチップ 200 と電氣的に接続されるプローブ電極 21 を、上方から見て、当該 NAND コントローラチップ 200 の近傍に集中させることができる。このため、NAND コントローラチップ 200 とプローブ電極 21 との間の配線長を短くすることができ、当該配線間の信号のタイミングずれを小さくすることができると共に、プローブカード 20 内の当該配線の設計負荷の増加を抑制できる。

[0198] また、例えば、パッド電極 11 を再配置することにより、ストレージウェハ 10 上に、パッド電極 11 を等間隔に配置してもよい。これにより、プローブカード 20 上のプローブ電極 21 についても等間隔に配置することができる。このため、プローブ電極 21 間の干渉に対する制約を緩和することができ、プローブカード 20 の設計負荷を低減できる。

[0199] 2. 3 変形例

なお、上述の第 2 実施形態は、種々の変形が可能である。以下に示す複数の変形例では、第 2 実施形態と同等の構成及び動作についてはその説明を省略し、第 2 実施形態と異なる構成及び動作について主に説明する。

[0200] 2. 4. 1 第 1 変形例

上述の第 2 実施形態では、ダマシン法によって再配線層が設けられる場合について説明したが、これに限られない。例えば、ボンディングパッドとしての導電体 78 上に設けられた導電体をエッチングすることによって、再配線層が設けられてもよい。

[0201] 図 27 は、第 2 実施形態の第 1 変形例に係るパッドユニット及びアライメントマークに対応する構成の一例であり、第 2 実施形態における図 26 に対応する。

[0202] 図 27 に示すように、導電体 78 の上面上にバリアメタルとして機能する

導電体 8 2 A が設けられ、導電体 8 2 A の上面上に導電体 8 3 A が設けられる。導電体 8 3 A は、例えば銅 (C u) を含む。導電体 8 2 A 及び 8 3 A は、導電体 7 8 と接して Z 方向に延びるコンタクト部分と、当該コンタクト部分の上部において Y 方向に延びてパッドユニット P d U 及び配線 1 5 として機能する配線部分と、を含む。

[0203] 導電体 8 2 A 及び 8 3 A は、例えば、エッチングによって再配線として適切な形状に加工される。より具体的には、絶縁体 I N S __ U 及び導電体 7 8 上に、導電体 8 2 A 及び 8 3 A のコンタクト部分が設けられる予定の高さまで絶縁体 P I が設けられる。その後、絶縁体 P I のうち当該コンタクト部分が設けられる予定の領域がエッチングされて導電体 7 8 が露出する。続いて、導電体 7 8 及び絶縁体 P I の上面上に、全面にわたって導電体 8 2 A が設けられ、導電体 8 2 A の上面上に導電体 8 3 A が設けられる。導電体 8 3 A は、配線部分が設けられる予定の高さまで設けられる。そして、導電体 8 2 A 及び 8 3 A が、再配線層として適切な形状にエッチングされ、当該エッチングされた領域が絶縁体 P I によって埋め込まれる。このため、導電体 8 3 A の側面は、コンタクト部分では導電体 8 2 A に接するが、配線部分では絶縁体 P I に接する。

[0204] アライメントマーク 1 2 は、例えば、絶縁体 I N S __ U の上面上において、パッド電極 1 1 と同等の構成を有するように形成される。より具体的には、絶縁体 I N S __ U の上面上には、導電体 8 0 が設けられる。導電体 8 0 の上面上にバリアメタルとして機能する導電体 8 4 A が設けられ、導電体 8 4 A の上面上に導電体 8 5 A が設けられる。導電体 8 5 A は、例えば銅 (C u) を含む。導電体 8 4 A 及び 8 5 A は、導電体 8 0 と接するコンタクト部分と、当該コンタクト部分の上部において周囲の絶縁体 P I 及び P I a から区別して視認可能な部分と、を含む。導電体 8 4 A 及び 8 5 A は、例えば、導電体 8 2 A 及び 8 3 A と同一の工程において設けられる。導電体 8 4 A 及び 8 5 A は、絶縁体 P I によって、ストレージウェハ 1 0 に設けられる他の導電体から電氣的に切断される。

[0205] 以上のような構成によっても、第2実施形態と同様に、導電体78の上方に配線15及びパッドユニットPdUを設けることができる。このため、第2実施形態と同等の効果を奏することができる。

[0206] 2. 4. 2 第2変形例

また、上述の第2実施形態の第1変形例では、導電体82A及び83Aが導電体78と接触するコンタクト部と、当該コンタクト部の上方においてパッドユニットPdU及び配線15として機能する配線部と、を含む場合について説明したが、これに限られない。例えば、導電体78の上面上に、無電解めっき成長法によって導電体78と異なる導電体が設けられた後、配線部に対応する導電体が設けられてもよい。

[0207] 図28は、第2実施形態の第2変形例に係るパッドユニット及びアライメントマークに対応する構成の一例であり、第2実施形態の第1変形例における図27に対応する。

[0208] 図28に示すように、導電体78の上面上には、導電体86が設けられる。導電体86は、無電解めっき成長法によって導電体78上に成長した、導電体78に対する異種金属であり、例えば、ニッケル(Ni)、金(Au)、コバルト(Co)、パラジウム(Pd)、銅(Cu)、及び銀(Ag)から選択される少なくとも1つの金属を含む。

[0209] 導電体86の上面上には、バリアメタルとして機能する導電体82Bが設けられ、導電体82Bの上面上には、導電体83Bが設けられる。導電体83Bは、例えば銅(Cu)を含む。導電体82B及び83Bは、第2実施形態の第1変形例における導電体82A及び83Aの配線部と同等の構成及び製造方法であるため、その説明を省略する。

[0210] アライメントマーク12は、例えば、絶縁体INS__Uの上面上において、パッド電極11と同等の構成を有するように形成される。より具体的には、絶縁体INS__Uの上面上には、導電体80が設けられ、導電体80の上面上に導電体87が設けられる。導電体87は、例えば、ニッケル(Ni)、金(Au)、コバルト(Co)、パラジウム(Pd)、銅(Cu)、及び

銀（A g）から選択される少なくとも１つの金属を含み、導電体８６と同等の材料を含む。導電体８６の上面上にバリアメタルとして機能する導電体８４Ｂが設けられ、導電体８４Ｂの上面上には導電体８５Ｂが設けられる。導電体８５Ｂは、例えば銅（C u）を含む。導電体８４Ｂ及び８５Ｂは、第２実施形態の第１変形例における導電体８４Ａ及び８５Ａの配線部と同等の構成及び製造方法であるため、その説明を省略する。

[0211] 以上のような構成によっても、第２実施形態及び第２実施形態の第１変形例と同様に、導電体７８の上方に配線１５及びパッドユニットP d Uを設けることができる。このため、第２実施形態及び第２実施形態の第１変形例と同等の効果を奏することができる。

[0212] ２．４．３ 第３変形例

上述の第２実施形態、並びに第２実施形態の第１変形例及び第２変形例では、パッドユニットP d U及び配線１５として機能する導電体８３の上面上に、当該導電体８３の露出面をn個に分割する絶縁体P l aが設けられる場合について説明したが、これに限られない。例えば、導電体８３のうちストレージウェハ１０の上面に達する面は、絶縁体P l aによってn個の部分に分割されなくてもよい。

[0213] 図２９は、第２実施形態の第３変形例に係るパッドユニット及びアライメントマークに対応する構成の一例であり、第２実施形態における図２６に対応する。

[0214] 図２９に示すように、導電体８３は、Y方向に沿って延び、上面がストレージウェハ１０の上面に達する面を有し、絶縁体P l aによって当該面がY方向に沿って分割されない。

[0215] 以上のように構成することにより、パッドユニットP d Uは、n個に分割された複数のパッド電極１１__１～１１__nではなく、Y方向に沿って延びる１個のパッド電極１１sとなる。これにより、パッドユニットP d Uの面積を大きくすることができ、タッチダウン処理の際にプローブ電極２１と接触させる位置の自由度を増やすことができる。

[0216] なお、上述の例では、プローブ管理テーブル335によって、パッド群PdG毎のプローブ数が管理される場合について説明したが、第2実施形態の第2変形例においては、これに限られない。例えば、プローブ管理テーブル335は、パッド群PdG単位ではなく、ストレージウェハ10単位でプローブ数を記憶してもよい。この場合、プローバ3は、当該ストレージウェハ10単位のプローブ数に応じて、プローブ電極21と接触させるパッド電極11sの位置をY方向に沿って連続的に変化させてもよい。すなわち、プローバ3は、パッド電極11s上のプローブ電極21との接触位置を、タッチダウン処理が実行されるたびに異ならせてもよい。

[0217] 3. 第3実施形態

次に、第3実施形態に係るストレージシステムについて説明する。

[0218] 第3実施形態では、第2実施形態において説明した再配線層を含む構成によって、ストレージウェハ10上に再配置される複数のパッド電極11の具体例が示される。以下の説明では、NANDチップユニット100上に形成された、アルミニウム(Al)を含むパッド電極11と、パッド電極11の上方に再配線層を介して形成されたパッド電極11Rと、を必要に応じて区別する。

[0219] 3.1 再配置されたパッド電極の構成

図30は、第3実施形態に係る再配置されたパッド電極の構成の一例を示す模式図である。図30では、1つのNANDコントローラチップ200と、ストレージウェハ10との間の接続関係の一部が模式的に示される。図31は、第3実施形態に係る再配置されたパッド電極と、再配置される前のパッド電極との位置関係の一例を示す上面図である。図31は、図30に対応し、ストレージウェハ10を上方から見た場合の再配置前後におけるパッド電極の位置の変化を示す。図30及び図31では、層間絶縁膜が適宜省略されて示される。なお、図30及び図31では、説明の便宜上、ダイシングライン13及びエッジシール14が、対応するNANDチップユニット100内の複数のパッド電極11を囲む1つの実線の矩形として示される。

[0220] 図30及び図31に示すように、ストレージウェアハ10に含まれる複数のNANDチップユニット100の組(チップセットCS)が、プローブカード20及びプローブ電極21を介して、対応する1つのNANDコントローラチップ200に接続される。複数のNANDチップユニット100の各々は、例えば、複数のパッド電極11p及び複数のパッド電極11qを含む。図30及び図31の例では、チップセットCSは、8個のNANDチップユニット100を含む。また、図30及び図31の例では、チップセットCS内の8個のNANDチップユニット100の各々は、2個のパッド電極11pを含む。

[0221] パッド電極11pは、再配線層RDLを介して、領域PdR内に再配置されたパッド電極11Rpに接続されるパッド電極である。再配線層RDLは、NANDチップユニット100(のダイシングライン13及びエッジシール14)を跨いで形成され得る。つまり、再配線層RDLは、ダイシングライン13と交差するように形成され得る。パッド電極11pは、例えば、電源電圧の印加に使用される。パッド電極11qは、再配線層(図示せず)を介して、領域PdR外に再配置されたパッド電極(図示せず)に接続されるパッド電極である。パッド電極11qは、例えば、各種制御信号の入出力に使用される。隣り合う2つのパッド電極11は、例えば、平面視においてピッチp1だけ離れて配置される。ピッチp1は、例えば、30マイクロメートルである。第3実施形態では、パッド電極11p及び11qのうち、パッド電極11pについて主に説明する。

[0222] 領域PdRは、対応するNANDコントローラチップ200の直下に位置し、チップセットCS全体を含む領域より小さい。領域PdRは、例えば、平面視において、チップセットCS全体を含む領域に含まれ、かつ対応するNANDコントローラチップ200を含む。すなわち、領域PdR内に再配置されたパッド電極11Rpは、平面視において、再配置される前のパッド電極11pよりもNANDコントローラチップ200に近い。

[0223] 複数のパッド電極11Rpは、例えば、領域PdR内に2次元に広がるよ

うに再配置される。図30の例では、隣り合う2つのパッド電極11Rpが、X方向にピッチp2だけ離れ、X方向に交差する方向にピッチp3だけ離れて配置される場合が示される。ピッチp2及びp3は、ピッチp1より長い($p2 > p1$ 、 $p3 > p1$)。ピッチp2及びp3は、例えば、100マイクロメートルより長いことが望ましい。ピッチp2及びp3は、例えば、200マイクロメートルより長いことが、より望ましい。また、平面視において、パッド電極11Rpの面積は、パッド電極11pの面積より広い。

[0224] 図32は、図31における領域XXXXの主要な要素の配置をY方向に沿って見た側面図であり、第3実施形態に係る再配置されたパッド電極を含む構成の一例を示す。このため、図32では、説明の便宜上、各種要素が同一紙面上に表されるが、図32に図示される各種要素は、Y方向に沿って同一の位置であるとは限らない。図32のうち、半導体基板70からパッド電極11p及び11qに対応する導電体78までの構成は、第1実施形態における図11と同等であるため、説明を省略する。なお、X方向に沿って並ぶ複数の導電体78は、X方向に沿って、ピッチp1だけ離れて隣り合う。

[0225] 図32に示すように、複数の導電体78の各々の上面には、再配線層RDLとして使用される導電体88が設けられる。複数の導電体88の各々は、例えば、Y方向に沿って延びる導電体88__1、及びX方向に沿って延びる導電体88__2を含む。このように、導電体88は、互いに異なる方向に延びる部分を有する少なくとも2層の構造を有する。

[0226] 導電体88__1は、2層の再配線層RDLのうち下層の再配線層RDLとして使用される。導電体88__1の膜厚は、ほぼ一定である。また、導電体88__1は、CMP (Chemical mechanical polishing) によって平坦化されない。このため、図32には明示されていないが、導電体88__1のうち、導電体78との接触部分は、Y方向に沿って延びる部分に対して、窪んだ形状を有し得る。導電体88__1は、導電体88__1a、導電体88__1b、及び導電体88__1cを含む。

[0227] 導電体88__1aは、導電体88__1bのシード層として使用される。導

電体 88__1 a は、例えばチタン銅 (T i C u) を含む。導電体 88__1 a は、導電体 78 と接する第 1 部分と、当該第 1 部分の上方において Y 方向に沿って延びる第 2 部分と、当該第 1 部分及び当該第 2 部分の間を接続する第 3 部分と、を含む。

[0228] 絶縁体 I N S__U の上面上において、導電体 78 の側面、導電体 88__1 a の第 1 部分の側面、及び導電体 88__1 a の第 3 部分の下面に接するように、酸化膜 I N S__T が設けられる。

[0229] 酸化膜 I N S__T の上面上において、導電体 88__1 a の第 3 部分の側面、及び導電体 88__1 a の第 2 部分の下面に接するように、有機膜 P I 1 が設けられる。有機膜 P I 1 は、パッシベーション層として使用される。有機膜 P I 1 は、例えばポリイミドを含む。

[0230] 導電体 88__1 b は、下層の再配線層 R D L の主要配線部分として使用される。導電体 88__1 b は、例えば銅 (C u) を含む。導電体 88__1 b の下面は、対応する導電体 88__1 a の上面に接する。なお、導電体 88__1 b の下面は、X Y 平面に沿った端部において、導電体 88__1 a と接していない部分を有し得る。

[0231] 導電体 88__1 c は、導電体 88__1 b の保護層として使用される。導電体 88__1 c は、例えばニッケル (N i) を含む。導電体 88__1 c の下面は、対応する導電体 88__1 b の上面に接する。導電体 88__1 c の上面は、対応する導電体 88__2 の下面に接する部分を有する。

[0232] 導電体 88__2 は、2 層の再配線層 R D L のうち上層の再配線層 R D L として使用される。導電体 88__2 の各々の膜厚は、ほぼ一定である。また、導電体 88__2 は、CMP によって平坦化されない。このため、導電体 88__1 と同様に、導電体 88__2 のうち、導電体 88__1 との接触部分は、X 方向に沿って延びる部分に対して、窪んだ形状を有し得る。導電体 88__2 は、導電体 88__2 a、導電体 88__2 b、及び導電体 88__2 c を含む。

[0233] 導電体 88__2 a は、導電体 88__2 b のシード層として使用される。導電体 88__2 a は、例えばチタン銅 (T i C u) を含む。導電体 88__2 a

は、導電体 88__1 c と接する第 1 部分と、当該第 1 部分の上方において X 方向に沿って延びる第 2 部分と、当該第 1 部分及び当該第 2 部分の間を接続する第 3 部分と、を含む。

[0234] 有機膜 P 1 1 の上面上において、導電体 88__1 a の第 2 部分の側面、導電体 88__1 b の側面、導電体 88__1 c の側面、導電体 88__2 a の第 1 部分の側面、及び導電体 88__2 a の第 3 部分の下面に接するように、有機膜 P 1 2 が設けられる。有機膜 P 1 2 は、パッシベーション層として使用される。有機膜 P 1 2 は、例えばポリイミドを含む。

[0235] 有機膜 P 1 2 の上面上において、導電体 88__2 a の第 3 部分の側面、及び導電体 88__2 a の第 2 部分の下面に接するように、有機膜 P 1 3 が設けられる。有機膜 P 1 3 は、パッシベーション層として使用される。有機膜 P 1 3 は、例えばポリイミドを含む。

[0236] 導電体 88__2 b は、下層の再配線層 RDL の主要配線部分として使用される。導電体 88__2 b は、例えば銅 (Cu) を含む。導電体 88__2 b の下面は、対応する導電体 88__2 a の上面に接する。なお、導電体 88__2 b の下面は、XY 平面に沿った端部において、導電体 88__2 a と接していない部分を有し得る。

[0237] 導電体 88__2 c は、導電体 88__2 b の保護層として使用される。導電体 88__2 c は、例えばニッケル (Ni) を含む。導電体 88__2 c の下面は、対応する導電体 88__2 b の上面に接する。導電体 88__2 c の上面は、対応する導電体 89 の下面に接する部分を有する。

[0238] 導電体 89 は、パッド電極 11Rp として使用される。導電体 89 の上面は、中央部が周縁部に対して窪んだ形状を有し得る。導電体 89 は、導電体 89 a、導電体 89 b、及び導電体 89 c を含む。

[0239] 導電体 89 a は、導電体 89 b のシード層として使用される。導電体 89 a は、例えばチタン銅 (TiCu) を含む。導電体 89 a は、導電体 88__2 c と接する第 1 部分と、当該第 1 部分と接続され、当該第 1 部分の上方において XY 平面上に広がる第 2 部分と、を含む。

[0240] 有機膜 P 1 3 の上面上において、導電体 8 8 __ 2 a の第 2 部分の側面、導電体 8 8 __ 2 b の側面、導電体 8 8 __ 2 c の側面、導電体 8 9 a の第 1 部分の側面、及び導電体 8 9 a の第 2 部分の下面に接するように、有機膜 P 1 4 が設けられる。有機膜 P 1 4 は、パッシベーション層として使用される。有機膜 P 1 4 は、例えばポリイミドを含む。

[0241] 導電体 8 9 b は、パッド電極 1 1 R p の主要部分として使用される。導電体 8 9 b は、例えばニッケル (Ni) を含む。導電体 8 9 b の下面は、対応する導電体 8 9 a の上面に接する。なお、導電体 8 9 b の下面は、XY 平面に沿った端部において、導電体 8 9 a と接していない部分を有し得る。

[0242] 導電体 8 9 c は、導電体 8 9 b の保護層として使用される。導電体 8 9 c は、例えば金 (Au) を含む。導電体 8 9 c の下面は、対応する導電体 8 9 b の上面に接する。導電体 8 9 c の上面は、プローブ電極 2 1 と接触させるために、有機膜 P 1 4 の上方に位置する。

[0243] なお、図 3 2 では、説明の便宜上、導電体 7 8 及び導電体 8 9 が同一の XZ 平面内に位置するように図示されるが、実際には、導電体 8 9 は、導電体 7 8 の直上には設けられない。これは、導電体 8 8 __ 1 のうち導電体 7 8 の直上に位置する部分が、窪んだ形状を有することに起因して、導電体 8 9 が有機膜 P 1 4 よりも下方に窪んでしまうことを回避するためである。

[0244] 3. 2 本実施形態に係る効果

第 3 実施形態によれば、再配置前のパッド電極 1 1 と、再配置後のパッド電極 1 1 R とは、少なくとも 2 層の再配線層 RDL によって接続される。これにより、パッド電極 1 1 R を、パッド電極 1 1 に対して、XY 平面内の所望の位置に配置させることができる。

[0245] 具体的には、隣り合うパッド電極 1 1 R 間のピッチ p 2 及び p 3 が、隣り合うパッド電極 1 1 間のピッチ p 1 よりも長い距離となるように配置させることができる。これにより、再配置されたパッド電極 1 1 R p に接触させるプローブ電極 2 1 のアライメント処理における位置合わせの負荷を低減することができる。

[0246] また、パッド電極 1 1 p は、ダイシングライン 1 3 と交差する再配線層 RDL を介して、当該ダイシングラインを挟むように配置されたパッド電極 1 1 R p に接続される。これにより、NAND チップユニット 1 0 0 毎に点状する複数のパッド電極 1 1 p を、チップセット CS を囲む領域よりも狭く、かつ NAND コントローラチップ 2 0 0 の直下の領域 P d R 内の複数のパッド電極 1 1 R p に集約させることができる。このため、プローブ電極 2 1 と NAND コントローラチップ 2 0 0 との間の配線の長さを、領域 P d R 外のパッド電極を使用する場合よりも短くすることができる。このため、プローブカード 2 0 における配線の設計負荷を軽減できる。

[0247] 3. 3 変形例

なお、上述の第 3 実施形態は、種々の変形が可能である。

[0248] 3. 3. 1 第 1 変形例

上述の第 3 実施形態では、各 NAND チップユニット 1 0 0 内のパッド電極 1 1 p に個別のパッド電極 1 1 R p が割り当てられる場合について説明したが、これに限られない。例えば、パッド電極 1 1 R p は、NAND チップユニット 1 0 0 間で共有されてもよい。

[0249] 図 3 3 は、第 3 実施形態の第 1 変形例に係る再配置されたパッド電極と、再配置される前のパッド電極との位置関係の一例を示す上面図である。図 3 3 の例では、チップセット CS 内の 8 個の NAND チップユニット 1 0 0 の各々が 2 個のパッド電極 1 1 p を含む場合が示される。

[0250] 図 3 3 に示すように、領域 P d R 内には、チップセット CS 内の 1 6 個のパッド電極 1 1 p に対して、4 個のパッド電極 1 1 R p が割り当てられる。すなわち、1 個のパッド電極 1 1 R p は、少なくとも 1 つの再配線層 RDL を介して、互いに異なる NAND チップユニット 1 0 0 内の 4 個のパッド電極 1 1 p に共通接続される。

[0251] パッド電極 1 1 R p に共通接続される複数のパッド電極 1 1 p は、互いに異なる再配線層 RDL を介してパッド電極 1 1 R p に接続されてもよい。すなわち、1 つのパッド電極 R p と複数のパッド電極 1 1 p とを接続する再配

線層RDLは、2つ以上でもよい。

[0252] また、あるパッド電極11pは、再配線層RDLを介することなく（例えば、パッド電極11pと同じレイヤに形成される配線層DLを介して）他のパッド電極11pに接続されてもよい。そして、当該あるパッド電極11pは、当該他のパッド電極11pに接続された再配線層RDLを介して、パッド電極11Rpに接続されてもよい。

[0253] 以上のような構成によれば、複数のNANDチップユニット100に対して共通の信号又は電圧が供給される場合、当該共通の信号又は電圧を供給するためのパッド電極11Rpの数を低減することができる。これにより、パッド電極11Rp間のピッチのマージンをより大きく取ることができる。このため、アライメント処理における位置合わせの負荷を低減することができる。

[0254] 3. 3. 2 第2変形例

上述の第3実施形態及び第3実施形態の第1変形例では、1つのパッド電極11pに接続されるパッド電極11Rpが1つである場合について説明したが、これに限られない。例えば、1つのパッド電極11pに複数のパッド電極11Rpが設けられてもよい。

[0255] 図34は、第3実施形態の第2変形例に係る再配置されたパッド電極と、再配置される前のパッド電極との位置関係の一例を示す上面図である。図34の例では、チップセットCS内の8個のNANDチップユニット100の各々が1個のパッド電極11pを含む場合が示される。

[0256] 図34に示すように、領域PdR内には、チップセットCS内の8個のパッド電極11pに対して、16個のパッド電極11Rpが割り当てられる。すなわち、1個のパッド電極11pは、再配線層RDLを介して、2個のパッド電極11Rpに共通接続される。

[0257] 以上のような構成によれば、第1実施形態及び第2実施形態において説明したように、プローブ電極21と接触させるパッド電極11Rpを冗長化させることができる。これにより、1つ目のパッド電極11Rpがタッチダウ

ン処理によって使用不能になった場合にも、2つ目のパッド電極11Rpを使用することでNANDチップユニット100とNANDコントローラチップ200との間を接続することができる。なお、図34では1個のパッド電極11pに対して2個のパッド電極11Rpが設けられる場合について説明したが、これに限らず、3個以上のパッド電極11Rpが設けられてもよい。また、パッド電極11qに対しても、複数個のパッド電極11Rが設けられてもよい。パッド電極11qに対して設けられるパッド電極11Rの数は、パッド電極11pに対して設けられるパッド電極11Rpの数と異なってもよい。

[0258] 4. その他

なお、上述の第1実施形態乃至第3実施形態、並びに各種変形例では、固定されたプローブカード20に対してストレージウェア10を移動させることによって、NANDコントローラチップ200とNANDチップユニット100とを接続する場合について説明したが、これに限られない。例えば、固定されたストレージウェア10に対してプローブカード20を移動させてもよいし、ストレージウェア10及びプローブカード20のいずれも移動可能な駆動制御系32を有していてもよい。

[0259] また、上述の第1実施形態乃至第3実施形態、並びに各種変形例では、プローブ管理テーブル335は、インタフェース制御系33に記憶される場合について説明したが、これに限られない。例えば、プローブ管理テーブル335は、適宜ストレージウェア10内に記憶されてもよいし、ホスト機器2によって管理されてもよい。

[0260] また、上述の第1実施形態乃至第3実施形態、並びに各種変形例では、ストレージシステム1内に1台のプロバ3が設けられる場合について説明したが、ストレージシステム1内には、複数台のプロバ3が設けられてもよい。この場合、プローブ管理テーブル335には、当該複数台のプロバ3のいずれを用いたかに依らない、ストレージウェア10に関して実行された全てのプローブ数が集約されて記憶されることが望ましい。このため、プロ

ープ管理テーブル335は、複数のプロバ3を制御し得る機器（例えば、ホスト機器2）によって管理されてもよい。

[0261] また、上述の第1実施形態乃至第3実施形態、並びに各種変形例では、ストレージウェア10は、2つのウェアLW及びUWの貼り合わせによって設けられる場合について説明したが、これに限られない。例えば、ストレージウェア10内の複数のNANDチップユニット100は、1つのウェア上に設けられてもよい。この場合、メモリセルアレイMCAは、基板上に接して設けられてもよく、基板に接することなく基板の上方に設けられてもよい。メモリセルアレイMCAが基板上に接して設けられる場合、周辺回路PERIはメモリセルアレイMCAの周囲の基板上に設けることができる。また、メモリセルアレイMCAが基板の上方に設けられる場合、周辺回路PERIは、メモリセルアレイMCAの下方の基板上に設けることができる。

[0262] また、上述の第1実施形態乃至第3実施形態、並びに各種変形例では、ストレージウェア10に設けられた半導体記憶装置がNAND型フラッシュメモリである場合について説明したが、これに限られない。例えば、ストレージウェア10に設けられた半導体記憶装置は、NOR型であってもよい。

[0263] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

請求の範囲

- [請求項1] 互いに電氣的に接続された第1部分及び第2部分を含む第1パッド電極と、前記第1パッド電極に電氣的に接続された第1メモリセルアレイと、を含む第1メモリチップユニットを含む第1ウェハと、
- 前記第1ウェハを保持可能であり、保持した前記第1ウェハの前記第1メモリセルアレイに読み書きを行うプローバと、
- を備え、
- 前記プローバは、
- 保持した前記第1ウェハの前記第1パッド電極に接触可能な第1プローブ電極と、前記第1プローブ電極に電氣的に接続され、前記第1プローブ電極を介して前記第1メモリセルアレイに読み書き可能な第1メモリコントローラと、を含むプローブカードと、
- 保持した前記第1ウェハの前記第1パッド電極と前記第1プローブ電極とを接触させるために、前記プローブカード又は保持した前記第1ウェハを移動させる移動機構と、を含み、
- 前記移動機構は、前記第1プローブ電極を、前記第1パッド電極の前記第1部分と接触させ、前記第1パッド電極の前記第2部分とは接触させない第1動作と、前記第1プローブ電極を、前記第1パッド電極の前記第1部分とは接触させず、前記第1パッド電極の前記第2部分と接触させる第2動作と、を実行可能である、
- ストレージシステム。
- [請求項2] 前記移動機構は、
- 第1条件を満たさない場合、前記第1動作を実行し、
- 前記第1条件を満たす場合、前記第2動作を実行する
- ように構成された、
- 請求項1記載のストレージシステム。
- [請求項3] 前記第1条件は、前記第1プローブ電極と前記第1パッド電極の前記第1部分との接触回数が、第1閾値以上であることを含む、

- 請求項 2 記載のストレージシステム。
- [請求項4] 前記第 1 条件は、前記第 1 メモリコントローラが前記第 1 メモリチップユニットからのデータの誤り訂正処理に失敗したことを含む、
請求項 2 記載のストレージシステム。
- [請求項5] 前記第 1 条件は、前記第 1 メモリチップユニットが前記第 1 メモリコントローラからのデータの誤り訂正処理に失敗したことを含む、
請求項 2 記載のストレージシステム。
- [請求項6] 前記第 1 メモリチップユニットは、前記第 1 パッド電極の前記第 1 部分と前記第 2 部分とに共通接続されたラッチ回路を含む、
請求項 1 記載のストレージシステム。
- [請求項7] 前記ストレージシステムは、第 2 ウェハを更に備え、
前記移動機構は、前記第 1 プローブ電極と前記第 2 ウェハとを接触させる第 3 動作を更に実行可能である、
請求項 3 記載のストレージシステム。
- [請求項8] 前記移動機構は、第 2 条件を満たす場合、前記第 3 動作を実行した後、前記第 1 動作又は第 2 動作を実行するように構成された、
請求項 7 記載のストレージシステム。
- [請求項9] 前記第 2 条件は、前記第 1 プローブ電極と前記第 1 ウェハと接触回数が、前記第 1 閾値より大きい第 2 閾値以上であることを含む、
請求項 8 記載のストレージシステム。
- [請求項10] 前記第 1 ウェハは、互いに電氣的に接続された第 1 部分及び第 2 部分を含む第 2 パッド電極と、前記第 2 パッド電極に電氣的に接続された第 2 メモリセルアレイと、を含む第 2 メモリチップユニットを更に含み、
前記プローブカードは、前記第 1 メモリコントローラに電氣的に接続された第 2 プローブ電極を更に含み、
前記第 1 動作は、前記第 2 プローブ電極と前記第 2 パッド電極の前記第 1 部分とを接触させることを更に含み、

前記第2動作は、前記第2プローブ電極と前記第2パッド電極の前記第2部分とを接触させることを更に含む、

請求項1記載のストレージシステム。

[請求項11]

前記第1ウェハは、互いに電氣的に接続された第1部分及び第2部分を含む第3パッド電極と、前記第3パッド電極に電氣的に接続された第3メモリセルアレイと、を含む第3メモリチップユニットを更に含み、

前記プローブカードは、第3プローブ電極と、前記第3プローブ電極と電氣的に接続された第2メモリコントローラを更に含み、

前記第1動作は、前記第3プローブ電極と前記第3パッド電極の前記第1部分とを接触させることを更に含み、

前記第2動作は、前記第3プローブ電極と前記第3パッド電極の前記第2部分とを接触させることを更に含む、

請求項1記載のストレージシステム。

[請求項12]

前記第1パッド電極は、前記第1ウェハが前記プローバに設置された状態において、前記第1ウェハから前記プローブカードに向かって凸な形状を有し、

前記第1プローブ電極のうち前記プローバに設置された前記第1ウェハと対向する部分は、平板状の形状を有する、

請求項1記載のストレージシステム。

[請求項13]

メモリチップユニットを備えるウェハであって、

前記メモリチップユニットは、

基板の上方において第1方向に積層された複数の第1導電体層と、前記複数の第1導電体層内を前記第1方向に延びる第1半導体層と、前記複数の第1導電体層と前記第1半導体層との間に設けられた第1電荷蓄積層と、を含むメモリ構造体と、

前記メモリ構造体の上方において互いに電氣的に絶縁して設けられた第1配線層及び第2配線層と、

前記第 1 配線層の第 1 部分の上面上に設けられた第 2 導電体層と、
前記第 1 配線層の第 2 部分の上面上に設けられた第 3 導電体層と、
前記第 2 配線層の第 1 部分の上面上に設けられた第 4 導電体層と、
前記第 2 配線層の第 2 部分の上面上に設けられた第 5 導電体層と、
を備え、
前記第 2 導電体層、前記第 3 導電体層、前記第 4 導電体層、及び前記第 5 導電体層は、アルミニウム（Al）を含み、
前記基板に平行な面内において、前記第 2 導電体層に対する前記第 4 導電体層の相対的位置は、前記第 3 導電体層に対する前記第 5 導電体層の相対的位置と一致する、
ウェハ。

[請求項14] 前記第 2 導電体層と前記第 3 導電体層とが並ぶ方向は、前記第 4 導電体層と前記第 5 導電体層とが並ぶ方向と平行であり、
前記第 2 導電体層と前記第 4 導電体層とが並ぶ方向は、前記第 3 導電体層と前記第 5 導電体層とが並ぶ方向と平行である、
請求項 13 記載のウェハ。

[請求項15] 前記メモリチップユニットは、
前記第 2 導電体層の上面上に設けられた第 6 導電体層と、
前記第 3 導電体層の上面上に設けられた第 7 導電体層と、
を更に備え、
前記第 6 導電体層及び前記第 7 導電体層は、前記第 2 導電体層及び前記第 3 導電体層と異なる金属を含む、
請求項 13 記載のウェハ。

[請求項16] 前記第 6 導電体層及び前記第 7 導電体層は、ニッケル（Ni）、金

(A u)、コバルト (C o)、パラジウム (P d)、銅 (C u)、及び銀 (A g) から選択される少なくとも 1 つの金属を含む、

請求項 1 5 記載のウェハ。

[請求項17] 前記第 6 導電体層の上面及び前記第 7 導電体層の上面は、前記第 6 導電体層と前記第 7 導電体層との間の絶縁体層の上面より上方に位置する、

請求項 1 5 記載のウェハ。

[請求項18] 前記ウェハは、前記第 2 導電体層と、前記第 3 導電体層との間に設けられたダイシングラインを更に備える、

請求項 1 3 記載のウェハ。

[請求項19] 基板の上方において第 1 方向に積層された複数の第 1 導電体層と、前記複数の第 1 導電体層内を前記第 1 方向に延びる第 1 半導体層と、前記複数の第 1 導電体層と前記第 1 半導体層との間に設けられた第 1 電荷蓄積層と、を含むメモリ構造体と、

前記メモリ構造体の上方に設けられた第 2 導電体層と、

前記第 2 導電体層の上方に設けられた第 3 導電体層と、

前記第 2 導電体層と前記第 3 導電体層との間を電氣的に接続する第 4 導電体層と、

前記第 2 導電体層と前記第 3 導電体層との間に設けられた、ポリイミドを含む絶縁体層と、

を備え、

平面視において、

前記第 4 導電体層は、ダイシングラインと交差し、

前記第 2 導電体層及び前記第 3 導電体層は、前記ダイシングラインを挟む、

ウェハ。

[請求項20] 前記第 2 導電体層は、アルミニウム (A l) を含み、

前記第 4 導電体層は、銅 (C u) を含む、

請求項 19 記載のウェハ。

[請求項21] 前記基板と平行な第 1 面内において前記第 2 導電体層と隣り合う第 5 導電体層と、

前記基板と平行な第 2 面内において前記第 3 導電体層と隣り合う第 6 導電体層と、

を更に備え、

前記第 3 導電体層と前記第 6 導電体層との間の距離は、前記第 2 導電体層と前記第 5 導電体層との間の距離より長い、

請求項 20 記載のウェハ。

[請求項22] 前記第 1 面内において前記第 6 導電体層と電氣的に接続された第 7 導電体層を更に備え、

前記第 3 導電体層と前記第 6 導電体層との間の距離は、前記第 2 導電体層と前記第 7 導電体層との間の距離より短い、

請求項 21 記載のウェハ。

[請求項23] 前記第 2 導電体層及び前記第 5 導電体層が並ぶ方向は、前記第 3 導電体層及び前記第 6 導電体層が並ぶ方向と異なる

請求項 21 記載のウェハ。

[請求項24] 平面視において、前記第 3 導電体層の面積は、前記第 2 導電体層の面積より広い、

請求項 20 記載のウェハ。

[請求項25] 前記第 2 導電体層を介して前記第 3 導電体層と電氣的に接続され、アルミニウム (Al) を含む第 8 導電体層を更に備えた、

請求項 20 記載のウェハ。

[請求項26] 前記第 2 導電体層を介することなく前記第 3 導電体層と電氣的に接続され、アルミニウム (Al) を含む第 9 導電体層を更に備えた、

請求項 20 記載のウェハ。

[請求項27] 前記第 2 導電体層及び前記第 4 導電体層を介することなく前記第 3 導電体層と電氣的に接続され、アルミニウム (Al) を含む第 10 導

電体層を更に備えた、

請求項 20 記載のウェハ。

[請求項28]

前記第 3 導電体層は、金 (Au) 又はニッケル (Ni) を含む、

請求項 20 記載のウェハ。