

一种封装基板、半导体器件及电子设备

相关申请的交叉引用

本申请要求在 2021 年 03 月 26 日提交中国专利局、申请号为 202110327232.8、申请名称为“一种封装基板、半导体器件及电子设备”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及电子设备技术领域，尤其涉及到一种封装基板、半导体器件及电子设备。

背景技术

随着计算机技术和通讯技术的发展，一些通讯设备、服务器以及计算机等电子设备的处理器与内存芯片之间的数据交换速度不断提高，这对内存总线位宽、存储密度等要求也不断提高，同时对芯片的封装技术也提出了相应的挑战。对于芯片的封装基板的引脚排布来说，主要存在两方面的要求，其中一方面是尽量减小引脚之间的电磁串扰，另一方面是尽量减小芯片的封装面积，也即实现引脚的高密度排布，然而，增大引脚排布密度又难免会引起电磁串扰的增加。基于此，如何使封装基板的引脚实现低串扰、高密度的排布方式，是目前亟待解决的技术问题。

发明内容

本申请提供了一种封装基板、半导体器件及电子设备，用以降低芯片引脚之间的串扰，并通过提高引脚的排布密度来减小封装面积，进而降低半导体器件的开发成本。

第一方面，本申请提供了一种封装基板，该封装基板包括基板本体和设置在基板本体上的多个单元区域。单元区域可以包括两个第一焊球结构，每个第一焊球结构可包括六个第一焊球，该六个第一焊球可两两一行排列为相互平行的三行焊球，分别为第一行焊球、第二行焊球及第三行焊球，其中，第一行焊球和第二行焊球中的四个第一焊球可分别位于一个平行四边形的四个顶点，第二行焊球和第三行焊球中的四个第一焊球可分别位于另一个平行四边形的四个顶点，这时，第二行焊球中的两个第一焊球的连线即为两个平行四边形的公共边，两个平行四边形关于第二行焊球呈轴对称设置。

上述方案中，单元区域中第一焊球结构包含的六个第一焊球呈双平行四边形的排布方式，不仅有利于降低第一焊球之间的串扰，另外还可以提高第一焊球的排布密度，从而能够减小封装面积，进而可以降低半导体器件的开发成本。

具体设置时，每个单元区域中，两个第一焊球结构可以相对设置，且两个第一焊球结构的第二行焊球可以共线设置，这样有利于节省每个单元区域的占用空间，从而减小封装面积。

在一些可能的实施方案中，第一焊球结构中的六个第一焊球可以分别为两个差分信号焊球和四个单端信号焊球，其中，两个差分信号焊球为一对差分信号焊球。具体设置时，两个差分信号焊球可以位于第二行焊球中，也就是说，两个差分信号焊球的连线所构成的

5 边为两个平行四边形的公共边，四个单端信号焊球则分别设置在第一行焊球和第三行焊球中。基于两个平行四边形的对称结构，第一行焊球中的两个单端焊球与第三行焊球中的两个单端焊球在一对差分信号焊球的两侧呈对称分布，由于一对差分信号焊球的两个信号振幅相等、相位相反，因此这对差分信号焊球与单端信号焊球的影响可以相互抵消，从而可以降低差分信号对单端信号的电磁干扰。

在一些可能的实施方案中，第一焊球结构的周围可以设置有接地焊球，以降低临近设置的各个第一焊球结构之间的相互串扰。

其中，第一焊球结构周围设置的接地焊球的数量可以为多个，从而可以在第一焊球结构的周侧形成回流地，进而可以降低与其它第一焊球结构之间的电磁干扰。

10 具体设置时，每个第一焊球结构周围设置的接地焊球的数量可以为 11 个，沿第一焊球结构的周侧，依次排布的 11 个接地焊球的连线可以形成为九边形，这种排布方式可以使得每个单端信号焊球的周围都可以排布较多的接地焊球，从而能够有效降低信号间的电磁串扰。

15 在一些可能的实施方案中，第一焊球结构可以包括第一侧、第二侧、第三侧及第四侧，其中，第一侧为第一焊球结构远离通过单元区域中另一个第一焊球结构的一侧，第二侧与第一侧位置相对，第三侧和第四侧均位于第一侧与第二侧之间，且第三侧与第四侧位置相对。在第一焊球结构的第一侧，多个接地焊球的连线可形成为锯齿形；在第一焊球结构的第二侧，多个接地焊球的连线可形成为梯形；在第一焊球结构的第三侧和第四侧，多个接地焊球的连线分别为直线形。这种排布方式与第一焊球结构的双平行四边形的排布形式能够较好地匹配，使得 11 个接地焊球可以紧邻在单端信号焊球的外侧，从而可以节约接地焊球的排布面积，进而可以减小封装面积。

在每个单元区域中，两个第一焊球结构可以共用各自第二侧的多个接地焊球，这样可以在不影响信号抗干扰能力的前提下，减小接地焊球的设置数量，进而可以节约接地焊球的排布面积。

25 在一些可能的实施方案中，行向相邻的两个单元区域在位置上沿列所在的方向错位设置，分别位于行向相邻的两个单元区域内且相邻的两个第一焊球结构各自的第一侧具有重合部分，行向相邻的两个单元区域可共用重合部分内的多个接地焊球，采用这种方式可以在不影响信号抗干扰能力的前提下，减小接地焊球的设置数量。

30 在一些可能的实施方案中，列向相邻的两个单元区域可以对称设置，分别位于列向相邻的两个单元区域内且对称的两个第一焊球结构中，其中一个第一焊球结构的第三侧与另外一个第一焊球结构的第四侧重合，且该两个第一焊球结构的重合一侧可以共用多个接地焊球。类似地，这种排布方式也可以在不影响信号抗干扰能力的前提下，减小接地焊球的设置数量。

35 第二方面，本申请还提供了一种半导体器件，该半导体器件可包括芯片以及前述任一可能的实施方案中的封装基板，芯片设置在封装基板上，且芯片上的信号管脚与封装基板上的多个第一焊球电性连接。采用封装基板上的焊球排布方式不仅可以降低信号间的电磁串扰，另外还可以提高焊球的排布密度，从而能够减小封装面积，进而可以降低半导体器件的开发成本。

40 在一些可能的实施方案中，芯片具体可以为中央处理器，中央处理器配置有多个内存通道，内存通道包括多个字节单位，每个字节单位对应一个单元区域，单元区域中的第一

焊球可用于传输对应的字节单位的数据信号。

第三方面，本申请还提供了一种电子设备，该电子设备可包括电路板以及前述方案中的半导体器件，半导体器件设置于电路板上，电路板上设置有用于与半导体器件连接的信号管脚，以使得半导体器件可以通过信号管脚及电路板上的走线与其它器件连接，进而实现芯片与外部电路的连接。

附图说明

- 图 1 为本申请实施例提供的电子设备的局部结构示意图；
- 图 2 为本申请实施例提供的封装基板的结构示意图；
- 图 3 为本申请实施例提供的封装基板上的第一焊球的一种排布结构示意图；
- 图 4 为本申请实施例提供的封装基板上的焊球的另一种排布结构示意图；
- 图 5 为本申请实施例提供的封装基板上的单元区域的排布结构示意图；
- 图 6 为本申请实施例提供的 CPU DDR 接口的硬件架构示意图；
- 图 7 为本申请实施例提供的 CPU DDR 的接口示意图。

附图标记：

- 100-电路板；200-半导体器件；10-封装基板；20-芯片；30-散热基板；40-填充胶；
- 11-基板本体；12-第一焊球结构；13-第一焊球；1201-第一行焊球；1202-第二行焊球；
- 1203-第三行焊球；14-单元区域；15-差分信号焊球；
- 16、16a、16b、16c、16d-单端信号焊球；17-接地焊球；21-CPU；22-DDR 通道；
- 23-字节单位。

具体实施方式

为了使本申请的目的、技术方案和优点更加清楚，下面将结合附图对本申请作进一步地详细描述。需要说明的是，在本申请的描述中“至少一个”是指一个或多个，其中，多个是指两个或两个以上。鉴于此，本发明实施例中也可以将“多个”理解为“至少两个”。

“和/或”，描述关联对象的关联关系，表示可以存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 这三种情况。另外，字符“/”，如无特殊说明，一般表示前后关联对象是一种“或”的关系。另外，需要理解的是，在本申请的描述中，“第一”、“第二”等词汇，仅用于区分描述的目的，而不能理解为指示或暗示相对重要性，也不能理解为指示或暗示顺序。

在本说明书中描述的参考“一个实施例”或“一些实施例”等意味着在本申请的一个或多个实施例中包括结合该实施例描述的特定特征、结构或特点。由此，在本说明书中的不同之处出现的语句“在一个实施例中”、“在一些实施例中”、“在其它一些实施例中”、“在另外一些实施例中”等不是必然都参考相同的实施例，而是意味着“一个或多个但不是所有的实施例”，除非是以其它方式另外特别强调。术语“包括”、“包含”、“具有”及它们的变形都意味着“包括但不限于”，除非是以其它方式另外特别强调。

参考图 1 所示，图 1 为本申请实施例提供的电子设备的局部结构示意图。该电子设备可以为现有技术中的通讯设备、服务器、超级计算机或者路由器、交换机等设备。电子设备可以包括电路板 100 以及设置在电路板 100 上的半导体器件 200。其中，半导体器件 200

可包括封装基板 10 和芯片 20，封装基板 10 作为芯片 20 封装的载体，可以为芯片 20 提供电连接、保护、支撑、散热、组装等功效。在进行半导体芯片封装时，可以将芯片 20 放置在封装基板 10 上，并将芯片 20 上的所有引脚通过金线键合或倒装芯片技术连接到封装基板 10 的焊球或焊盘上。

5 为了提高对芯片 20 的散热效果，芯片 20 背离封装基板 10 的一侧还可以设置有散热基板 30，芯片 20 工作时产生的热量可以分别通过下侧的封装基板 10 和上侧的散热基板 30 散发至外界。在封装基板 10 与散热基板 30 之间还可以设置有填充胶 40，填充胶 40 一方面可用来包裹芯片 20，减小外界的灰尘、杂质等对芯片 20 性能的不良影响，另一方面还可以将封装基板 10、散热基板 30 及芯片 20 等部件粘接为一体，从而提高半导体器件
10 200 的结构牢靠性。

半导体器件 200 可通过焊接等方式固定在电路板 100 上，电路板 100 上可以设置用于与半导体器件 200 连接的信号管脚，半导体器件 200 上的外部引脚可与这些信号管脚电性连接，进而依次通过信号管脚和电路板 100 上的走线与其它器件相连接，以此实现内部芯片 20 与外部电路的连接。

15 半导体封装技术的好坏会直接影响到芯片 20 的性能以及与之连接的电路板 100 的设计和制造，衡量半导体封装技术性能的一个重要指标是芯片 20 面积与封装面积之比，这个比值越小说明封装面积越大，也即说明半导体器件 200 的尺寸越大，半导体器件 200 的尺寸增大会导致器件制造良率下降、电路板 100 焊接风险上升，另外还会增大产品的制作成本及可靠性风险。相反地，芯片 20 面积与封装面积的比值越接近 1 则表示封装面积越
20 小，这样半导体器件 200 的制造良率也就越高，制作成本也可以相应降低。封装基板 10 上引脚的排布密度是影响封装面积的重要因素，若要减小封装面积，则需要增加引脚的排布密度。但是，从另一方面来说，引脚的排布密度过大将引起引脚之间的电磁串扰，从而影响芯片的性能。

针对这个问题，本申请提供了一种封装基板，该封装基板可以降低引脚之间的串扰，
25 并且可以通过对引脚的合理排布提高引脚的利用率，从而能够减小封装面积，降低半导体器件的开发成本。下面结合附图对本申请实施例提供的封装基板进行具体说明。

图 2 为本申请实施例提供的封装基板的结构示意图。参考图 2 所示，封装基板 10 可以包括基板本体 11 以及设置在基板本体 11 上的多个第一焊球结构 12，每个第一焊球结构 12 可包括六个第一焊球 13，六个第一焊球 13 可以两两一行排列为第一行焊球 1201、第二
30 行焊球 1202 和第三行焊球 1203，第一行焊球 1201、第二行焊球 1202 与第三行焊球 1203 相互平行。其中，第一行焊球 1201 与第二行焊球 1202 中的四个第一焊球 13 可以分别位于一个平行四边形的四个顶点，第二行焊球 1202 与第三行焊球 1203 中的四个第一焊球 13 可以分别位于另一个平行四边形的四个顶点。可以理解的，第二行焊球 1202 中的两个第一焊球 13 的连线即为两个平行四边形的公共边，两个平行四边形可关于该公共边呈轴对
35 称设置，这时两个共边设置的两个平行四边形即可以拼接为一个燕尾形。因此，在本申请实施例中，第一焊球结构 12 中的六个第一焊球 13 也可以理解为分别设置于燕尾形的六个顶点位置，上述公共边即为燕尾形的中轴线。

需要说明的是，在图 2 以及以下各附图中，连接于各焊球之间的虚线仅用于示意各个焊球的位置关系，其并不存在于封装基板的具体结构当中，因此不对封装基板的具体结构
40 构成限定。

具体设计时，两个平行四边形的内角可以存在多种选择，本申请对此不作限制。示例性地，两个平行四边形的四个内角 α_1 、 α_2 、 α_3 、 α_4 可以分别为 60° 、 120° 、 60° 、 120° 。

在一些实施例中，封装基板 10 可以是用于封装半导体芯片的基板，半导体芯片的引脚可以通过引线连接至封装基板 10 上的多个第一焊球 13，因此，上述多个第一焊球结构 12 的第一焊球 13 也可以理解为封装基板 10 的引脚。

图 3 为本申请实施例提供的封装基板上的第一焊球的一种排布结构示意图。参考图 3 所示，在本申请实施例中，相邻的两个第一焊球结构 12 可以形成一个具有几何排布形状的单元区域 14，多个单元区域 14 即形成了封装基板的引脚区域。在每个单元区域 14 中，两个第一焊球结构 12 可以相对设置，且两个第一焊球结构 12 的中轴线共线。

作为一个示例，上述每个单元区域 14 可以对应单个字节单位的数据信号，或者说，两个第一焊球结构 12 包括的第一焊球 13 分别由于传输与单个字节单位的数据信号。每个字节单位通常可包括四个差分信号和八个单端信号，四个差分信号又可分为两对差分信号。其中，每对差分信号的两个信号的振幅相等、相位相反。

第一焊球结构 12 中的六个第一焊球 13 可以包括两个差分信号焊球 15 和四个单端信号焊球 16，其中，两个差分信号焊球 15 为一对差分信号焊球 15。可以理解的，在每个单元区域 14 中，两个第一焊球结构 12 的两对差分信号焊球 15 可对应单个字节单位中的两对差分信号，八个单端信号焊球 16 可对应单个字节单位中的八个单端信号。

继续参考图 3，在第一焊球结构 12 中，两个差分信号焊球 15 可以设置于燕尾形的中轴线上，也就是说，两个差分信号焊球 15 的连线所构成的边为两个平行四边形的公共边。四个单端信号焊球 16 分别设置在燕尾形的另外四个顶点，其中两个单端信号焊球 16 与两个差分信号焊球 15 组成一个平行四边形，另外两个单端信号焊球 16 与两个差分信号焊球 15 组成另一个平行四边形。

基于燕尾形的对称结构，第一焊球结构 12 中的单端信号焊球 16a、16b 在一对差分信号焊球 15 的两侧呈对称分布，由于一对差分信号的两个信号振幅相等、相位相反，因此这对差分信号焊球 15 与单端信号焊球 16a、16b 的影响可以相互抵消，从而可以降低差分信号对单端信号的电磁串扰。类似地，第一焊球结构 12 中的单端信号焊球 16c、16d 在一对差分信号焊球 15 的两侧也呈对称分布，因此差分信号焊球 15 与单端信号焊球 16c、16d 的影响也可以相互抵消，从而可以降低差分信号对单端信号的电磁串扰。

另外，从图 3 中可以看出，本申请实施例中，每个单端信号焊球 16 的周边只有一个与其相邻的单端信号焊球 16，也即每个单端信号焊球 16 周边设置的单端信号焊球 16 的数量很少，因此能够降低单端信号焊球 16 之间的电磁串扰。

图 4 为本申请实施例提供的封装基板上的焊球的另一种排布结构示意图。参考图 4 所示，在本申请实施例中，第一焊球结构 12 的周围还可以设置有接地焊球 17，接地焊球 17 的数量可以为多个，以便于在第一焊球结构 12 的周侧形成回流地，从而降低与其它焊球之间的电磁干扰。

在一些实施例中，第一焊球结构 12 的周围可以设置有 11 个接地焊球 17。其中，在第一焊球结构 12 远离同个单元区域 14 内的另一个第一焊球结构 12 的第一侧 121，排布有三个接地焊球 17，该侧的三个接地焊球 17 分别位于等腰三角形的三个顶点，且角形的两个腰分别与两个平行四边形朝向第一侧 121 的侧边平行；在与第一侧 121 位置相对的第二侧 122，排布有两个接地焊球 17，该侧的两个接地焊球 17 的连线与燕尾形的中轴线正交设置；在

与第一侧 121 相邻的第三侧 123 及第四侧 124, 分别排布有三个接地焊球 17, 第三侧的三个接地焊球 17 的连线呈直线排布, 且三个接地焊球 17 的连线与燕尾形的中轴线平行设置, 以及, 第四侧 124 的三个接地焊球 17 的连线也呈直线排布, 且三个接地焊球 17 的连线与燕尾形的中轴线平行设置。

5 可以理解的是, 在第三侧 123 的三个接地焊球 17 中, 最靠近第一侧 121 的接地焊球 17 也可以认为其同时位于第一侧 121, 在第四侧 124 的三个接地焊球中, 最靠近第一侧 121 的接地焊球 17 也可以认为其同时位于第一侧 121。这样, 第一侧 121 可认为排布有五个接地焊球 17, 五个接地焊球 17 的连线呈四条边的锯齿形排布。类似地, 在第三侧 123 的三个接地焊球 17 中, 最靠近第二侧 122 的接地焊球 17 也可以认为其同时位于第二侧 122, 10 第四侧 124 的三个接地焊球 17 中, 最靠近第二侧 122 的接地焊球 17 也可以认为其同时位于第二侧 122, 这样, 第二侧 122 可认为排布有四个接地焊球 17, 四个接地焊球 17 的连线呈等腰梯形排布。也就是说, 在本实施例中, 第一焊球结构 12 周围设置的 11 个接地焊球的连线呈现为九边形, 这种排布方式能够较好地与第一焊球结构 12 的燕尾形排布形式相匹配, 使得 11 个接地焊球 17 可以紧邻在单端信号焊球 16 的外侧, 从而可以节约接地焊球 17 的排布面积, 进而使得封装基板上能够容纳更多的焊球。

另外, 接地焊球 17 在第一焊球结构 12 周围呈九边形的排布方式, 可以使得每个单端信号焊球 16 的周围都可以排布较多的接地焊球 17, 例如, 在图 3 所示的实施例中, 每个单端信号焊球 16 周边至少可以设置三个接地焊球 17, 从而能够有效降低信号间的电磁干扰。

20 在每个单元区域 14 中, 两个第一焊球结构 12 之间可以共用接地焊球 17, 例如, 左侧的第一焊球结构 12 与右侧的第一焊球结构 12 可以共用两者之间的两个接地焊球 17, 也即位于第一焊球结构 12 的第二侧的两个接地焊球 17, 从而可以在不影响信号抗干扰能力的前提下, 减少接地焊球 17 的排布数量, 进而可以节约接地焊球 17 的排布面积以及封装基板的制作成本。

25 具体设置时, 本申请实施例对焊球之间的间距不做限定, 具体可以根据实际使用需求进行设计。在一些实施例中, 相邻焊球之间的间距可以在 0.8mm~1.2mm 之间。示例性地, 相邻焊球之间的间距可以取值为 0.8mm, 0.9mm, 1mm, 1.1mm, 1.2mm, 等等。

图 5 为本申请实施例提供的封装基板上的单元区域的排布结构示意图。一并参考图 4 和图 5 所示, 在本申请实施例中, 单元区域 14 可以横向或者纵向组合延伸, 从而形成封装基板的引脚区域。由图 5 中可以看出, 单元区域 14 的左侧和右侧均为锯齿形侧边, 单元区域 14 的上侧和下侧均为直线形侧边, 在具体设计时, 行向相邻的两个单元区域 14 在列所在的方向可以错位设置, 对于分别位于行向相邻的两个单元区域 14 内且相邻的两个第一焊球结构 12, 这两个第一焊球结构 12 各自的第一侧 121 具有重合部分, 行向相邻的两个单元区域 14 可共用位于重合部分内的多个接地焊球 17。也即, 左侧单元区域 14a 的 30 右侧锯齿形侧边与右侧单元区域 14b 的左侧锯齿形侧边可以相互吻合, 左侧单元区域 14a 内靠近右侧设置的第一焊球结构 12 与右侧单元区域 14b 内靠近左侧设置的第一焊球结构 12 可共用重合部分的三个接地焊球 17, 这样一方面可以节约接地焊球 17 的排布面积, 另一方面左右两个单元区域 14 还可以共用部分接地焊球 17, 从而可以在不影响信号抗干扰能力的前提下, 减少接地焊球 17 的排布数量。

40 此外, 列向相邻的两个单元区域 14 可以对称设置, 分别位于列向相邻的两个单元区

域 14 内且对称的两个第一焊球结构 12 中, 其中一个第一焊球结构 12 的第三侧 123 与另一个第一焊球结构 12 的第四侧 124 重合, 且可以共用重合一侧的多个接地焊球 17。例如
图 5 中所示的单元区域 14a 与单元区域 14c, 上侧单元区域 14a 的下侧 (第四侧) 直线形
侧边与下侧单元区域 14c 的上侧 (第三侧) 直线形侧边可以重合, 单元区域 14a 与单元区
域 14c 可共用重合侧的三个接地焊球 17。类似地, 这种排布方式不仅可以节约接地焊球 17
的排布面积, 还可以使上下两个单元区域 14 共用部分接地焊球 17, 从而可以在不影响信
号抗干扰能力的前提下, 减少接地焊球 17 的排布数量。

值得一提的是, 本申请实施例提供的封装基板可用于与中央处理器 (central processing
unit, CPU) 芯片匹配。换句话说, 本申请实施例中的封装基板可用于封装 CPU。下面对
封装基板与 CPU 的具体匹配方式进行说明。

图 6 为本申请实施例提供的 CPU 双倍速率同步动态随机存储器 (double data rate
synchronous dynamic random access memory, DDR SDRAM) 接口的硬件架构示意图。参考
图 6 所示, CPU 侧通常包括多个 DDR 通道 (Channel), 每个 DDR 通道可以驱动连接一根
或多根内存条, 例如双列直插式存储模块 (dual-inline-memory-modules, DIMM)。其中,
上述通道可以指 CPU 配置的内存通道, 一个通道的内存带宽通常为 32bit 或 64bit。

示例性地, 该 CPU 可以包括六个 DDR 通道, 分别为通道 0、通道 1、通道 2、通道 3、
通道 4、通道 5, 其中, 通道 0 可以连接 DIMM 00、DIMM 01 两根内存条, 通道 1 可以连
接 DIMM 10、DIMM 11 两根内存条, 通道 2 可以连接 DIMM 20、DIMM 21 两根内存条,
通道 3 可以连接 DIMM 30、DIMM 31 两根内存条, 通道 4 可以连接 DIMM 40、DIMM 41
两根内存条, 通道 5 可以连接 DIMM 50、DIMM 51 两根内存条。应当理解的是, 本申请
实施例中的 CPU 不仅限于图 1 中所示的架构, CPU 的通道数量以及每个通道对应连接的
内存条数量可以根据实际需要进行设置, 此处不再进行过多赘述。

图 7 为本申请实施例提供的 CPU DDR 的接口示意图。一并参考图 6 和图 7, CPU 21
侧的 DDR 通道 22 可以包括多个 8bit 组成的字节单位 23, 可以理解的, 当 DDR 通道 22
的内存带宽为 32bit 时, DDR 通道 22 可以包括四个字节单位 23; 当 DDR 通道 22 的内存
带宽为 64bit 时, DDR 通道 22 可以包括八个字节单位 23。图 6 所示的实施例以 DDR 通道
22 的内存带宽为 64bit 为例进行说明。

在本实施例中, 每个字节单位 23 可以对应前述的一个单元区域 14, 也即, 每个字节
单位 23 可以对应两个第一焊球结构 12。对于内存带宽为 64bit 的 DDR 通道 22, 每个 DDR
通道 22 对应八个单元区域 14, 八个单元区域 14 可以按照图 4 中所示的 4*2 (4 指八个单
元区域 14 的排布行数, 2 指八个单元区域 14 的排布列数) 的排布方式进行排布, 也可以
以 2*4 的排布方式进行排布, 或者也可以以同行或者同列的方式进行排布, 具体可以根据
封装基板上的空间划分进行设置, 本申请对此不做限定。

实验表明, 采用本申请实施例提供的封装基板对 CPU 进行封装, 利用第一焊球结构
12 燕尾形的引脚布图方案, DDR 数据信号间的电磁串扰可低至 -33.6dB。另外, 倘若定义
采用常规的梯形排布方式的单元区域的使用面积为 1 的话, 本申请实施例采用燕尾形的排
布方式的单元区域 14 的使用面积大概为 0.95 左右, 因此可以有效减小封装面积。

因此, 本申请实施例提供的封装基板采用燕尾形的引脚布图方案, 不仅可以降低 DDR
数据信号之间的电磁串扰, 支持 CPU 支撑更高的 DDR 运行速率, 并且可以提高封装基板
上引脚的利用率, 从而能够有效减小封装面积, 进而有利于降低半导体器件的开发成本。

以上，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以权利要求的保护范围为准。

权 利 要 求

1.一种封装基板，其特征在于，包括基板本体和设置于所述基板本体上的多个单元区域，其中：

5 所述单元区域包括两个第一焊球结构，所述第一焊球结构包括六个第一焊球，六个所述第一焊球两两一行排列为相互平行的第一行焊球、第二行焊球及第三行焊球，所述第一行焊球与所述第二行焊球中的四个所述第一焊球分别位于一个平行四边形的四个顶点，所述第二行焊球与第三行焊球中的四个所述第一焊球分别位于另一个平行四边形的四个顶点，两个所述平行四边形关于所述第二行焊球呈轴对称设置。

10 2.如权利要求1所述的封装基板，其特征在于，每个所述单元区域中，两个所述第一焊球结构相对设置，且两个所述第一焊球结构的所述第二行焊球共线设置。

3.如权利要求1或2所述的封装基板，其特征在于，所述第一焊球结构的六个所述第一焊球分别为两个差分信号焊球和四个单端信号焊球。

4.如权利要求3所述的封装基板，其特征在于，两个所述差分信号焊球设置于所述第二行焊球中。

15 5.如权利要求1~4任一项所述的封装基板，其特征在于，所述第一焊球结构的周围设置有接地焊球。

6.如权利要求5所述的封装基板，其特征在于，每个所述第一焊球结构周围设置的所述接地焊球的数量为11个，沿所述第一焊球结构的周侧，依次排布的11个所述接地焊球的连线可形成九边形。

20 7.如权利要求6所述的封装基板，其特征在于，所述第一焊球结构包括第一侧、第二侧、第三侧及第四侧，其中，所述第一侧为所述第一焊球结构远离同个所述单元区域中另一个所述第一焊球结构的一侧，所述第二侧与所述第一侧位置相对，所述第三侧和所述第四侧均位于所述第一侧和所述第二侧之间，且所述第三侧与所述第四侧位置相对；

25 所述第一侧的多个所述接地焊球的连线排布为锯齿形，所述的第二侧的多个所述接地焊球的连线排布为梯形，所述第三侧及所述第四侧的多个所述接地焊球的连线分别排布为直线形。

8.如权利要求7所述的封装基板，其特征在于，每个所述单元区域中，两个所述第一焊球结构共用所述第二侧的多个所述接地焊球。

30 9.如权利要求7或8所述的封装基板，其特征在于，行向相邻的两个所述单元区域在位置上沿列所在的方向错位设置，分别位于行向相邻的两个所述单元区域内且相邻的两个所述第一焊球结构各自的第一侧具有重合部分，行向相邻的两个所述单元区域共用位于所述重合部分内的多个所述接地焊球。

35 10.如权利要求7~9任一项所述的封装基板，其特征在于，列向相邻的两个所述单元区域对称设置，分别位于列向相邻的两个所述单元区域内且对称的两个所述第一焊球结构中，其中一个所述第一焊球结构的第三侧与另一个所述第一焊球结构的第四侧重合且共用多个接地焊球。

11.一种半导体器件，其特征在于，包括芯片以及如权利要求1~10任一项所述的封装基板，所述芯片设置于所述封装基板上。

12.如权利要求11所述的半导体器件，其特征在于，所述芯片为中央处理器，所述中

央处理器配置有多个内存通道，所述内存通道包括多个字节单位，每个所述字节单位对应一个所述单元区域，所述单元区域中的所述第一焊球用于传输对应的所述字节单位的数据信号。

- 5 13.一种电子设备，其特征在于，包括电路板以及如权利要求 11 或 12 所述的半导体器件，所述半导体器件设置于所述电路板上，所述电路板上设置有信号管脚，所述信号管脚与所述半导体器件电性连接。