

明 細 書

発明の名称：半導体ウェハおよび半導体装置の製造方法

技術分野

[0001] 実施形態の発明は、半導体ウェハおよび半導体装置の製造方法に関する。

背景技術

[0002] 半導体デバイスの製造においては、半導体デバイスが形成されないNPW (Non Product Wafer) を用いることがある。また、半導体ウェハ上にメモリセルを3次的に配置した半導体デバイスが知られている。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2015/012874号

特許文献2：国際公開第2010/114887号

発明の概要

[0004] 実施形態の発明が解決しようとする課題は、より表面積の大きな半導体ウェハを提供することである。

[0005] 実施形態の半導体ウェハは、内壁面を含む溝を少なくとも一つ有する表面を具備する。溝は、内壁面が露出する。

図面の簡単な説明

[0006] [図1]半導体ウェハの外観模式図である。

[図2]半導体ウェハの構造例を示す上面模式図である。

[図3]半導体ウェハの構造例を示す断面模式図である。

[図4]半導体ウェハの構造例を示す上面模式図である。

[図5]領域101と領域102との境界部を示す上面模式図である。

[図6]半導体ウェハの製造方法例を説明するための模式図である。

[図7]半導体ウェハの製造方法例を説明するための模式図である。

[図8]半導体ウェハの製造方法例を説明するための模式図である。

[図9]半導体ウェハの他の製造方法例を説明するための模式図である。

[図10]半導体ウェハの他の構造例を示す断面模式図である。

[図11]半導体ウェハの他の構造例を示す断面模式図である。

[図12]半導体ウェハの他の構造例を示す断面模式図である。

[図13]半導体ウェハの他の構造例を示す断面模式図である。

[図14]半導体ウェハの他の構造例を示す断面模式図である。

[図15]半導体装置の構造例を示す断面模式図である。

[図16]半導体製造装置の構成例を示す模式図である。

[図17]半導体デバイスの構造例を示す模式図である。

[図18]半導体デバイスの製造方法例を説明するための模式図である。

[図19]半導体デバイスの製造方法例を説明するための模式図である。

発明を実施するための形態

[0007] 以下、実施形態について、図面を参照して説明する。図面に記載された各構成要素の厚さと平面寸法との関係、各構成要素の厚さの比率等は現物と異なる場合がある。また、実施形態において、実質的に同一の構成要素には同一の符号を付し適宜説明を省略する。

[0008] (半導体ウェハの構造例)

図1は、半導体ウェハの外観模式図であり、図2は、半導体ウェハの構造例を示す上面模式図であり、半導体ウェハのX軸とX軸に直交するY軸とを含むX-Y平面の一部を示す。図3は、半導体ウェハの構造例を示す断面模式図であり、X軸とX軸およびY軸に直交するZ軸とを含むX-Z断面の一部を示す。

[0009] 半導体ウェハ1は、NPWであり、成膜、エッチング、その他の半導体製造における諸プロセスを事前に評価・測定するために用いられるウェハである。例えば、ウェハ表面に対して原料ガスを反応させて薄膜を形成するCVD (Chemical Vapor Deposition)、ALD (Atomic Layer Deposition) 等の成膜プロセス、または、ウェハ表面に対してプラズマを供給して薄膜をエッチングするCDE (

Chemical Dry Etching)、表面に対して原料ガスを供給して薄膜をエッチングするALE (Atomic Layer Etching)、液体を供給するWet etching等のエッチングプロセスの評価・測定に用いられる。または、それらの再現性試験等にも用いられる。または、半導体デバイスが形成されたウェハと同一処理室で処理される場合がある。実施形態の半導体ウェハ1は、ダミーウェハまたはテストピース等とも称され得る。

[0010] 半導体ウェハ1は、X軸方向およびY軸方向に延在する表面10aと、表面10aの反対面である表面10bと、を含む。表面10aの表面積は、半導体デバイスが形成された、または形成途中の半導体ウェハのデバイス形成面の表面積と同程度であることが好ましい。半導体ウェハ1としては、例えばシリコンウェハ、炭化ケイ素ウェハ、ガラスウェハ、石英ウェハ、サファイアウェハ、またはGaAs基板等の化合物半導体ウェハを用いることができる。なお、半導体ウェハ1の形状は、図1に示す形状に限定されず、例えばオリエンテーションフラットを有する形状であってもよい。

[0011] 表面10aは、少なくとも一つの溝11を含むパターンを有する。溝11は内壁面11aを含む。内壁面11aは表面10aに露出する。複数の溝11を設ける場合、複数の溝11は、図2に示すように、表面10aのX軸方向に沿って並置され、表面10aのY軸方向に沿ってライン状に延在する。溝11の長辺方向の長さLは、例えば4 μ m以上、好ましくは40 μ m以上である。X軸方向に沿って隣接する溝11の間隔は、例えば0.4 μ m以上14 μ m以下、好ましくは1 μ m以下である。X軸方向に沿って隣接する溝11の端部は、Y軸方向に沿って互いにずれていてもよい。

[0012] 溝11のアスペクト比は、例えば50以上1750以下である。アスペクト比は、図3に示す溝11の幅Wに対する溝11の深さDの比により定義される。溝11の幅Wは、例えば0.4 μ m以上14 μ m以下である。溝11の深さDは、例えば20 μ m以上半導体ウェハ1の厚さ以下であり、溝11が貫通していてもよい。表面10aの表面積は、溝11が形成されない場合

の表面積と比較して、例えば50倍以上、好ましくは100倍以上である。
つまり、表面10bに溝等が形成されない場合は、表面10bの50倍以上、好ましくは100倍以上と換言できる。

[0013] 溝11は、例えば表面10aからの深さDが20 μ m以上であり且つアスペクト比が50以上であることが好ましい。これにより、表面10aの表面積を大きくするとともに表面10aに形成される膜を除去しやすい溝11を実現することができる。

[0014] 溝11は、隔壁12を介して形成されてもよい。溝11の長さL、深さD、アスペクト比が大きくなると、溝11が倒壊して変形しやすくなる。これに対し、隔壁12を設けることにより、隔壁12が梁として機能することにより溝11を支持できるため溝11の変形を抑制することができる。

[0015] 溝11の変形を抑制するために、隔壁12は、Y軸方向において、例えば100 μ m以上の間隔で設けられることが好ましい。また、複数の隔壁12のY軸方向の長さは同じであることが好ましい。さらに、X軸方向に沿って隣接する溝11の隔壁12の位置は図2に示すように、Y軸方向に沿って互いにずれ、隣接する溝11の間の領域が隔壁12を介して接続されていてもよい。

[0016] 溝11は、互いに異なる方向に沿って延在する複数の溝を含んでいてもよい。図4は、半導体ウェハ1の構造例を示す上面模式図であり、X-Y平面の一部を示す。図4に示す半導体ウェハ1の表面10aは、領域101と、領域102と、を含む。領域101および領域102は、例えばX軸方向およびY軸方向に沿って交互に配置される。領域101と領域102との間隔は、例えば2 μ m以上である。なお、図4は表面10a上に形成された複数のショット領域のうち、1つのショット領域を示している。

[0017] 図5は、領域101と領域102との境界部を示す上面模式図である。領域101は溝111を有し、領域102は、溝112を有する。複数の溝111は、X軸方向に沿って並置され、Y軸方向に沿って延在する。複数の溝112は、Y軸方向に沿って並置され、X軸方向に沿って延在する。なお、

溝 1 1 1 の延在方向（長さ L 方向）と溝 1 1 2 の延在方向（長さ L 方向）は、互いに直交する方向に限定されず、互いに交差する方向であればよい。溝 1 1 1 および溝 1 1 2 は、溝 1 1 に含まれる。よって、溝 1 1 1 および溝 1 1 2 のその他の説明については溝 1 1 の説明を適宜援用することができる。なお、上述した表面 1 0 a の構造は、表面 1 0 b に形成されていてもよい。

[0018] 半導体ウェハ 1 は、上述のように、半導体ウェハ 1 上に成膜を行い評価するためのテストピースとして用いることができる。または、半導体ウェハ 1 上に成膜を行った後にエッチングを行い評価するためのテストピースとしても用いることができる。このとき、半導体ウェハ 1 は異なる表面積を有する一対の表面を有するとともに一対の表面の上の成膜量の差が大きいため反りやすい。よって、仮に複数の溝 1 1 の全てが同一方向に沿って延在する場合、一方向に応力が加わるため半導体ウェハ 1 の反りが大きくなりやすい。これに対し、複数の溝 1 1 を複数の方向に延在させることにより応力が加わる方向を分散して半導体ウェハ 1 の反りを抑制することができる。

[0019] 半導体ウェハ 1 は、テストピースとして繰り返し利用することができる。すなわち、半導体ウェハ 1 に対して成膜工程を連続して行うことや、成膜工程とエッチング工程とを連続して行うことも可能である。溝 1 1 により表面積が大きくなるため、連続して成膜する場合であっても表面積の変化を抑制でき、エッチングする場合であっても膜を除去しやすい。

[0020] 表面 1 0 a は、図 4 に示すように、領域 1 0 3 をさらに有していてもよい。領域 1 0 3 は、溝 1 1 を有しない平坦面であることが好ましい。平坦面であることにより、領域 1 0 3 は、溝 1 1 間に設けられた平坦部よりも最小測定領域が広い分光エリプソメータ、X 線光電子分光（X-ray photoelectron spectroscopy: XPS）、蛍光 X 線分析、フーリエ変換赤外分光光度計（Fourier Transform Infrared Spectroscopy: FTIR）などの測定器を用い、例えば表面 1 0 a に形成される膜の厚さ、密度、組成を測定することができる。領域 1 0 3 の面積は、例えば領域 1 0 1 の面積や領域 1 0 2 の面積よりも小

さくてもよい。領域103は、例えば表面10aの複数のショット領域毎に形成される。

[0021] 以上のように、半導体ウェハ1は、表面積を大きくするための溝の形状を制御することにより、変形しにくい溝11を実現することができる。よって、半導体ウェハ1を繰り返し使用する際の表面積の変化を抑制することができる。より表面積の大きな半導体ウェハを提供することができる。なお、上述した溝11の寸法については、成膜する膜の種類や膜厚に応じて設定することが好ましい。

[0022] (半導体ウェハの製造方法例)

半導体ウェハ1は、例えば触媒アシストエッチング(Metal-assisted Chemical Etching: MACE)を用いて製造することができる。MACEは、基板の表面に触媒層を形成した基板を薬液に浸漬することで、触媒層に接する領域のみを略垂直にエッチングする技術である。

[0023] 図6ないし図8は、半導体ウェハの製造方法例を説明するための図である。半導体ウェハの製造方法例は、触媒層形成工程と、エッチング工程と、触媒層除去工程と、を具備する。

[0024] 触媒層形成工程では、図6に示すように、半導体ウェハ1の表面10aに触媒層2を形成する。触媒層2は、例えば金、銀、白金、イリジウム、パラジウム等の貴金属の触媒を含有する。触媒層2は、例えばスパッタリング、CVD法、メッキ法等を用いて形成することができる。なお、触媒層2は、グラフェン等の炭素材料の触媒を含有していてもよい。

[0025] エッチング工程では、図7に示すように、半導体ウェハ1を第1の薬液(エッチング液)に浸漬させる。第1の薬液としては、例えばフッ化水素酸および過酸化水素水の混合液を用いることができる。

[0026] 半導体ウェハ1を第1の薬液に浸漬させると、表面10aと触媒層2との接触部において、表面10aの材料(例えばシリコン)がエッチング液中に溶解する。この反応が繰り返されることにより半導体ウェハ1は略垂直にエ

ッチングされる。これにより、溝 11 を形成することができる。溝 11 の形状は、例えば触媒層 2 のサイズやエッチング時間等を調整することにより制御される。

[0027] 触媒層除去工程では、図 8 に示すように、表面 10a から触媒層 2 を除去する。触媒層 2 は、例えば半導体ウェハ 1 を第 2 の薬液に含浸させることにより除去される。第 2 の薬液としては、例えば塩酸と硝酸との混合液（王水）を用いることができる。

[0028] 以上のように、MACE を用いて半導体ウェハ 1 を製造することにより、長さ L、深さ D、アスペクト比が大きい溝 11 を形成する場合であっても容易に形成することができる。

[0029] （半導体ウェハの他の製造方法例）

図 9 は、半導体ウェハ 1 の他の製造方法例を説明するための図である。本例では、半導体ウェハ 1 の（110）面に沿って表面 10a を形成するとともに、表面 10a の上にマスク層 3 を形成し、半導体ウェハ 1 の（111）面に沿って半導体ウェハ 1 をエッチングすることにより溝 11 を形成する。

[0030] シリコン等の半導体ウェハ 1 の（111）面は（110）面よりも安定である。よって、例えばアルカリ性の薬液を用いたアルカリエッチングにより（111）面に沿って半導体ウェハ 1 を略垂直にエッチングすることができ、長さ L、深さ D、アスペクト比が大きい溝 11 を形成する場合であっても溝 11 を容易に形成することができる。

[0031] （半導体ウェハの他の構造例）

図 10 ないし図 14 は、半導体ウェハ 1 の他の構造例を示す断面模式図である。なお、上記半導体ウェハ 1 の説明と同じ部分については上記説明を適宜援用することができる。

[0032] 図 10 に示す半導体ウェハ 1 の表面 10a は、溝 11 の底部に形成された突起 13 をさらに有する。突起 13 は、溝 11 に設けられ、例えば溝 11 の底面から Z 軸方向に延在する。突起 13 は、例えば針状である。突起 13 は、例えば触媒層 2 に Z 軸方向に沿って貫通孔を形成した後に半導体ウェハ 1

をエッチングすることにより形成される。触媒層 2 に貫通孔を形成することにより、表面 10a と触媒層 2 との接触部のうち開口に面する領域をよりエッチングしやすくすることができる。一方、表面 10a と開口に面していない領域はエッチングされにくいため残存して針状の突起 13 を形成する。突起 13 を形成することにより表面 10a の表面積をさらに大きくすることができる。

[0033] 図 11 に示す半導体ウェハ 1 の表面 10a は、多孔質領域 14 をさらに有する。多孔質領域 14 は、例えば半導体ウェハ 1 において隣接する溝 11 の間の領域が第 1 の薬液または第 2 の薬液によりエッチングされることにより形成される。多孔質領域 14 を形成することにより表面 10a の表面積をさらに大きくすることができる。

[0034] 図 12 に示すように多孔質領域 14 の空孔 14a が充填材 4a を多孔質領域 14 の空孔に充填することにより塞がれていてもよい。また、図 13 に示すように多孔質領域 14 を含む表面 10a 全体に保護膜 4b を形成してもよい。これにより半導体ウェハ 1 を繰り返し使用することにより多孔質領域 14 がさらにエッチングされることを抑制することができる。充填材 4a および保護膜 4b としては、例えば炭素、シリコン、窒化シリコン、酸化シリコン等耐熱性、化学耐性のある材料が好ましく、炭化ケイ素、炭窒化ケイ素がより好ましい。

[0035] 多孔質領域 14 の空孔 14a は、水素雰囲気下でのアニールにより多孔質領域 14 を溶解することにより塞がれてもよい。溶解後の表面 10a は、図 14 に示すように、曲面を有する。多孔質領域 14 を溶解することにより多孔質領域 14 がエッチングされることを抑制することができる。

[0036] (半導体装置の構造例)

図 15 は、半導体ウェハ 1 を用いた半導体装置の構造例を示す断面模式図である。図 15 に示す半導体装置は、半導体ウェハ 1 に設けられた膜 5 を具備する。膜 5 は、例えば CVD 装置等の成膜装置を用いて表面 10a の上に形成される。膜 5 は、例えば成膜評価するための下地膜、例えばエッチング

するためのエッチング対象膜として機能する。膜5の厚さは、用途に応じて設定される。なお、膜5は積層膜であってもよく、図13に示す保護膜4b上に形成してもよい。

[0037] (半導体ウェハの使用 method 例)

実施形態の半導体ウェハの使用 method 例として、半導体装置の製造工程において上記半導体ウェハ1をダミーウェハとして使用する例について図16ないし図19を用いて説明する。

[0038] 図16は半導体製造装置の構成例を示す模式図である。図16は、LP-CVD (Low Pressure Chemical Vapor Deposition) 装置の構成例を示す。図16に示す半導体製造装置20は、処理室21と、処理室21内に原料ガス22を供給するための配管23と、を具備する。半導体製造装置20は、さらに図示していない真空ポンプ、加熱器、排気系、電源、制御回路等を具備する。

[0039] ダミーウェハとしての半導体ウェハ1を、半導体デバイスが形成された、または形成途中の半導体ウェハであるデバイスウェハ9とともに同一の処理室21内に搬入し、半導体ウェハ1とデバイスウェハ9とを同時に処理する場合がある。この場合の半導体装置の製造 method 例は、デバイスウェハ9を処理室21内に載置するステップと、実施形態の半導体ウェハ1を処理室21内に載置するステップと、処理室21内で、デバイスウェハ9と半導体ウェハ1とを同時に処理するステップと、を具備する。なお、デバイスウェハ9と半導体ウェハ1は、同じステップまたは異なるステップで処理室21内に載置する。

[0040] 図16では、複数のデバイスウェハ9を処理室21内で処理する際に、少なくとも1つの半導体ウェハ1を複数のデバイスウェハ9とともに処理室21内に載置し、同時に成膜処理を行う例を示す。半導体ウェハ1は少なくとも1枚以上載置すればよいが、図16に示すように複数枚載置することが好ましい。また、図16に示すように、半導体ウェハ1は少なくとも処理室21内の上部または下部領域に配置することが好ましい。

[0041] ここで、デバイスウェハ9の構造例について説明する。デバイスウェハ9に形成される半導体デバイスは、例えば、3次元NAND型フラッシュメモリである。以下、3次元NAND型フラッシュメモリの製造における成膜工程について説明する。

[0042] 図17は、半導体デバイスの構造例を示す模式図である。図17に示す半導体デバイスは、コア絶縁膜91と、半導体チャネル層92と、トンネル絶縁膜931、電荷蓄積層932およびブロック絶縁膜933を含むメモリ膜93と、電極材層94と、メタル層95と、絶縁層96と、を具備する。電極材層94はゲート電極（ワード線）として機能する。コア絶縁膜91、半導体チャネル層92、メモリ膜93は、メモリホールH内に形成されており、メモリセルを構成する。ブロック絶縁膜933は例えば、SiO₂膜（シリコン酸化膜）である。電荷蓄積層932は例えば、SiN膜（シリコン窒化膜）である。トンネル絶縁膜931は例えば、SiO₂膜とSiON膜（シリコン酸窒化膜）とを含む積層膜である。半導体チャネル層92は例えば、ポリシリコン層である。コア絶縁膜91は例えば、SiO₂膜である。電極材層94、メタル層95、および絶縁層96はそれぞれ例えば、W層（タングステン層）、TiN膜（チタン窒化膜）、およびAl₂O₃膜（アルミニウム酸化膜）である。この場合、メタル層95は、上述の電極層内のバリアメタル層として機能し、絶縁層96は、上述のブロック絶縁膜933と共にブロック絶縁膜として機能する。

[0043] 次に、図17に示す半導体デバイスの製造方法例について図18および図19を用いて説明する。図18では、シリコンウェハ等の半導体ウェハ90上に複数の犠牲層97と複数の絶縁層98とが交互に積層された積層膜が形成されており、これらの犠牲層97および絶縁層98内に溝であるメモリホールHが設けられている。犠牲層97は、後に電極材層が形成される領域である。メモリホールHは後にメモリ膜93が形成される領域である。

[0044] 半導体ウェハ1は、例えば半導体デバイスの製造におけるメモリ膜93、半導体チャネル層92、コア絶縁膜91の形成、または電極材層94、メタ

ル層 95、絶縁層 96 の形成、およびメモリホール H の側面を構成する犠牲層 97、絶縁層 98 を含むそれらの薄膜の改質処理、エッチング処理に用いられる。

[0045] メモリ膜 93 の形成は、図 18 に示す複数の犠牲層 97 と複数の絶縁層 98 とが交互に積層された積層体にメモリホール H が形成された状態のデバイスウェハ 9 を処理室 21 内に搬入し、メモリホール H 内にブロック絶縁膜 933、電荷蓄積層 932、トンネル絶縁膜 931 をこの順に成膜することで形成される。

[0046] メタル層 95 および絶縁層 96 の形成は、メモリ膜 93 が形成された後、複数の犠牲層を除去し複数の絶縁層 98 間に空洞 C を有するデバイスウェハ 9 を処理室 21 内に搬入し、図 19 に示すように、空洞 C 内に絶縁層 96 およびメタル層 95 をこの順に成膜することで形成される。（これをリプレイス工程という。）

[0047] 改質処理は、例えば図 18 および図 19 の犠牲層 97 および絶縁層 98、ブロック絶縁膜 933、電荷蓄積層 932、トンネル絶縁膜、半導体チャネル層 92 の形成工程において、それぞれの層または膜の形成後または形成途中に酸素を含むガスによる処理を行うことによる酸化、アンモニアなどの窒素含有ガスを用いた気相処理による窒化、熱処理を行うことによる結晶化することを含む。また、層または膜の形成後にホウ素やリンや金属などの所望の不純物を含む犠牲層を形成し、熱処理を行うことによって対象となる層または膜に不純物を拡散させ、その後犠牲層をエッチングして除去する処理を含む。また、電極材層 94、メタル層 95、絶縁層 96 に対しても同様である。

[0048] エッチング処理は、例えば図 18 の犠牲層 97 および絶縁層 98、図 19 に形成したブロック絶縁膜 933、電荷蓄積層 932、トンネル絶縁膜、半導体チャネル層 92 のそれぞれに対し、層または膜の形成後にフッ素、塩素、臭素などのハロゲンなどを含むエッチングガスによって層または膜を薄くする処理を含む。また、電極材層 94、メタル層 95、絶縁層 96 に対して

も同様である。

[0049] いずれの例においても、複数のデバイスウェハ9とともに少なくとも1つの半導体ウェハ1を処理室21内に搬入し、同様の処理を行う。これにより、処理室21内の特定の位置で所望の処理結果が得られない場合に、ダミーウェハとして半導体ウェハ1を用いることができる。なお、複数の処理を行ってよい。

[0050] 半導体ウェハ1は、前述のとおり、表面積が大きくなるように複数の溝11が形成されている。そのため、デバイスウェハ9と同程度の表面積を有するダミーウェハとなる。したがって、例えば表面積差に起因する処理室21内での成膜ばらつきをより低減することが可能であり、デバイスウェハ9間またはデバイスウェハ9面内における膜厚、膜の組成、膜密度等の均一性をより向上することができる。すなわち、より信頼性を向上させた半導体デバイスの製造が可能となる。

[0051] なお、本使用方法例において、LP-CVD装置を例に説明したが、その他の半導体製造装置においても半導体ウェハ1を適用できる。また、半導体デバイスは3次元NAND型フラッシュメモリに限定されず、その他の半導体デバイスを適用することもできる。

[0052] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

請求の範囲

- [請求項1] 内壁面を含む溝を少なくとも一つ有する表面を具備し、
前記溝は、前記内壁面が露出する、半導体ウェハ。
- [請求項2] 内壁面を含む溝を少なくとも一つ有する表面を具備し、
前記少なくとも一つの溝は、第1の溝と、第2の溝と、を含み、
前記第1の溝は、前記表面の第1の方向に沿って延在し、
前記第2の溝は、前記表面において前記第1の方向と交差する第2の方向に沿って延在する、半導体ウェハ。
- [請求項3] 前記溝は、前記表面からの深さが $20\mu\text{m}$ 以上であり且つアスペクト比が50以上である、請求項1または2に記載の半導体ウェハ。
- [請求項4] 前記表面の表面積は、前記表面の反対面の表面積の50倍以上である、請求項1ないし請求項3のいずれか一項に記載の半導体ウェハ。
- [請求項5] 前記溝は、隔壁を介して設けられる、請求項2ないし請求項4のいずれか一項に記載の半導体ウェハ。
- [請求項6] 前記表面は、多孔質領域をさらに有する、請求項1ないし請求項5のいずれか一項に記載の半導体ウェハ。
- [請求項7] 前記表面は、前記溝に設けられた突起をさらに有する、請求項1ないし請求項6のいずれか一項に記載の半導体ウェハ。
- [請求項8] 前記表面に設けられた膜をさらに具備する、請求項1ないし請求項7のいずれか一項に記載の半導体ウェハ。
- [請求項9] 前記膜は、炭化ケイ素または炭窒化ケイ素を含有する、請求項8に記載の半導体ウェハ。
- [請求項10] シリコンウェハ、炭化ケイ素ウェハ、ガラスウェハ、石英ウェハ、サファイアウェハ、または化合物半導体ウェハである、請求項1ないし請求項9のいずれか一項に記載の半導体ウェハ。
- [請求項11] 第1の表面と前記第1の表面に設けられた膜とを備え前記膜が第1の溝を有する第1の半導体ウェハを処理室内に載置するステップと、
内壁面を含む第2の溝を有し前記内壁面が露出する第2の表面を備

える第2の半導体ウェハを前記処理室内に載置するステップと、
前記処理室内で、前記第1の半導体ウェハと前記第2の半導体ウェハとを同時に処理するステップと、
を具備する、半導体装置の製造方法。

[請求項12] 前記膜は、交互に積層された第1の層と第2の層とを有する、請求項11に記載の半導体装置の製造方法。

[請求項13] 前記処理は、成膜処理、エッチング処理、および改質処理からなる群より選ばれる少なくとも一つの処理を含む、請求項11または請求項12に記載の半導体装置の製造方法。

[請求項14] 複数の前記第2の半導体ウェハを前記処理室内に載置する、請求項11ないし請求項13のいずれか一項に記載の半導体装置の製造方法。

[請求項15] 前記第2の溝は、第3の溝と、第4の溝と、を含み、
前記第3の溝は、前記第2の表面の第1の方向に沿って延在し、
前記第4の溝は、前記第2の表面において前記第1の方向と交差する第2の方向に沿って延在する、請求項11ないし請求項14のいずれか一項に記載の半導体装置の製造方法。

[請求項16] 前記第2の溝は、前記第2の表面からの深さが $20\mu\text{m}$ 以上であり且つアスペクト比が50以上である、請求項11ないし請求項15のいずれか一項に記載の半導体装置の製造方法。

[請求項17] 前記第2の表面の表面積は、前記第2の表面の反対面の表面積の50倍以上である、請求項11ないし請求項16のいずれか一項に記載の半導体装置の製造方法。

[請求項18] 前記第2の溝は、隔壁を介して設けられる、請求項11ないし請求項17のいずれか一項に記載の半導体装置の製造方法。

[請求項19] 前記第2の表面は、多孔質領域をさらに有する、請求項11ないし請求項18のいずれか一項に記載の半導体装置の製造方法。

[請求項20] 前記第2の表面は、前記第2の溝に設けられた突起をさらに有する

、請求項 1 1 ないし請求項 1 9 のいずれか一項に記載の半導体装置の製造方法。

[請求項21] 前記第 2 の半導体ウェハは、前記第 2 の表面に設けられた第 3 の膜をさらに具備する、請求項 1 1 ないし請求項 2 0 のいずれか一項に記載の半導体装置の製造方法。

[請求項22] 前記第 3 の膜は、炭化ケイ素または炭窒化ケイ素を含有する、請求項 2 1 に記載の半導体装置の製造方法。

[請求項23] 前記第 2 の半導体ウェハは、シリコンウェハ、炭化ケイ素ウェハ、ガラスウェハ、石英ウェハ、サファイアウェハ、または化合物半導体ウェハである、請求項 1 1 ないし請求項 2 2 のいずれか一項に記載の半導体装置の製造方法。