

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年10月30日(30.10.2025)



(10) 国際公開番号

WO 2025/224934 A1

- (51) 国際特許分類:
H05K 3/00 (2006.01) *H05K 3/46* (2006.01)
H05K 1/18 (2006.01)
- (21) 国際出願番号: PCT/JP2024/016283
- (22) 国際出願日: 2024年4月25日(25.04.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: フューチャーテクノロジー株式会社(FUTURE TECHNOLOGY CO., LTD.) [JP/JP]; 〒1710014 東京都豊島区池袋2-60-11ともビル4F (JP).
- (72) 発明者: 林 浩司(HAYASHI, Koji); 〒1710014 東京都豊島区池袋2-60-11ともビル4F フューチャーテクノロジー株式会社内 (JP).
- (74) 代理人: 村松 義人(MURAMATSU, Yoshihito); 〒1050003 東京都港区西新橋二丁目8番

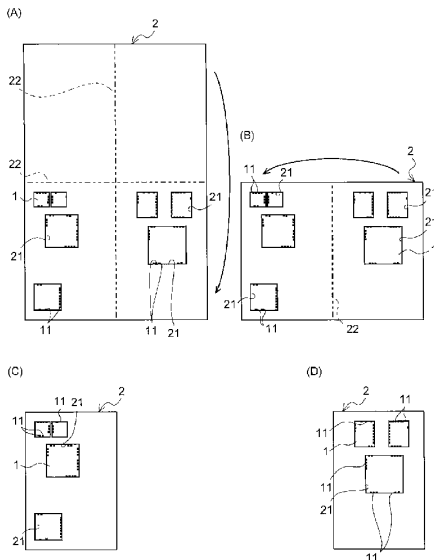
11号 第7東洋海事ビル2階 村松国際特許事務所 (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,

(54) Title: METHOD FOR MANUFACTURING MULTILAYER SUBSTRATE

(54) 発明の名称: 多層基板の製造方法

[図6]



(57) Abstract: The present invention provides multilayer substrate manufacturing technology that makes it possible to manufacture a multilayer substrate at low cost. First, a cover sheet (2) is superimposed on base material sheet (1) that is identical in shape and size. Wiring (11) is provided to one surface of the base material sheet (1). A hole (21) is opened at a position as which an electronic component will be attached to the base material sheet (1) after the cover sheet (2). Thereafter, the base material sheet (1) and the cover sheet (2) that have been superimposed are folded such that the hole (21) is exposed to the outside. The electronic component is inserted into the hole (21) and is attached in a state of electrical connection with the wiring (11) of the base material sheet (1).

WO 2025/224934 A1

[続葉有]

IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：低コストで多層基板を製造可能な多層基板の製造技術を提供する。まず、同一形状で同じ大きさの基材シート(1)にカバーシート(2)を重ね合わせる。基材シート(1)の一方の面には配線(11)が設けられている。カバーシート(2)の後に基材シート(1)に電子部品が取付けられる位置には孔(21)が開けられている。その後、重ね合わせられた基材シート(1)とカバーシート(2)を、孔(21)が外部に露出するように折り畳む。孔(21)に電子部品を挿入し、電子部品を基材シート(1)の配線(11)に導通させた状態で取付ける。