

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年4月24日(24.04.2014)



(10) 国際公開番号
WO 2014/061425 A1

- (51) 国際特許分類:
H01L 21/8247 (2006.01) H01L 27/11 (2006.01)
G11C 16/04 (2006.01) H01L 27/115 (2006.01)
H01L 21/336 (2006.01) H01L 29/788 (2006.01)
H01L 21/8244 (2006.01) H01L 29/792 (2006.01)
- (21) 国際出願番号: PCT/JP2013/076284
- (22) 国際出願日: 2013年9月27日(27.09.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-231439 2012年10月19日(19.10.2012) JP
- (71) 出願人: 株式会社フローディア(FLOADIA CORPORATION) [JP/JP]; 〒1870031 東京都小平市小川東町1丁目29番9号 Tokyo (JP).
- (72) 発明者: 谷口 泰弘(TANIGUCHI Yasuhiro); 〒1870031 東京都小平市小川東町1丁目29番9号 株式会社フローディア内 Tokyo (JP). 葛西秀男(KASAI Hideo); 〒1870031 東京都小平市小川東町1丁目29番9号 株式会社フローディア内 Tokyo (JP). 品川 裕(SHINAGAWA Yutaka); 〒1870031 東京都小平市小川東町1丁目29番9号 株式会社フローディア内 Tokyo (JP). 奥山幸祐(OKUYAMA Kosuke); 〒1870031 東京都小平市

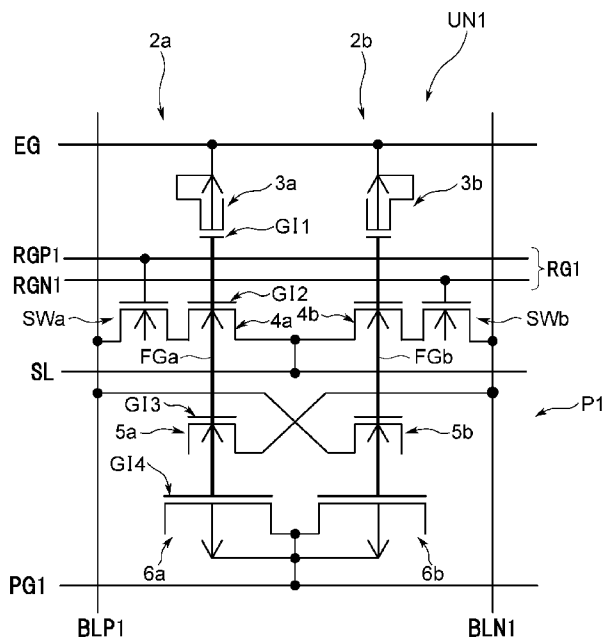
小川東町1丁目29番9号 株式会社フローディア内 Tokyo (JP).

- (74) 代理人: 吉田 正義(YOSHIDA Tadanori); 〒1600023 東京都新宿区西新宿六丁目15番1号 ラ・トゥール新宿304号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 不揮発性半導体記憶装置



(57) Abstract: Provided is a non-volatile semiconductor storage device that can surely prevent malfunction of read transistors without an increase in the number of bit lines. In a non-volatile semiconductor storage device (1), a second bit line (BLN1) that is connected to a program transistor (5a) of a first cell (2a) so as to serve for data writing is caused to double as a bit line for reading in another second cell (2b) by switching switch transistors (SWa, SWb), and program transistors (5a, 5b) and erase transistors (3a, 3b) that serve as charge transfer paths at the time of writing data and at the time of deletion of data are provided. This configuration makes it possible to surely prevent malfunction of read transistors (4a, 4b) that occurs when the read transistors are used for writing or deletion of data, without increasing the number of bit lines.

(57) 要約: ビット線本数を増やすことなく、リードトランジスタの誤作動を確実に防止し得る不揮発性半導体記憶装置を提案する。不揮発性半導体記憶装置(1)では、スイッチトランジスタ(SWa,SWb)の切り替えによって、第1セル(2a)のプログラムトランジスタ(5a)に接続されてデータ書き込み用となる第2ビット線(BLN1)が、他方の第2セル(2b)にて読み出し用のビット線を兼ねつつ、データの書き込み時および消去時に電荷移動経路となるプログラムトランジスタ

(5a,5b)およびイレーストランジスタ(3a,3b)を設けたことにより、ビット線本数を増やすことなく、データ書き込みや消去に用いられることにより生じてしまうリードトランジスタ(4a,4b)の誤作動を確実に防止し得る。

WO 2014/061425 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))