

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月14日(14.05.2020)



(10) 国際公開番号

WO 2020/095361 A1

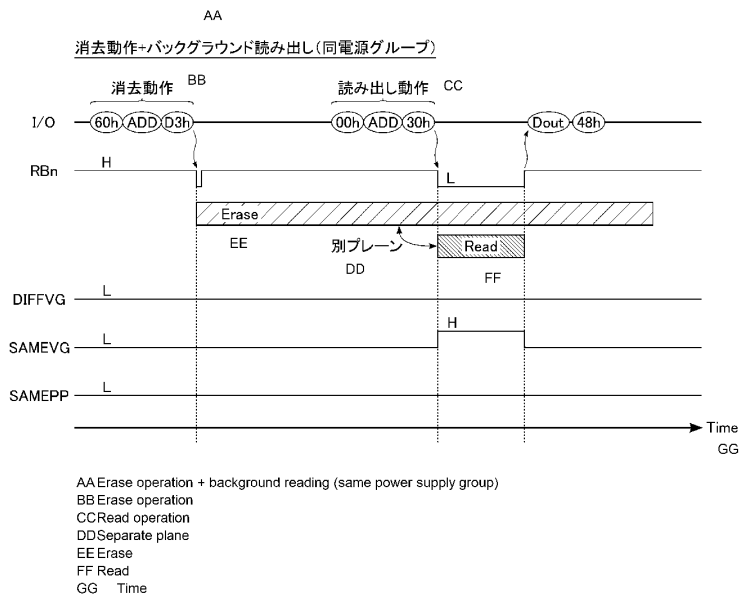
- (51) 国際特許分類:
G11C 16/16 (2006.01) G11C 16/06 (2006.01)
G11C 16/04 (2006.01)
- (21) 国際出願番号: PCT/JP2018/041195
- (22) 国際出願日: 2018年11月6日(06.11.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: キオクシア株式会社 (KIOXIA CORPORATION) [JP/JP]; 〒1080023 東京都港区芝浦三丁目1番21号 Tokyo (JP).
- (72) 発明者: 菅原 昭雄 (SUGAHARA, Akio); 〒1050023 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内 Tokyo (JP). 今本 哲

広 (IMAMOTO, Akihiro); 〒1050023 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内 Tokyo (JP). 渡邊 稔史 (WATANABE, Toshifumi); 〒2478585 神奈川県横浜市栄区笠間2-5-1 STEビル 東芝メモリシステムズ株式会社内 Kanagawa (JP). 梶 真己 (KAKOI, Mami); 〒1050023 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内 Tokyo (JP). 増田 考平 (MASUDA, Kohei); 〒1050023 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内 Tokyo (JP). 吉原 正浩 (YOSHIHARA, Masahiro); 〒1050023 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内 Tokyo (JP). 安彦 尚文 (ABIKO, Naofumi);

(54) Title: SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 半導体記憶装置

[図16]



(57) **Abstract:** A semiconductor storage device according to an embodiment comprises a plurality of planes and a sequencer. Each of the plurality of planes includes a plurality of blocks which are sets of memory cells. The sequencer executes a first operation and a second operation shorter than the first operation. The sequencer, upon receiving a first command set directing execution of the first operation, executes the first operation. The sequencer, upon receiving a second command set directing execution of the second operation when the first operation is being executed, suspends the

[続葉有]

〒1050023 東京都港区芝浦一丁目1番1号 東
芝メモリ株式会社内 Tokyo (JP).

(74) 代理人: 蔵田 昌俊, 外 (KURATA, Masatoshi et al.); 〒1050014 東京都港区芝三丁目2番3号 セレスティン芝三井ビルディング11階 鈴榮特許総合事務所内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

first operation and executes the second operation, or executes the second operation in parallel with the first operation, on the basis of the address of a block for the first operation and the address of a block for the second operation.

(57) 要約: 実施形態の半導体記憶装置は、複数のプレーンと、シーケンサを含む。複数のプレーンの各々は、メモリセルの集合であるブロックを複数有する。シーケンサは、第1動作と、第1動作よりも短い第2動作とを実行する。シーケンサは、第1動作の実行を指示する第1コマンドセットを受信すると前記第1動作を実行する。シーケンサは、第1動作を実行している間に第2動作の実行を指示する第2コマンドセットを受信すると、第1動作の対象であるブロックのアドレスと第2動作の対象であるブロックのアドレスとに基づいて、第1動作をサスペンドして第2動作を実行する、又は第1動作と並行して第2動作を実行する。