

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 9 月 26 日(26.09.2013)

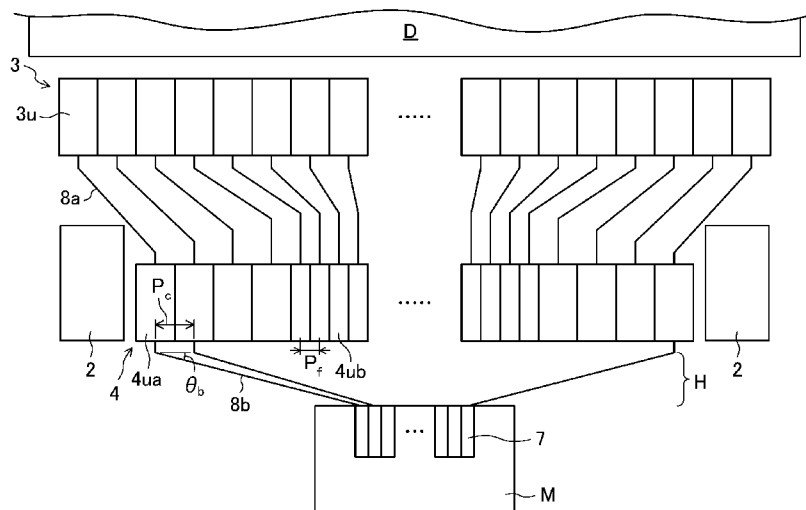


(10) 国際公開番号
WO 2013/140760 A1

- (51) 国際特許分類:
G09F 9/30 (2006.01) *G02F 1/1345* (2006.01)
- (21) 国際出願番号: PCT/JP2013/001696
- (22) 国際出願日: 2013 年 3 月 14 日(14.03.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-063773 2012 年 3 月 21 日(21.03.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 山口 尚宏(YAMAGUCHI, Takahiro). 古田 成(FURUTA, Shige). 横山 真(YOKOYAMA, Makoto). 西 修司(NISHI, Shuji). 藤川 陽介(FUJIKAWA, Yohsuke).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル 5 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: ACTIVE MATRIX SUBSTRATE AND DISPLAY PANEL PROVIDED WITH SAME

(54) 発明の名称: アクティブマトリクス基板及びそれを備えた表示パネル



(57) Abstract: Within a frame region running along a terminal region defined towards the end of a substrate in a frame region defined around a rectangular display region (D), a peripheral circuit unit (4) is provided between the display region (D) and a mounting region (M) defined in a part of the terminal region, and multiple monolithically provided unit circuit units (4ua, 4ub) are arranged in the peripheral circuit part (4) in a single line along one edge of the display region (D), the pitch at which the unit circuit units (4ua, 4ub) are arranged increasing from the inside to the outside.

(57) 要約: 矩形状の表示領域 (D) の周りに規定された額縁領域のうち、基板端側に規定された端子領域に沿う額縁領域において、表示領域 (D) と端子領域の一部に規定された実装領域 (M) との間に周辺回路部 (4) が設けられ、周辺回路部 (4) には、モノリシックに設けられた複数の単位回路部 (4ua、4ub) が表示領域 (D) の一辺に沿って一列に配列され、複数の単位回路部 (4ua、4ub) の配列ピッチが内側よりも外側で広がっている。



WO 2013/140760 A1