

晶圆级芯片制造方法

技术领域

本发明涉及半导体器件封装领域，尤其涉及一种晶圆级芯片制造方法。

背景技术

系统级封装 Sip(System in Package)能够将多个不同功能的有源元件，以及无源元件、微机电系统(MEMS)、光学元件等其他元件，组合到一个单元中，形成一个可提供多种功能的系统或子系统，允许异质 IC 集成。有效解决了 SOC(系统级芯片)不能集成模拟、射频和数字功能。系统级封装 SiP 集成相对简单，设计周期和面市周期更短，成本较低，可以实现更复杂的系统。

现有技术中，芯片封装时，先将芯片键合在晶圆的一面，先不与晶圆电连接，再做塑封工艺，将芯片密封固定，然后在晶圆的另一面形成连通芯片的通孔(通孔中形成有导电结构)，将芯片的电信号通过导电结构引出。晶圆经塑封工艺后翘曲度大，光刻时线宽难以做小，还会出现机台无法把持晶圆的问题。因此，如何提高系统级封装集成度，实现更好的线宽和更高的良率，是目前研究的课题。

发明内容

为了解决上述问题，本发明的目的在于提供一种晶圆级芯片制造方法包括：

提供第一晶圆，所述第一晶圆包括至少两个阵列排列的相同的第一裸芯片，裸芯片表面具有 I/O 金属焊垫；

在第一晶圆上形成第一键合层；

提供第二晶圆和至少四个第二芯片，所述第二芯片具有器件层与器件层相连的电极层；

将第二芯片键合在第二晶圆上，至少两个第二芯片的位置和第一裸芯片的位置对应，第二芯片的电极层背离第二晶圆；

在键合有第二芯片的第二晶圆上继续形成第一介电层；

刻蚀第一介电层形成通孔，并在通孔中沉积导电材料，形成与第二芯片的电极互连的第一垂直导电插塞；

在第一介电层上形成与第一垂直导电插塞互连的水平导电结构；

在第一介电层和水平导电互连结构上继续形成第二介电层，形成第二重构晶圆；

将第二重构晶圆和第一晶圆键合，所述第二重构晶圆的第二介电层和第一晶圆

的第一键合层相对，且至少每两个第二芯片和第一裸芯片对应；

去除第二晶圆；

刻蚀第一介电层和第二介电层，形成暴露水平导电结构和 I/O 金属焊垫的通孔，在通孔中形成导电材料，形成第二垂直导电插塞。

本发明通过重构第二晶圆，并且通过第二晶圆和第一晶圆的互连，实现了不同半导体制程下的器件的互连，减小了芯片面积，增加了器件的可靠性。

附图说明

为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本发明一实施例的晶圆级芯片制造方法的制造方法的流程示意图；

图 2~图 6 为本发明一实施例的晶圆级芯片制造方法的剖面示意图。

具体实施方式

下面将更详细地描述本发明的优选实施方式。虽然以下描述了本发明的优选实施方式，然而应该理解，可以以各种形式实现本发明而不应被这里阐述的实施方式所限制。

在本发明中，在未作相反说明的情况下，使用的方位词如“上、下”通常是指装置在正常使用状态下的上和下，“内、外”是指相对于装置轮廓而言的。此外，术语“第一、第二、第三”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一、第二、第三”的特征可以明示或者隐含地包括一个或者更多个该特征。在本发明的描述中，“多个”的含义是两个或两个以上，除非另有明确具体的限定。本发明中为电学器件，因此连接、互连均表示导电互连。由于附图是对同一装置的描述，因此图中相同标号表示同一部件。

本发明一实施例提供了一种晶圆级芯片制造方法，一种晶圆级芯片制造方法，包括：

提供第一晶圆，所述第一晶圆包括至少两个阵列排列的相同的第一裸芯片，裸芯片表面具有 I/O 金属焊垫；

在第一晶圆上形成第一键合层；

提供第二晶圆和至少四个第二芯片，所述第二芯片具有器件层与器件层相连的电极层；

将第二芯片键合在第二晶圆上，至少两个第二芯片的位置和第一裸芯片的位置对应，第二芯片的电极层背离第二晶圆；

在键合有第二芯片的第二晶圆上继续形成第一介电层；

刻蚀第一介电层形成通孔，并在通孔中沉积导电材料，形成与第二芯片的电极互连的第一垂直导电插塞；

在第一介电层上形成与第一垂直导电插塞互连的水平导电结构；

在第一介电层和水平导电互连结构上继续形成第二介电层，形成第二重构晶圆；

将第二晶圆和第一晶圆键合，所述第二重构晶圆的第二介电层和第一晶圆的第一键合层相对，且至少每两个第二芯片和第一裸芯片对应；

去除第二晶圆；

刻蚀第一介电层和第二介电层，形成暴露水平导电结构和 I/O 金属焊垫的通孔，在通孔中形成导电材料，形成第二垂直导电插塞。

在一实施例中，所述第二介电层的材料与第一键合层材料相同，在将第一晶圆和第二晶圆键合步骤中，所述第一键合层和第二键合层贴合。

在一实施例中，还包括在第二介电层上继续形成第二键合层。

在一实施例中，所述第一晶圆和第二晶圆的相同，在键合过程中，边缘重合。

在一实施例中，再取出第二晶圆后还包括去除第二芯片和第二晶圆之间的键合材料。

在一实施例中，所述第一介质层和第二介质层的材料不同。

在一实施例中，刻蚀第一介电层和第二介电层形成通孔步骤包括：

刻蚀第二介电层形成暴露水平导电结构边缘的第一子通孔；

继续刻蚀形成与第一子通孔连通的第二子通孔，所述第二子通孔停在 I/O 金属焊垫表面，所述第二子通孔的横截面积大于暴露的水平导电结构的面积。

在一实施例中，所述刻蚀第一介电层和第二介电层形成通孔步骤需要利用光学对准。

在一实施例中，所述第一介质层为二氧化硅，所述第二介质层为氮化硅。

在一实施例中，所述第二垂直导电插塞位于第二芯片的外围区域。

在一实施例中，在刻蚀第一介电层和第二介电层形成通孔步骤前还包括：

提供第三晶圆衬底和第三芯片，所述第三芯片具有器件层与器件层相连的电极层；

将第三芯片键合在第三晶圆衬底上，第三芯片的位置和第一裸芯片、第二芯片的位置对应，第三芯片的电极层背离第三晶圆；

在键合有第三芯片的第三晶圆衬底上继续形成第一介电层；

刻蚀第一介电层形成通孔，并在通孔中沉积导电材料，形成与第三芯片的电极互连的第一垂直导电插塞；

在第一介电层上形成与第一垂直导电插塞互连的水平导电结构；

在第一介电层和水平导电互连结构上继续形成第二介电层，形成第三晶圆；

在第二晶圆上形成第三键合层；

将第三晶圆和第二晶圆键合，所述第三晶圆的第二介电层和第一晶圆的第三键合层相对；

去除第三晶圆。

下面结合附图对实施例进行详细说明。图 1 为本发明一实施例的一种晶圆级芯片制造方法的流程图，请参考图 1，所述晶圆级芯片制造方法：

S10：提供第一晶圆，所述第一晶圆包括至少两个阵列排列的相同的第一裸芯片，裸芯片表面具有 I/O 金属焊垫。

具体的，在本实施例中，如图 2 所示，第一晶圆 100 包括半导体衬底 100，所述半导体衬底为硅(Si)、锗(Ge)、锗硅 (SiGe)、碳硅(SiC)、碳锗硅(SiGeC)、砷化镓(InAs)、砷化镓(GaAs)、磷化铟(InP)或者其它 III/V 化合物半导体。在本实施例中，为硅衬底，在硅衬底上形成外延层 101，在外延层 101 和硅衬底 100 中形成有半导体器件构成的阵列排列的多个第一裸芯片 102，例如第一裸芯片 102 可以是 MOS 晶体管构成的逻辑电路或者 MEMS、传感器等半导体器件。所述外延层 101 上还形成有绝缘层 103，所述绝缘层的材料包括二氧化硅和氮化硅等，绝缘层覆盖半导体器件，在绝缘层上具有和半导体器件互连的金属焊点 104。例如在本实施例中，所述 I/O 金属焊点通过接触孔 105 与半导体器件互连。

S20：在第一晶圆上形成第一键合层。

具体的，所述第一键合层可以为二氧化硅。在加温后会呈热熔态。

S30：提供第二晶圆和至少四个第二芯片，所述第二芯片具有器件层与器件层相连的电极层。

具体的，第二晶圆可以为硅(Si)、锗(Ge)、锗硅 (SiGe)、碳硅(SiC)、碳锗硅(SiGeC)、砷化铟(InAs)、砷化镓(GaAs)、磷化铟(InP)或者其它 III/V 化合物半导体晶圆。在本实施例中，为硅晶圆。第二芯片可以为 MOS 晶体管构成的逻辑电路或者 MEMS、传感器等半导体器件。在本实施例中，优选的是与第一裸芯片不同半导体工艺制程形成的器件，从而可以通过晶圆封装的方式，解决不同工艺制程的芯片无法在同样产线形成的问题，以及将不同制程芯片封装过程中造成的体积增大的问题。

S40：将第二芯片键合在第二晶圆上，至少两个第二芯片的位置和第一裸芯片的位置对应，第二芯片的电极层背离第二晶圆。

如图 3 所示，具体的可以在第二晶圆 200 上形成第二键合层，所述第二键合层可以为热解膜或光解膜。所述热解膜在高于设定温度时，失去粘性。不同的热解膜失去粘性的温度不一致，如有 70 度至 80 度失效，200 度左右失效，还有 400 度以上温度失效。所述光解膜在紫外光照射时，失去粘性。接着将第二芯片 300 键合在第二晶圆 200 上，需要说明的是由于第二晶圆 200 是作为第二芯片 210 和第一裸芯片键合的载片，因此在键合第二芯片 210 时，需要匹配第一晶圆上第一裸芯片的位置。具体将第二芯片 210 置于第二键合层上键合，电极层 201 位于表面。

S50：在键合有第二芯片 210 的第二晶圆 200 上继续形成第一介电层 220。

具体的，继续参考图 3，在本实施例中，键合第二芯片 210 后，向第二晶圆 200 填充介质材料，形成第一介电层 220，第一介电层 220 作为第二芯片 210 的保护和支撑，另外用于后续的键合和互连。所述第一介电层 220 具体可以为二氧化硅层、氮化硅、环氧树脂、硅胶、聚酰亚胺、苯并环丁烯、氧化硅、磷硅玻璃，含氟玻璃中的一种或两种以上组合。

S60：刻蚀第一介电层 220 形成通孔，并在通孔中沉积导电材料，形成与第二芯片的电极 201 互连的第一垂直导电插塞 230。

具体的，参考图 4，对第一介电层进行可以刻蚀可以采用干法或湿法刻蚀，在需要与第一芯片连接配合工作的电极对应的第一介电层中刻蚀形成通孔。然后采用

化学气相沉积、物理气相沉积或者电镀的方式填充通孔。在本实施例中，填充的沉积的导电材料可以为以下金属材料：钼(Mo)、铝(Al)、铜(Cu)、钨(W)、钽(Ta)、铂(Pt)、钌(Ru)、铑(Rh)、铱(Ir)、铬(Cr)、钛(Ti)、金(Au)、锇(Os)、铼(Re)、或钯(Pd)中的一种或由上述金属形成的叠层制成。导电材料可以通过磁控溅射、蒸镀等物理气相沉积或者化学气相沉积方法形成。

S70：在第一介电层上形成与第一垂直导电插塞互连的水平导电结构。

继续参考图 3，具体的在第一介电层上形成与第一垂直导电插塞 230 互连的水平导电结构 240，可以采用化学气相沉积、物理气相沉积或者电镀的方式，沉积的导电材料可以为以下金属材料：钼(Mo)、铝(Al)、铜(Cu)、钨(W)、钽(Ta)、铂(Pt)、钌(Ru)、铑(Rh)、铱(Ir)、铬(Cr)、钛(Ti)、金(Au)、锇(Os)、铼(Re)、或钯(Pd)中的一种或由上述金属形成的叠层制成。导电材料可以通过磁控溅射、蒸镀等物理气相沉积或者化学气相沉积方法形成。

在本实施例中，所述水平导电结构 240 的一端延伸到第二芯片 210 外围，以用于后续和第一裸芯片的互通。

S80：在第一介电层 220 和水平导电互连结构 240 上继续形成第二介电层 260，形成第二重构晶圆。

参考图 4，具体的，在第一介电层 220 上填充第二介电层 250，从而用于层间支撑以及形成后续的键合和互连。所述第二介电层 250 具体可以为二氧化硅层、氮化硅、环氧树脂、硅胶、聚酰亚胺、苯并环丁烯、氧化硅、磷硅玻璃，含氟玻璃中的一种或两种以上组合。在本实施例中，优选的，第二介质层和第一介质层为不同的材质，例如第一介质层为二氧化硅层，第二介质层为氮化硅或者光刻胶材料，从而在后续的刻蚀形成通孔步骤中，可以分步执行，从而形成形态不同的通孔，放先后续的连接。

S90：参考图 5，将第二重构晶圆和第一晶圆键合，所述第二重构晶圆的第二介电层和第一晶圆的第二键合层相对，且至少每两个第二芯片和第一裸芯片对应。

具体的，由于本发明是一种新的芯片晶圆级制造方法，因此，在本实施例中，所述第一晶圆和第二晶圆的尺寸相同。在键合第一晶圆和第二重构晶圆的时候，需要第一晶圆和第二晶圆边缘重合，然后将需要互连的第一裸芯片和第二芯片需要利用光学对准。在垂直于晶圆表面方向，第一晶圆的 IO 金属焊电和水平导电结构交

叠或部分交叠，例如在图 6 所示，其中一个水平导电结构 2011 在垂直第一晶圆方向投影完全覆盖 IO 金属焊垫，另一个水平导电结构 2012 在垂直第一晶圆方向投影部分覆盖 IO 金属焊垫。

具体的，在第二重构晶圆上形成第三键合层，所述第三键合层可以与第一键合层材料相同。具体的，可以将第一晶圆第一键合层和第二重构晶圆的第三键合层贴合，然后进行高温加热，使第一键合层和第三键合层呈熔融态，从而键合。

S100：去除第二晶圆。

参考图 6，具体的，在本实施例中，第二键合层采用光解膜或热解膜，因而在去除第二晶圆时，在高温下，失去粘性。不同的热解膜失去粘性的温度不一致，如有 70 度至 80 度失效，200 度左右失效，还有 400 度以上温度失效。所述光解膜在紫外光照射时，失去粘性。

S110：刻蚀第一介电层和第二介电层，形成暴露水平导电结构和 I/O 金属焊垫的通孔，在通孔中形成导电材料，形成第二垂直导电插塞。

继续参考图 6，具体的，在本实施中，利用光学对准，将刻蚀第一介电层，形成第一子通孔，露出水平导电结构 2011，其中第一子通孔的底面完全投影在水平导电结构 2011 上，然后继续刻蚀第二介电层，形成第二子通孔，第二子通孔露出 IO 金属焊垫，其中第二子通孔的底面完全投影在 IO 金属焊垫上，换言之第一子通孔和第二子通孔为径向尺寸相同的完全穿通的结构。在另一实施例中，第一子通孔和第二子通孔的径向尺寸也可以不同。

在另一个水平导电 2012 区域，利用光学对准，将刻蚀第一介电层，形成第一子通孔，露出水平导电结构 2012，其中第一子通孔的底面部分投影在水平导电结构 2012 上，然后继续刻蚀第二介电层，形成第二子通孔，第二子通孔露出 IO 金属焊垫，其中第二子通孔的底面完全投影在 IO 金属焊垫上，换言之第一子通孔和第二子通孔为径向尺寸相同的完全穿通的结构。在另一实施例中，第一子通孔和第二子通孔的径向尺寸不同，第一子通孔刻蚀到第一介电层的位置会继续向下可是第二介电层，第一子通孔刻蚀到水平导电结构的位置会停止在水平导电结构表面，从而在不损伤水平导电结构的同时，实现互连。

然后，可以采用化学气相沉积、物理气相沉积或者电镀的方式向第一子接触孔和第二子接触孔中沉积的导电材料可以为以下金属材料：钼(Mo)、铝(Al)、铜

(Cu)、钨(W)、钽(Ta)、铂(Pt)、钌(Ru)、铑(Rh)、铱(Ir)、铬(Cr)、钛(Ti)、金(Au)、锇(Os)、铼(Re)、或钯(Pd)中的一种或由上述金属形成的叠层制成。导电材料可以通过磁控溅射、蒸镀等物理气相沉积或者化学气相沉积方法形成。

在一实施例中，在刻蚀第一介电层和第二介电层形成通孔步骤前还包括：

提供第三晶圆衬底和第三芯片，所述第三芯片具有器件层与器件层相连的电极层；

将第三芯片键合在第三晶圆衬底上，第三芯片的位置和第一裸芯片、第二芯片的位置对应，第三芯片的电极层背离第三晶圆；

在键合有第三芯片的第三晶圆衬底上继续形成第一介电层；

刻蚀第一介电层形成通孔，并在通孔中沉积导电材料，形成与第三芯片的电极互连的第一垂直导电插塞；

在第一介电层上形成与第一垂直导电插塞互连的水平导电结构；

在第一介电层和水平导电互连结构上继续形成第二介电层，形成第三晶圆；

在第二晶圆上形成第三键合层；

将第三晶圆和第二晶圆键合，所述第三晶圆的第二介电层和第一晶圆的第三键合层相对；

去除第三晶圆。

在一实施例中，还进一步包括对第一晶圆和第二晶圆进行切割形成若干个器件，每个器件包括至少一个第一裸芯片和至少两个第二芯片。

以上所述仅为本申请的实施例，并非因此限制本申请的专利范围，凡是利用本申请说明书及附图内容所作的等效结构或等效流程变换，例如各实施例之间技术特征的相互结合，或直接或间接运用在其他相关的技术领域，均同理包括在本申请的专利保护范围内。

权 利 要 求 书

1. 一种晶圆级芯片制造方法，其特征在于，包括：
提供第一晶圆，所述第一晶圆包括至少两个阵列排列的相同的第一裸芯片，裸芯片表面具有 I/O 金属焊垫；
在第一晶圆上形成第一键合层；
提供第二晶圆和至少四个第二芯片，所述第二芯片具有器件层与器件层相连的电极层；
将第二芯片键合在第二晶圆上，至少两个第二芯片的位置和第一裸芯片的位置对应，第二芯片的电极层背离第二晶圆；
在键合有第二芯片的第二晶圆上继续形成第一介电层；
刻蚀第一介电层形成通孔，并在通孔中沉积导电材料，形成与第二芯片的电极互连的第一垂直导电插塞；
在第一介电层上形成与第一垂直导电插塞互连的水平导电结构；
在第一介电层和水平导电互连结构上继续形成第二介电层，形成第二重构晶圆；
将第二重构晶圆和第一晶圆键合，所述第二重构晶圆的第二介电层和第一晶圆的第二键合层相对，且至少每两个第二芯片和第一裸芯片对应；
去除第二晶圆；
刻蚀第一介电层和第二介电层，形成暴露水平导电结构和 I/O 金属焊垫的通孔，在通孔中形成导电材料，形成第二垂直导电插塞。
2. 如权利要求 1 所述的晶圆级芯片制造方法，其特征在于，所述第二介电层的材料与第一键合层材料相同，在将第二重构晶圆和第一晶圆键合步骤中，所述第一键合层和第二键合层贴合。
3. 如权利要求 1 所述的晶圆级芯片制造方法，其特征在于，还包括在第二介电层上继续形成第二键合层。
4. 如权利要求 2 所述的晶圆级芯片制造方法，其特征在于，所述第一晶圆和第二晶圆的尺寸相同，在键合过程中，边缘重合。
5. 如权利要求 3 所述的晶圆级芯片制造方法，其特征在于，再取出第二晶圆后还包括去除第二芯片和第二晶圆之间的键合材料。
6. 如权利要求 4 所述的晶圆级芯片制造方法，其特征在于，所述第一介电层和第二介电层的材料不同。
7. 如权利要求 5 所述的晶圆级芯片制造方法，其特征在于，刻蚀第一介电层和第二介电层形成通孔步骤包括：
刻蚀第二介电层形成暴露水平导电结构边缘的第一子通孔；
继续刻蚀形成与第一子通孔连通的第二子通孔，所述第二子通孔停在 I/O 金属焊垫表面，所述第二子通孔的横截面积大于暴露的水平导电结构的面积。
8. 如权利要求 6 所述的晶圆级芯片制造方法，其特征在于，所述刻蚀第一介电层和第二介电层形成通孔步骤需要利用光学对准。

9. 如权利要求 7 所述的晶圆级芯片制造方法，其特征在于，所述第二垂直导电插塞位于第二芯片的外围区域。
10. 如权利要求 8 所述的晶圆级芯片制造方法，其特征在于，在刻蚀第一介电层和第二介电层形成通孔步骤前还包括：
- 提供第三晶圆衬底和第三芯片，所述第三芯片具有器件层与器件层相连的电极层；
- 将第三芯片键合在第三晶圆衬底上，第三芯片的位置和第一裸芯片、第二芯片的位置对应，第三芯片的电极层背离第三晶圆；
- 在键合有第三芯片的第三晶圆衬底上继续形成第一介电层；
- 刻蚀第一介电层形成通孔，并在通孔中沉积导电材料，形成与第三芯片的电极互连的第一垂直导电插塞；
- 在第一介电层上形成与第一垂直导电插塞互连的水平导电结构；
- 在第一介电层和水平导电互连结构上继续形成第二介电层，形成第三晶圆；
- 在第二晶圆上形成第三键合层；
- 将第三晶圆和第二晶圆键合，所述第三晶圆的第二介电层和第一晶圆的第三键合层相对；
- 去除第三晶圆。