

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年3月19日(19.03.2015)



(10) 国際公開番号
WO 2015/037416 A1

- (51) 国際特許分類:
G11C 16/06 (2006.01) *G11C 16/04* (2006.01)
G11C 16/02 (2006.01)
- (21) 国際出願番号: PCT/JP2014/072061
- (22) 国際出願日: 2014年8月22日(22.08.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
PCT/JP2013/074579 2013年9月11日(11.09.2013) JP
- (71) 出願人: 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 Tokyo (JP).
- (72) 発明者: 吉原 正浩 (YOSHIHARA Masahiro); 〒1058001 東京都港区芝浦一丁目1番1号 株式会社 東芝 知的財産室内 Tokyo (JP). 安彦 尚文 (ABIKO Naofumi); 〒1058001 東京都港区芝浦一丁目1番1号 株式会社 東芝 知的財産室内 Tokyo (JP).
- (74) 代理人: 勝沼 宏仁, 外 (KATSUNUMA Hirohito et al.); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

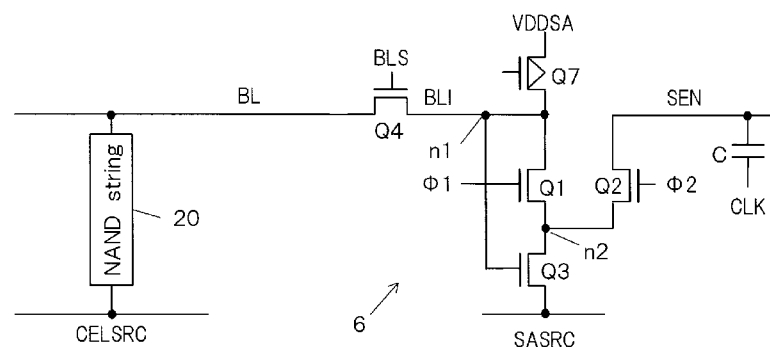
添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR STORAGE DEVICE AND MEMORY SYSTEM

(54) 発明の名称: 半導体記憶装置およびメモリシステム

【図3】



(57) Abstract: [Problem] To perform data readout at a low voltage without reducing reliability. [Solution] A sense amplifier is provided with a memory string that includes memory cells, a bit line electrically connected to one end of the memory string, and a sense amplifier which is electrically connected to the bit line and which performs sensing. The sense amplifier comprises: a first transistor for which one end is electrically connected to a first node upon an electrical current path of the bit line, and for which the other end is electrically connected to a second node; a second transistor which is electrically connected between the second node and a sense node; and a third transistor for which a gate is connected to the first node, and which is electrically connected between the second node and a voltage-adjustable third node.

(57) 要約: [課題] 低電圧で、信頼性を落とさずにデータ読み出しを行う。[解決手段] センスアンプは、メモリスセルを含むメモリストリングと、メモリストリングの一端と電気的に接続されたビット線と、ビット線と電気的に接続されたセンスするセンスアンプと、備える。センスアンプは、ビット線の電流経路上の第1ノードに一端が接続され、第2ノードと電気的に他端が接続された第1のトランジスタと、第2ノードとセンスノードとの間に電気的に接続された第2のトランジスタと、ゲートが第1ノードに接続され、第2ノードと電圧調整可能な第3ノードとの間に電気的に接続された第3のトランジスタとを有する。



WO 2015/037416 A1