

明 細 書

発明の名称：半導体記憶装置、および半導体記憶装置の製造方法

技術分野

[0001] 本発明の実施形態は、半導体記憶装置、および半導体記憶装置の製造方法に関する。

背景技術

[0002] ワード線と絶縁層とが交互に積層された積層体と、積層体を貫通したメモリピラーと、メモリピラーに接続されたソース線とを有した半導体記憶装置が知られている。

先行技術文献

特許文献

[0003] 特許文献1：日本国特開2018-142654号公報

発明の概要

発明が解決しようとする課題

[0004] 本発明の実施形態は、製造性の向上を図ることができる半導体記憶装置、および半導体記憶装置の製造方法を提供する。

課題を解決するための手段

[0005] 実施形態の半導体記憶装置は、基板と、トランジスタと、積層体と、柱状体と、ソース線とを有する。前記トランジスタは、前記基板上に設けられている。前記積層体は、前記トランジスタに対して前記基板とは反対側に配置されている。前記積層体は、複数のゲート電極層と複数の絶縁層とが第1方向に1層ずつ交互に積層されている。前記柱状体は、前記積層体内を前記第1方向に延びている。前記柱状体は、絶縁コアと、前記複数のゲート電極層と前記絶縁コアとの間に配置されたチャンネル層と、前記複数のゲート電極層と前記チャンネル層との間に配置されたメモリ膜とを含む。前記ソース線は、前記積層体と前記基板との間に配置され、前記第1方向とは交差した第2方向に少なくとも延びている。前記柱状体は、前記ソース線に接した第1端と

、前記第 1 方向で前記第 1 端とは反対側に位置した第 2 端とを有する。前記第 2 方向における前記第 1 端の幅は、前記第 2 方向における前記第 2 端の幅よりも大きい。

図面の簡単な説明

- [0006] [図1]第 1 実施形態の半導体記憶装置の構成の一部を示すブロック図。
- [図2]第 1 実施形態のメモリセルアレイの一部の等価回路を示す図。
- [図3]第 1 実施形態の半導体記憶装置の一部を示す断面図。
- [図4]図 3 に示された半導体記憶装置の F 4 線で囲まれた領域を示す断面図。
- [図5]図 4 に示された半導体記憶装置の F 5 – F 5 線に沿う断面図。
- [図6]図 4 に示された半導体記憶装置の F 6 線で囲まれた領域を示す断面図。
- [図7]図 3 に示された半導体記憶装置の F 7 – F 7 線に沿う断面図。
- [図8]図 7 に示された半導体記憶装置の F 8 線で囲まれた領域を示す断面図。
- [図9]第 1 実施形態の半導体記憶装置の製造方法の流れを示す図。
- [図10A]第 1 実施形態の半導体記憶装置の製造方法を説明するための断面図。
- [図10B]第 1 実施形態の半導体記憶装置の製造方法を説明するための断面図。
- [図10C]第 1 実施形態の半導体記憶装置の製造方法を説明するための断面図。
- [図10D]第 1 実施形態の半導体記憶装置の製造方法を説明するための断面図。
- [図10E]第 1 実施形態の半導体記憶装置の製造方法を説明するための断面図。
- [図10F]第 1 実施形態の半導体記憶装置の製造方法を説明するための断面図。
- [図10G]第 1 実施形態の半導体記憶装置の製造方法を説明するための断面図。
- [図10H]第 1 実施形態の半導体記憶装置の製造方法を説明するための断面図。
- [図10I]第 1 実施形態の半導体記憶装置の製造方法を説明するための断面図。
- [図10J]第 1 実施形態の半導体記憶装置の製造方法を説明するための断面図。
- [図10K]第 1 実施形態の半導体記憶装置の製造方法を説明するための断面図。
- [図10L]第 1 実施形態の半導体記憶装置の製造方法を説明するための断面図。
- [図10M]第 1 実施形態の半導体記憶装置の製造方法を説明するための断面図。
- [図10N]第 1 実施形態の半導体記憶装置の製造方法を説明するための断面図。
- [図10O]第 1 実施形態の半導体記憶装置の製造方法を説明するための断面図。

[図10P]第1実施形態の半導体記憶装置の製造方法を説明するための断面図。

[図11]第2実施形態の半導体記憶装置の一部を示す断面図。

[図12]第3実施形態の半導体記憶装置の一部を示す断面図。

[図13]第4実施形態の半導体記憶装置の一部を示す断面図。

[図14]第4実施形態の半導体記憶装置の製造方法の流れを示す図。

[図15]第5実施形態の半導体記憶装置の一部を示す断面図。

[図16]第6実施形態の半導体記憶装置の一部を模式的に示す平面図。

[図17]図16に示された半導体記憶装置のF17-F17線に沿う断面図。

発明を実施するための形態

[0007] 以下、実施形態の半導体記憶装置および半導体記憶装置の製造方法を、図面を参照して説明する。以下の説明では、同一または類似の機能を有する構成に同一の符号を付す。そして、それら構成の重複する説明は省略する場合がある。以下の説明において、区別のための数字または英字を末尾に伴う参照符号は、互いに区別されなくてもよい場合、末尾の数字または英字が省略される場合がある。

[0008] 「平行」、「直交」、または「同じ」とは、それぞれ「略平行」、「略直交」、または「略同じ」である場合を含み得る。「接続」とは、機械的な接続に限定されず、電気的な接続を含み得る。すなわち「接続」とは、接続対象である2つの要素が直接に接続される場合に限定されず、上記2つの要素が別の要素を間に介在させて接続される場合を含み得る。「環状」とは、円環状に限定されず、矩形状の環状や三角形の環状を含み得る。「隣り合う」とは、2つの要素が接する場合に限定されず、2つの要素が互いに離れた場合（例えば2つの要素の間に別の要素が介在する場合）を含み得る。

[0009] X方向、Y方向、およびZ方向について定義する。X方向は、後述するワード線WL（図3参照）が延びた方向である。Y方向は、X方向とは交差した（例えば直交した）方向である。Y方向は、後述するビット線BL（図7参照）が延びた方向である。Z方向は、X方向およびY方向とは交差した（例えば直交した）方向である。Z方向は、後述する半導体基板21の厚さ方

向である（図3参照）。以下の説明では、半導体基板21から見て積層体51が位置する側を「上方」、その反対側を「下方」と称する場合がある。また以下の説明では、Z方向の位置を「高さ」と称する場合がある。ただしこれら表現は、説明の便宜上のものであり、重力方向を規定するものではない。Z方向は、「第1方向」の一例である。X方向は、「第2方向」の一例である。Y方向は、「第3方向」の一例である。なお、いくつかの図面では、説明の便宜上、導電層61の数などが簡略化されている。

[0010] （第1実施形態）

＜1. 半導体記憶装置の構成＞

図1は、半導体記憶装置1の構成の一部を示すブロック図である。半導体記憶装置1は、例えば、不揮発性の半導体記憶装置であり、NAND型フラッシュメモリである。半導体記憶装置1は、例えば、外部のホスト装置と接続可能であり、ホスト装置の記憶空間として使用される。半導体記憶装置1は、例えば、メモリセルアレイ11、コマンドレジスタ12、アドレスレジスタ13、制御回路（シーケンサ）14、ドライバモジュール15、ロウデコーダモジュール16、およびセンスアンプモジュール17を含む。

[0011] メモリセルアレイ11は、複数のブロックBLK0～BLK(k-1)（kは1以上の整数）を含む。ブロックBLKは、データを不揮発に記憶する複数のメモリセルトランジスタの集合である。ブロックBLKは、データの消去単位として使用される。メモリセルアレイ11には、複数のビット線および複数のワード線が設けられている。各メモリセルトランジスタは、1本のビット線と、1本のワード線とに関連付けられる。

[0012] コマンドレジスタ12は、半導体記憶装置1がホスト装置から受信するコマンドCMDを保持する。アドレスレジスタ13は、半導体記憶装置1がホスト装置から受信するアドレス情報ADDを保持する。制御回路14は、半導体記憶装置1の各種動作を制御する回路である。例えば、制御回路14は、コマンドレジスタ12に保持されたコマンドCMDに基づき、データの書き込み動作、読み出し動作、または消去動作などを実行する。

[0013] ドライバモジュール 15 は、電圧生成回路を含み、半導体記憶装置 1 の各種動作で使用される電圧を生成する。ロウデコーダモジュール 16 は、選択されたワード線に対応する信号線に印加された電圧を、選択されたワード線に転送する。センスアンプモジュール 17 は、書き込み動作において、各ビット線に所望の電圧を印加する。センスアンプモジュール 17 は、読み出し動作において、各ビット線の電圧に基づいて各メモリセルトランジスタに記憶されたデータ値を判定し、判定結果を読み出しデータ DAT としてホスト装置に転送する。

[0014] <2. メモリセルアレイの電氣的構成>

次に、メモリセルアレイ 11 の電氣的構成について説明する。

図 2 は、メモリセルアレイ 11 の一部の等価回路を示す図である。図 2 は、メモリセルアレイ 11 に含まれる 1 つのブロック BLK を示す。ブロック BLK は、複数（例えば 4 つ）のストリングユニット SU0～SUQ（Q は 1 以上の整数）を含む。

[0015] 各ストリングユニット SU は、ビット線 BL0～BLm（m は 1 以上の整数）にそれぞれ関連付けられた複数の NAND スtring NS を含む。各 NAND スtring NS は、例えば、複数のメモリセルトランジスタ MT0～MTn（n は 1 以上の整数）、1 つ以上のドレイン側選択トランジスタ STD、および 1 つ以上のソース側選択トランジスタ STS を含む。

[0016] 各 NAND スtring NS において、メモリセルトランジスタ MT0～MTn は、直列接続されている。各メモリセルトランジスタ MT は、制御ゲートおよび電荷蓄積部を含む。メモリセルトランジスタ MT の制御ゲートは、ワード線 WL0～WLn のいずれかに接続されている。各メモリセルトランジスタ MT は、ワード線 WL を介して制御ゲートに印加された電圧に応じて電荷蓄積部に電荷が蓄積され、データ値を不揮発に保持する。

[0017] ドレイン側選択トランジスタ STD のドレインは、当該 NAND スtring NS に対応するビット線 BL に接続されている。ドレイン側選択トランジスタ STD のソースは、直列接続されたメモリセルトランジスタ MT0～M

T_nの一端に接続されている。ドレイン側選択トランジスタSTDの制御ゲートは、ドレイン側選択ゲート線SGD₀～SGD_Qのいずれかに接続されている。ドレイン側選択トランジスタSTDは、ドレイン側選択ゲート線SGDを介して、ロウデコーダモジュール16と電氣的に接続されている。ドレイン側選択トランジスタSTDは、対応するドレイン側選択ゲート線SGDに所定の電圧が印可された場合に、NANDストリングNSとビット線BLとを接続する。

[0018] ソース側選択トランジスタSTSのドレインは、直列接続されたメモリセルトランジスタMT₀～MT_nの他端に接続されている。ソース側選択トランジスタSTSのソースは、ソース線SLに接続されている。ソース側選択トランジスタSTSの制御ゲートは、ソース側選択ゲート線SGSに接続されている。ソース側選択トランジスタSTSは、ソース側選択ゲート線SGSに所定の電圧が印可された場合に、NANDストリングNSとソース線SLとを接続する。

[0019] 同一のブロックBLKにおいて、メモリセルトランジスタMT₀～MT_nの制御ゲートは、それぞれ対応するワード線WL₀～WL_nに共通接続されている。各ストリングユニットSU₀～SU_Q内のドレイン側選択トランジスタSTDの制御ゲートは、それぞれ対応する選択ゲート線SGD₀～SGD_Qに共通接続されている。ソース側選択トランジスタSTSの制御ゲートは、選択ゲート線SGSに共通接続されている。メモリセルアレイ11において、ビット線BLは、各ストリングユニットSUで同一のカラムアドレスが割り当てられたNANDストリングNSによって共有されている。

[0020] <3. 半導体記憶装置の物理的構成>

次に、半導体記憶装置1の物理的構成について説明する。

図3は、半導体記憶装置1の一部を示す断面図である。半導体記憶装置1は、例えば、第1チップ2と、第2チップ3と、電気接続部110とを有する。

[0021] <3. 1 第1チップ>

まず、第1チップ2について説明する。第1チップ2は、周辺回路22を含む回路チップである。第1チップ2は、例えば、半導体基板21、周辺回路22、および第1絶縁部23を含む。

[0022] 半導体基板21は、例えば、第1チップ2のベースとなる基板である。半導体基板21の少なくとも一部は、X方向およびY方向に沿う板状である。半導体基板21は、例えば、シリコンのような半導体材料により形成されている。半導体基板21は、「基板」の一例である。

[0023] 周辺回路22は、上述したメモリセルアレイ11を機能させるための回路である。周辺回路22は、上述したコマンドレジスタ12、アドレスレジスタ13、制御回路14、ドライバモジュール15、ロウデコーダモジュール16、およびセンスアンプモジュール17のうち1つ以上を含む。周辺回路22は、例えば、CMOS (Complementary Metal Oxide Semiconductor) 回路を含む。周辺回路22は、例えば、複数のトランジスタ31、複数のコンタクト32、複数の配線層33、および複数のビア34を含む。

[0024] 複数のトランジスタ31は、半導体基板21上に設けられている。トランジスタ31は、例えば、電界効果型のトランジスタである。本実施形態では、トランジスタ31は、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) である。トランジスタ31は、例えば、半導体基板21の上面部に形成されたソース領域およびドレイン領域を含む。

[0025] 複数のコンタクト32は、導電性を有するとともに、Z方向に延びている。各コンタクト32は、トランジスタ31のソース領域、ドレイン領域、またはゲート電極に接する。複数の配線層33は、複数のトランジスタ31の上方に配置されている。複数の配線層33は、複数の高さに分かれて配置されている。各配線層33は、X方向またはY方向に延びた複数の配線33aを含む。複数の配線33aは、コンタクト32に接続された配線333aを含む。各ビア34は、Z方向に延びており、異なる高さに配置された2つの配線33aを接続する。

[0026] 第1絶縁部23は、半導体基板21上に設けられた絶縁部である。第1絶

縁部 23 は、複数のトランジスタ 31、複数のコンタクト 32、複数の配線層 33、および複数のビア 34 を覆う。第 1 絶縁部 23 は、例えば、シリコン酸化物のような絶縁材料により形成される。第 1 絶縁部 23 は、例えば、TEOS（オルトケイ酸テトラエチル（ $\text{Si}(\text{OC}_2\text{H}_5)_4$ ））ガスを用いて成膜されたシリコン酸化物により形成される。第 1 絶縁部 23 は、第 2 チップ 3 と貼合される第 1 表面（第 1 貼合面）S1 を有する。本実施形態では、第 1 表面 S1 には、第 2 チップ 3 と貼合される金属製のパッド（例えば銅パッド）は存在しない。

[0027] <3. 2 第 2 チップ>

次に、第 2 チップ 3 について説明する。第 2 チップ 3 は、メモリセルアレイ 11 を含むアレイチップである。第 2 チップ 3 は、例えば、メモリセルアレイ 11、上層配線部 100、第 2 絶縁部 42、第 3 絶縁部 43、および複数のパッド 44 を有する。ここでは、第 2 絶縁部 42、第 3 絶縁部 43、および複数のパッド 44 について説明し、メモリセルアレイ 11 および上層配線部 100 については後述する。

[0028] 第 2 絶縁部 42 は、第 2 チップ 3 の外郭の一部を形成する絶縁部である。第 2 絶縁部 42 は、メモリセルアレイ 11 の下方を覆う。第 2 絶縁部 42 は、例えば、シリコン酸化物のような絶縁材料により形成される。第 2 絶縁部 42 は、例えば、TEOS ガスを用いて成膜されたシリコン酸化物により形成される。第 2 絶縁部 42 は、第 1 チップ 2 と貼合される第 2 表面（第 2 貼合面）S2 を有する。本実施形態では、第 2 表面 S2 には、第 1 チップ 2 と貼合される金属製のパッド（例えば銅パッド）は存在しない。

[0029] 本実施形態では、第 2 絶縁部 42 の第 2 表面 S2 は、第 1 チップ 2 の第 1 絶縁部 23 の第 1 表面 S1 と貼合される。例えば、第 1 絶縁部 23 の第 1 表面 S1 と第 2 絶縁部 42 の第 2 表面 S2 とが重ねられ、所定の温度に加熱されて加圧されることで、第 1 絶縁部 23 と第 2 絶縁部 42 とが一体となる。これにより、第 1 チップ 2 と第 2 チップ 3 とが貼合される。第 1 チップ 2 と第 2 チップ 3 とが貼合された後では、第 1 絶縁部 23 と第 2 絶縁部 42 との

境界は消失する。その結果、第1絶縁部23と第2絶縁部42とは、1つの絶縁部INとして存在する。

[0030] 第3絶縁部43は、第2チップ3の外郭の別の一部を形成する絶縁部である。第3絶縁部43は、メモリセルアレイ11の上方を覆う。第3絶縁部43は、例えば、シリコン酸化物のような絶縁材料により形成される。第3絶縁部43は、例えば、TEOSガスを用いて成膜されたシリコン酸化物により形成される。第3絶縁部43は、第2表面S2とは反対側に位置した第3表面S3を有する。

[0031] パッド44は、半導体記憶装置1の外部に露出された外部接続用のパッドである。複数のパッド44は、例えば、第3絶縁部43の第3表面S3に設けられている。パッド44は、例えば、信号入力用、信号出力用、信号入出力用、または電力供給用のパッドである。

[0032] <4. メモリセルアレイの物理的構成>

次に、メモリセルアレイ11の物理的構成について説明する。

図3に示すように、メモリセルアレイ11は、積層体51、絶縁層52、絶縁層53、ソース線SL、複数の上部コンタクト54、複数のメモリピラー55、複数のビット線BL、複数のコンタクト56、複数のコンタクト81、複数の分断部ST（図7参照）、および複数の上部分断部SHE（図7参照）を有する。

[0033] <4. 1 積層体>

まず、積層体51について説明する。積層体51は、複数のトランジスタ31に対して半導体基板21とは反対側に配置されている。

[0034] 図4は、図3に示されたメモリセルアレイ11のF4線で囲まれた領域を示す断面図である。積層体51は、複数の導電層61と、複数の絶縁層62とを含む。複数の導電層61および複数の絶縁層62は、Z方向に1層ずつ交互に積層されている。

[0035] 導電層61は、X方向およびY方向に沿う層状である。各導電層61は、例えば、タングステンのような導電材料で形成されている。導電層61は、

「ゲート電極層」の一例である。

[0036] 複数の導電層 6 1 のうち最も上方に配置された 1 つ以上（例えば複数）の導電層 6 1 は、ドレイン側選択ゲート線 S G D として機能する。ドレイン側選択ゲート線 S G D は、X 方向または Y 方向で並ぶ複数のメモリピラー 5 5 に対して共通に設けられている。ドレイン側選択ゲート線 S G D と各メモリピラー 5 5 のチャンネル層 7 2（後述）との交差部分は、上述したドレイン側選択トランジスタ S T D として機能する。

[0037] 複数の導電層 6 1 のうち下方に位置する 1 つ以上（例えば複数）の導電層 6 1 は、ソース側選択ゲート線 S G S として機能する。ソース側選択ゲート線 S G S は、X 方向または Y 方向で並ぶ複数のメモリピラー 5 5 に対して共通に設けられている。ソース側選択ゲート線 S G S と各メモリピラー 5 5 のチャンネル層 7 2 との交差部分は、上述したソース側選択トランジスタ S T S として機能する。

[0038] 複数の導電層 6 1 のうちドレイン側選択ゲート線 S G D またはソース側選択ゲート線 S G S として機能する導電層 6 1 に挟まれた残りの導電層 6 1 は、ワード線 W L として機能する。ワード線 W L は、X 方向および Y 方向で並ぶ複数のメモリピラー 5 5 に対して共通に設けられている。本実施形態では、ワード線 W L と各メモリピラー 5 5 のチャンネル層 7 2 との交差部分は、メモリセルトランジスタ M T として機能する。メモリセルトランジスタ M T については、詳しく後述する。

[0039] 絶縁層 6 2 は、Z 方向で隣り合う 2 つの導電層 6 1 の間に設けられ、当該 2 つの導電層 6 1 を絶縁する層間絶縁膜である。絶縁層 6 2 は、X 方向および Y 方向に沿う層状である。絶縁層 6 2 は、シリコン酸化物のような絶縁材料により形成されている。

[0040] <4. 2 絶縁層>

絶縁層 5 2 は、積層体 5 1 とソース線 S L との間に配置された絶縁層である。絶縁層 5 2 は、例えば、シリコン酸化物のような絶縁材料により形成される。絶縁層 5 2 は、例えば、T E O S ガスを用いて成膜されたシリコン酸

化物により形成される。例えば、絶縁層 5 2 の Z 方向の厚さは、積層体 5 1 に含まれる絶縁層 6 2 の Z 方向の厚さよりも大きいことが好ましい。

[0041] <4. 3 絶縁層>

絶縁層 5 3 は、積層体 5 1 の上方に配置された絶縁層である。絶縁層 5 3 は、例えば、シリコン酸化物のような絶縁材料により形成される。絶縁層 5 3 は、例えば、TEOS ガスを用いて成膜されたシリコン酸化物により形成される。例えば、絶縁層 5 3 の Z 方向の厚さは、積層体 5 1 に含まれる絶縁層 6 2 の Z 方向の厚さよりも大きい。

[0042] <4. 4 ソース線>

ソース線 S L は、積層体 5 1 と半導体基板 2 1 との間に配置されている。別の観点で述べると、ソース線 S L は、後述するメモリピラー 5 5 と半導体基板 2 1 との間に配置されている。ソース線 S L は、少なくとも第 2 方向に延びている。ソース線 S L は、導電材料で形成されている。例えば、ソース線 S L は、シリコンとタングステンとのうち少なくとも一方を含む。本実施形態では、詳しくは後述するように、ソース線 S L を形成する工程時には銅パッドおよび銅配線が存在しない。このため、銅材料の拡散を気にせずに、熱処理などを行うことができる。例えば、ソース線 S L がシリコンにより形成される場合、ソース線 S L に対して必要な温度で熱処理を行うことが可能であり、それによりソース線 S L のシリコンを結晶化させてポリシリコンを形成することができる。それにより、ソース線 S L の導電性およびメモリピラー 5 5 に対する接続性が高められている。

[0043] 本実施形態では、ソース線 S L は、X 方向および Y 方向に広がる板状の導電層である（図 3 および図 7 参照）。例えば、ソース線 S L は、X 方向に並ぶ複数のメモリピラー 5 5 および Y 方向に並ぶ複数のメモリピラー 5 5 の下方に亘るように広がる。本実施形態では、ソース線 S L は、複数のメモリピラー 5 5 の下端が接する上面（接合面）6 5 a を有する。上面 6 5 a は、X 方向および Y 方向に沿う。上面 6 5 a は、メモリピラー 5 5 の下方に位置する第 1 部分 6 5 a a と、メモリピラー 5 5 の下方を外れた第 2 部分 6 5 a b

とを有する。第2部分65abは、複数の導電層61の下方に位置する。第1部分65aaと、第2部分65abとは、同じ面上に位置する。

[0044] <4.5 上部コンタクト>

上部コンタクト（上部接続部）54は、積層体51に対してソース線SLとは反対側に配置されている。別の観点で述べると、上部コンタクト54は、メモリピラー55に対してソース線SLとは反対側に配置されている。上部コンタクト54は、メモリピラー55とビット線BLとを接続するための導電性の接続部である。

[0045] 上部コンタクト54は、下端54aと、上端54bとを有する。下端54aは、メモリピラー55に接する。上端54bは、Z方向において下端54aとは反対側に位置する。本実施形態では、上部コンタクト54は、逆円錐台形状である。上部コンタクト54の外径（すなわちX方向またはY方向の幅）は、下方に進むに従い小さくなる。下端54aのX方向の幅W54aは、上端54bのX方向の幅W54bよりも小さい。

[0046] <4.6 メモリピラー>

次に、メモリピラー55について説明する。メモリピラー55は、Z方向に延びており、積層体51および絶縁層52、53を貫通している。メモリピラー55は、例えば、円柱状または円錐台形状である。本出願で「円柱状」または「円錐台形状」とは、Z方向の途中部分に最大外径部を持つ場合も含み得る。メモリピラー55は、「柱状体」の一例である。

[0047] メモリピラー55は、下端55aと、上端55bとを有する。下端55aは、ソース線SLに接する。上端55bは、Z方向において下端55aとは反対側に位置する。上端55bは、上部コンタクト54に接する。本実施形態では、下端55aのX方向の幅W55aは、上端55bのX方向の幅W55bよりも大きい。下端55aは、「第1端」の一例である。上端55bは、「第2端」の一例である。ここで、下端55aの幅W55aは、例えば、メモリピラー55において、複数の導電層61のなかで最下層の導電層61に対向する部分55s1のX方向の幅であると定義されてよい。また、上端

55bの幅W55bは、例えば、メモリピラー55において、複数の導電層61のなかで最上層の導電層61に対向する部分55s2のX方向の幅であると定義されてよい。このため、「メモリピラー55の下端55aのX方向の幅W55aが、メモリピラー55の上端55bのX方向の幅W55bよりも大きい」とは、例えば、メモリピラー55の部分55s1のX方向の幅が、メモリピラー55の部分55s2のX方向の幅よりも大きいことを意味する。

[0048] 本実施形態では、メモリピラー55は、最大外径部（最大幅部）55mと、第1部分55n1と、第2部分55n2とを有する。最大外径部55mは、メモリピラー55のなかで外径（すなわちX方向またはY方向の幅）が最大である部分である。本実施形態では、最大外径部55mは、メモリピラー55のZ方向の中央よりも下方に位置する。

[0049] 第1部分55n1は、下端55aと最大外径部55mとの間に位置し、下方に進むに従いメモリピラー55の外径が小さくなる縮径部である。第2部分55n2は、上端55bと最大外径部55mとの間に位置し、下方に進むに従いメモリピラー55の外径が大きくなる拡径部である。本実施形態では、第2部分55n2のZ方向の長さL2は、第1部分55n1のZ方向の長さL1よりも大きい。

[0050] 図5は、図4に示されたメモリセルアレイ11のF5-F5線に沿う断面図である。メモリピラー55は、例えば、メモリ膜（多層膜）71、チャネル層72、絶縁コア73、第1キャップ部74（図4参照）、および第2キャップ部75（図4参照）を有する。

[0051] メモリ膜71は、チャネル層72の外周側に設けられている。メモリ膜71は、複数の導電層61とチャネル層72との間に位置する。メモリ膜71は、例えば、トンネル絶縁膜71i、チャージトラップ膜71j、およびブロック絶縁膜71kを含む。

[0052] トンネル絶縁膜71iは、チャネル層72とチャージトラップ膜71jとの間に設けられている。トンネル絶縁膜71iは、例えばチャネル層72の

外周面に沿う環状であり、チャネル層 7 2 に沿って Z 方向に延びている。例えば、トンネル絶縁膜 7 1 i は、メモリピラー 5 5 の Z 方向の全長に亘る。トンネル絶縁膜 7 1 i は、チャネル層 7 2 とチャージトラップ膜 7 1 j との間の電位障壁である。トンネル絶縁膜 7 1 i は、シリコン酸化物、または、シリコン酸化物とシリコン窒化物とを含む。

[0053] チャージトラップ膜 7 1 j は、トンネル絶縁膜 7 1 i の外周側に設けられている。チャージトラップ膜 7 1 j は、トンネル絶縁膜 7 1 i とブロック絶縁膜 7 1 k との間に位置する。チャージトラップ膜 7 1 j は、Z 方向に延びており、例えばメモリピラー 5 5 の Z 方向の全長に亘る。チャージトラップ膜 7 1 j は、多数の結晶欠陥（捕獲準位）を有し、結晶欠陥に電荷を捕獲可能な機能膜である。チャージトラップ膜 7 1 j は、例えばシリコン窒化物により形成されている。チャージトラップ膜 7 1 j のなかで各ワード線 WL と隣り合う部分は、電荷を蓄積することで情報を記憶可能な「電荷蓄積部」の一例である。

[0054] ブロック絶縁膜 7 1 k は、チャージトラップ膜 7 1 j の外周側に設けられている。ブロック絶縁膜 7 1 k は、複数の導電層 6 1 とチャージトラップ膜 7 1 j との間に位置する。ブロック絶縁膜 7 1 k は、バックトンネリングを抑制する絶縁膜である。バックトンネリングは、ワード線 WL からチャージトラップ膜 7 1 j へ電荷が注入される現象である。ブロック絶縁膜 7 1 k は、Z 方向に延びており、メモリピラー 5 5 の Z 方向の全長に亘る。ブロック絶縁膜 7 1 k は、例えば、シリコン酸化膜または金属酸化物膜などの複数の絶縁膜が積層された積層構造膜である。金属酸化物の一例は、アルミニウム酸化物である。ブロック絶縁膜 7 1 k は、シリコン窒化物またはハフニウムオキシドのような高誘電率材料（High-k 材料）を含んでもよい。

[0055] チャネル層 7 2 は、メモリ膜 7 1 の内側に設けられている。チャネル層 7 2 は、環状に形成されている。チャネル層 7 2 は、Z 方向に延びており、例えばメモリピラー 5 5 の Z 方向の全長に亘る。チャネル層 7 2 は、ポリシリコンのような半導体材料で形成されている。チャネル層 7 2 は、不純物が

ドーピングされていてもよい。チャネル層72は、ワード線WLに電圧が印加される場合に、チャネルを形成してビット線BLとソース線SLとを電氣的に接続する。

- [0056] これにより、各ワード線WLと同じ高さには、メモリピラー55に隣り合うワード線WLの端部、ブロック絶縁膜71k、チャージトラップ膜71j、トンネル絶縁膜71i、およびチャネル層72により、MANOS (Metal-Al-Nitride-Oxide-Silicon) 型のメモリセルトランジスタMTが形成されている。なお、メモリ膜71は、電荷蓄積部として、チャージトラップ膜71jに代えて、フローティングゲート方式の電荷蓄積部（フローティングゲート電極）を有してもよい。フローティングゲート電極は、例えば、不純物を含むポリシリコンにより形成される。
- [0057] 絶縁コア73は、チャネル層72の内側に設けられている。絶縁コア73は、チャネル層72の内部の一部を埋めている。絶縁コア73は、シリコン酸化物のような絶縁材料で形成されている。絶縁コア73の一部は、チャネル層72の内周面に沿う環状に形成され、内部に空間部（エアギャップ）Sを有してもよい。
- [0058] 図4に示すように、絶縁コア73は、Z方向に延びており、メモリピラー55の上端部および下端部を除いてメモリピラー55のZ方向の大部分に亘る。本実施形態では、絶縁コア73の下端73aは、ソース線SLから離れて、ソース線SLよりも上方に位置する。同様に、絶縁コア73の上端73bは、上部コンタクト54から離れて、上部コンタクト54よりも下方に位置する。
- [0059] 第1キャップ部74は、メモリピラー55の下端部に設けられている。第1キャップ部74は、少なくとも絶縁コア73とソース線SLとの間に配置されている。例えば、第1キャップ部74は、絶縁コア73の下端73aとソース線SLとの間に配置されている。第1キャップ部74は、メモリ膜71の内周側に設けられ、チャネル層72と接続されている。なお、第1キャップ部74とソース線SLとは、同じプロセスにより同時に形成されてもよい。

い。第1キャップ部74は、不純物がドーピングされたポリシリコンを含む。第1キャップ部74は、不純物がドーピングされた後に熱処理が行われることで、不純物の活性化および拡散がされている。第1キャップ部74は、「第1接続部」の一例である。不純物は、例えば、リン、ヒ素、またはアンチモンなどであるが、これらに限定されない。

[0060] 図6は、図4に示されたメモリセルアレイ11のF6線で囲まれた領域を示す断面図である。本実施形態では、上述した1つ以上のソース側選択ゲート線SGSは、1つ以上（例えば複数）の第1ソース側選択ゲート線SGS-1と、1つ以上（例えば複数）の第2ソース側選択ゲート線SGS-2とを含む。第2ソース側選択ゲート線SGS-2は、第1ソース側選択ゲート線SGS-1と、ソース線SLとの間に配置されている。

[0061] 第1ソース側選択ゲート線SGS-1は、NANDストリングNSとソース線SLとを電気的に接続する場合に、所定の電圧（第1電圧）が印可される導電層である。第2ソース側選択ゲート線SGS-2は、NANDストリングNSとソース線SLとを電気的に接続する場合に、所定の電圧（第1電圧）が印可される導電層である。加えて、第2ソース側選択ゲート線SGS-2は、NANDストリングNSに含まれるメモリセルトランジスタMTに書き込まれたデータ値を消去する場合に、所定の高電圧（第1電圧よりも高い第2電圧）が印加される導電層である。例えば、第2ソース側選択ゲート線SGS-2に所定の高電圧が印加されることで、ゲート誘導ドレインリーク（GIDL : Gate-Induced Drain Leakage）によりチャネル層72に正孔を生成し、生成した正孔によりメモリセルトランジスタMTに蓄積された電荷が引き抜かれる。これにより、メモリセルトランジスタMTが消去状態となる。

[0062] 本実施形態では、第1キャップ部74にドーピングされた不純物が熱処理により拡散される。例えば、図6中の2点鎖線で囲まれる領域Rは、第1キャップ部74に対する熱処理により不純物が拡散される領域を示す。本実施形態では、不純物の一部は、熱処理により拡散されることで、チャネル層72の

なかで第2ソース側選択ゲート線SGS-2と隣り合う部分72sにも含まれる。このような構成によれば、データの消去動作時にGIDLによる正孔がチャンネル層72で生成されやすくなる。

[0063] (メモリピラーとソース線との接続構造)

次に、メモリピラー55とソース線SLとの接続構造について説明する。

本実施形態では、メモリ膜71(例えば、トンネル絶縁膜71i、チャージトラップ膜71j、およびブロック絶縁膜71kの各々)は、メモリピラー55内をZ方向に延び、ソース線SLの上面65aに達している。メモリ膜71の下端71a(例えば、トンネル絶縁膜71iの下端、チャージトラップ膜71jの下端、およびブロック絶縁膜71kの下端)は、ソース線SLの上面65aに接する。一方で、メモリ膜71は、ソース線SLの内部に突出していない。すなわち、メモリ膜71は、ソース線SLの上面65aよりも下方(すなわち半導体基板21側)には突出していない。

[0064] 本実施形態では、第1キャップ部74の下端74aは、メモリ膜71の下端71aと同じ面上に位置する。第1キャップ部74の下端74aは、ソース線SLの上面65aに接する。これにより、第1キャップ部74とソース線SLとが電氣的に接続されている。第1キャップ部74は、ソース線SLの内部には突出していない。なお、第1キャップ部74とソース線SLとは、同じプロセスにより同時に形成されてもよい。この場合、第1キャップ部74とソース線SLとは一体に形成される。

[0065] なお、メモリピラー55とソース線SLとの接続構造は、上記例に限定されない。例えば、ソース線SLが金属製である場合、メモリピラー55とソース線SLとの接続構造は、ショットキー接合でもよい。例えば、第1キャップ部74の上面部に予め不純物が注入され、第1キャップ部74の上にソース線SLを形成する金属材料が供給されることで、ショットキー接合による接続構造が実現される。

[0066] 次に図4に戻り、第2キャップ部75について説明する。

第2キャップ部75は、メモリピラー55の上端部に設けられている。第

2 キャップ部 7 5 は、少なくとも絶縁コア 7 3 と上部コンタクト 5 4 との間に配置されている。例えば、第 2 キャップ部 7 5 は、絶縁コア 7 3 の上端 7 3 b と上部コンタクト 5 4 との間に配置されている。第 2 キャップ部 7 5 は、メモリ膜 7 1 の内周側に設けられ、チャネル層 7 2 と一体に形成されている。第 2 キャップ部 7 5 は、不純物がドーピングされたポリシリコンを含む。第 2 キャップ部 7 5 は、不純物がドーピングされた後に熱処理が行われることで、不純物が拡散されている。第 2 キャップ部 7 5 は、「第 2 接続部」の一例である。

[0067] (メモリピラーと上部コンタクトとの接続構造)

次に、メモリピラー 5 5 と上部コンタクト 5 4 との接続構造について説明する。

本実施形態では、メモリ膜 7 1 (例えば、トンネル絶縁膜 7 1 i、チャージトラップ膜 7 1 j、およびブロック絶縁膜 7 1 k の各々) は、メモリピラー 5 5 内を Z 方向に延びて上部コンタクト 5 4 に達している。メモリ膜 7 1 の上端 7 1 b (例えば、トンネル絶縁膜 7 1 i の上端、チャージトラップ膜 7 1 j の上端、およびブロック絶縁膜 7 1 k の上端) は、上部コンタクト 5 4 の下面 5 4 a に接する。一方で、メモリ膜 7 1 は、上部コンタクト 5 4 の内部に突出していない。

[0068] 本実施形態では、第 2 キャップ部 7 5 の上端 7 5 b は、メモリ膜 7 1 の上端 7 1 b と同じ面上に位置する。第 2 キャップ部 7 5 の上端 7 5 b は、上部コンタクト 5 4 の下面 5 4 a に接する。これにより、第 2 キャップ部 7 5 と上部コンタクト 5 4 とが電氣的に接続されている。第 2 キャップ部 7 5 は、上部コンタクト 5 4 の内部には突出していない。

[0069] <4. 7 ビット線>

次に、ビット線 B L について説明する。ビット線 B L は、メモリピラー 5 5 を選択するために電圧が制御される配線である。複数のビット線 B L は、X 方向に並べて配置されている。各ビット線 B L は、Y 方向に延びている。各ビット線 B L は、メモリピラー 5 5 に対してソース線 S L とは反対側に配

置されている。ビット線BLは、上部コンタクト54の上方に配置されている。ビット線BLは、例えば、銅を含む配線である銅配線である。

[0070] ビット線BLと上部コンタクト54との間には、Z方向に延びたコンタクト56が設けられている。ビット線BLは、コンタクト56および上部コンタクト54を介してメモリピラー55の上端55bに電氣的に接続されている。例えば、ビット線BLは、コンタクト56および上部コンタクト54を介してメモリピラー55の第2キャップ部75に電氣的に接続されている。これにより、ワード線WLとビット線BLとの組み合わせにより、3次元状に配置された複数のメモリセルトランジスタMTのなかから任意のメモリセルトランジスタMTを選択することができる。

[0071] <4. 8 階段部>

次に図3に戻り、メモリセルアレイ11に設けられた階段部80について説明する。

階段部80は、複数の導電層61に対して電氣的接続を確保するための構造である。階段部80において、複数の導電層61は、例えば、下方に位置する導電層61であるほど、X方向の長さが長い。これにより、各導電層61のX方向の端部は、その導電層61よりも上方に位置する他の導電層61と重ならないテラス部を有する。階段部80は、第3絶縁部43により覆われている。

[0072] 本実施形態では、複数の導電層61は、第1導電層61Aと、第2導電層61Bと、第3導電層61Cとを含む。第1導電層61Aは、3つの導電層61A、61B、61Cのなかで最上方に位置する。第2導電層61Bは、3つの導電層61A、61B、61Cのなかで真ん中に位置する。言い換えると、第2導電層61Bは、第1導電層61Aと半導体基板21との間に配置されている。第3導電層61Cは、3つの導電層61A、61B、61Cのなかで最下方に位置する。言い換えると、第3導電層61Cは、第2導電層61Bと半導体基板21との間に配置されている。第1導電層61Aは、「第1ゲート電極層」の一例である。第2導電層61Bは、「第2ゲート電

極層」の一例である。第3導電層61Cは、「第3ゲート電極層」の一例である。本実施形態では、第2導電層61BのX方向の長さは、第1導電層61AのX方向の長さよりも長い。第3導電層61CのX方向の長さは、第2導電層61BのX方向の長さよりも長い。

[0073] 複数のコンタクト81は、階段部80の上方に配置されている。複数のコンタクト81は、導電性を有するとともに、Z方向に延びている。各コンタクト81は、導電層61と上層配線部100に含まれる配線101とを接続する電気接続部である。複数のコンタクト81は、上方から見た場合、複数の導電層61のテラス部に対応する位置に配置されている。複数のコンタクト81は、互いにZ方向の長さが異なる。各コンタクト81の下端は、対応する導電層61のテラス部に接している。

[0074] 例えば、複数のコンタクト81は、第1コンタクト81Aと、第2コンタクト81Bと、第3コンタクト81Cとを含む。第1コンタクト81Aは、第1導電層61Aのテラス部に対応して設けられ、第1導電層61Aのテラス部に接する。第2コンタクト81Bは、第1コンタクト81Aよりも下方に長く延びている。第2コンタクト81Bは、第2導電層61Bのテラス部に対応して設けられ、第2導電層61Bのテラス部に接する。第3コンタクト81Cは、第2コンタクト81Bよりも下方に長く延びている。第3コンタクト81Cは、第3導電層61Cのテラス部に対応して設けられ、第3導電層61Cのテラス部に接する。

[0075] <4.9 分断部>

次に、分断部STについて説明する。

図7は、図3に示されたメモリセルアレイ11のF7ーF7線に沿う断面図である。分断部STは、Z方向に延びており、積層体51および絶縁層52を貫通している。分断部STは、積層体51をY方向に分断する壁部である。

[0076] 図8は、図7に示されたメモリセルアレイ11のF8線で囲まれた領域を示す断面図である。分断部STは、例えば、絶縁部91と、導電部92とを

含む。

[0077] 絶縁部 9 1 は、分断部 S T の外郭を形成している。絶縁部 9 1 は、Z 方向に延びて、積層体 5 1 および絶縁層 5 2 を貫通している。絶縁部 9 1 は、積層体 5 1 に含まれる複数の導電層 6 1 の各々を Y 方向に分断している。絶縁部 9 1 は、シリコン酸化物のような絶縁材料により形成されている。

[0078] 導電部 9 2 は、絶縁部 9 1 の内部に設けられている。導電部 9 2 は、Z 方向に延びて、積層体 5 1 および絶縁層 5 2 を貫通している。導電部 9 2 の下端 9 2 a は、ソース線 S L の内部に位置する。導電部 9 2 は、タングステンまたはポリシリコンのような導電材料で形成される。導電部 9 2 は、ソース線 S L とメモリセルアレイ 1 1 内の配線とを接続する配線である。

[0079] 分断部 S T は、下端 9 0 a と、上端 9 0 b とを有する。下端 9 0 a は、ソース線 S L に接する。上端 9 0 b は、Z 方向において下端 9 0 a とは反対側に位置する。本実施形態では、下端 9 0 a の Y 方向の幅 W 9 0 a は、上端 9 0 b の Y 方向の幅 W 9 0 b よりも小さい。下端 9 0 a は、「第 3 端」の一例である。上端 9 0 b は、「第 4 端」の一例である。ここで、下端 9 0 a の幅 W 9 0 a は、例えば、分断部 S T において、複数の導電層 6 1 のなかで最下層の導電層 6 1 に対向する部分 9 0 s 1 の Y 方向の幅であると定義されてよい。また、上端 9 0 b の幅 W 9 0 b は、例えば、分断部 S T において、複数の導電層 6 1 のなかで最上層の導電層 6 1 に対向する部分 9 0 s 2 の X 方向の幅であると定義されてよい。このため、「分断部 S T の下端 9 0 a の Y 方向の幅 W 9 0 a が、分断部 S T の上端 9 0 b の X 方向の幅 W 9 0 b よりも大きい」とは、例えば、分断部 S T の部分 9 0 s 1 の Y 方向の幅が、分断部 S T の部分 9 0 s 2 の X 方向の幅よりも大きいことを意味する。

[0080] 本実施形態では、分断部 S T は、最大幅部 9 0 m と、第 1 部分 9 0 n 1 と、第 2 部分 9 0 n 2 とを有する。最大幅部 9 0 m は、分断部 S T において Y 方向の幅が最大である部分である。本実施形態では、最大幅部 9 0 m は、分断部 S T の Z 方向の中央よりも上方に位置する。

[0081] 第 1 部分 9 0 n 1 は、下端 9 0 a と最大幅部 9 0 m との間に位置し、下方

に進むに従い分断部STのY方向の幅が小さくなる縮小部である。第2部分90n2は、上端90bと最大幅部90mとの間に位置し、下方に進むに従い分断部STのY方向の幅が大きくなる拡大部である。本実施形態では、第2部分90n2のZ方向の長さL4は、第1部分90n1のZ方向の長さL3よりも小さい。

[0082] <4. 10 上部分断部>

次に、図7に戻り、上部分断部SHEについて説明する。上部分断部SHEは、分断部STと比べて浅い分断部である。上部分断部SHEは、積層体51の上端部に設けられ、積層体51の途中までZ方向に延びている。上部分断部SHEは、X方向に延びている。上部分断部SHEは、ドレイン側選択ゲート線SGDとして機能する導電層61を貫通している。一方で、上部分断部SHEは、ワード線WLとして機能する導電層61には達していない。上部分断部SHEは、ドレイン側選択ゲート線SGDとして機能する導電層61をY方向に分断する壁部である。上部分断部SHEは、シリコン酸化物のような絶縁材料により形成されている。本実施形態では、上部分断部SHEにより区分される領域が1つのストリングユニットSUに対応する。ドレイン側選択ゲート線SGDに対応する導電層61が分断部STおよび上部分断部SHEによりY方向に分断されている。これにより、X方向に延びたドレイン側選択ゲート線SGDが形成されている。

[0083] <5. 上層配線部>

次に、上層配線部100について説明する。上層配線部100は、積層体51よりも上方に設けられている。上層配線部100は、複数の配線101を含む。複数の配線101は、例えば、階段部80用のコンタクト81に電氣的に接続された第1配線101A（図3参照）と、ビット線BLに電氣的に接続された第2配線101B（図7参照）と、パッド44に電氣的に接続された第3配線101C（図7参照）を含む。複数の配線101の各々は、例えば、銅を含む配線である銅配線である。本実施形態では、複数の銅配線（例えば複数の配線101）は、半導体記憶装置1のなかでメモリピラー5

5の第2チップ部75よりも上方に配置されている。本実施形態では、第2チップ部75よりも下方には銅配線は存在しない。上層配線部100は、「接続配線部」の一例である。

[0084] <6. 貫通コンタクトを含む電気接続部>

次に、電気接続部110について説明する。電気接続部110は、第1チップ2と第2チップ3とを電氣的に接続する電気接続部である。例えば、電気接続部110は、第1チップ2の周辺回路22と、第2チップ3の上層配線部100に含まれる複数の配線101とを電氣的に接続する電気接続部である。電気接続部110は、例えば、第1電気接続部111と、第2電気接続部112と、第3電気接続部113と有する。

[0085] 第1電気接続部111は、周辺回路22に含まれるトランジスタ31と、上層配線部100に含まれる第1配線101Aとを電氣的に接続する接続部である。すなわち、第1電気接続部111は、周辺回路22に含まれるトランジスタ31と導電層61とを電氣的に接続する。第1電気接続部111は、第1貫通コンタクト121を含む。第1貫通コンタクト121は、導電性を有するとともに、Z方向に延びている。

[0086] 第1貫通コンタクト121は、第2チップ3の第2絶縁部42と、第1チップ2の第1絶縁部23の少なくとも一部とを貫通している。第1貫通コンタクト121は、ソース線SLよりも下方からメモリピラー55の上端55bよりも上方までZ方向に延びて、周辺回路22のトランジスタ31と、導電層61とを電氣的に接続する。例えば、第1貫通コンタクト121は、第1チップ2の内部で配線層33に含まれる配線33aに接続されている。第1貫通コンタクト121は、第2チップ3の内部（例えばメモリピラー55の上端55bよりも上方の位置）で上層配線部100に含まれる配線101Aと接続されている。

[0087] 第2電気接続部112は、周辺回路22に含まれる別のトランジスタ31と、上層配線部100に含まれる第2配線101Bとを電氣的に接続する接続部である。すなわち、第2電気接続部112は、周辺回路22に含まれる

トランジスタ 3 1 とビット線 B L とを電氣的に接続する。第 2 電気接続部 1 1 2 は、第 2 貫通コンタクト 1 2 2 を含む。第 2 貫通コンタクト 1 2 2 は、導電性を有するとともに、Z 方向に延びている。

[0088] 第 2 貫通コンタクト 1 2 2 は、第 2 チップ 3 の第 2 絶縁部 4 2 と、第 1 チップ 2 の第 1 絶縁部 2 3 の少なくとも一部とを貫通している。第 2 貫通コンタクト 1 2 2 は、ソース線 S L よりも下方からメモリピラー 5 5 の上端 5 5 b よりも上方まで Z 方向に延びて、周辺回路 2 2 のトランジスタ 3 1 と、ビット線 B L とを電氣的に接続する。第 2 貫通コンタクト 1 2 2 は、第 1 チップ 2 の内部で配線層 3 3 に含まれる配線 3 3 a に接続されている。第 2 貫通コンタクト 1 2 2 は、第 2 チップ 3 の内部（例えばメモリピラー 5 5 の上端 5 5 b よりも上方の位置）で上層配線部 1 0 0 に含まれる配線 1 0 1 B と接続されている。

[0089] 第 3 電気接続部 1 1 3 は、周辺回路 2 2 に含まれるさらに別のトランジスタ 3 1 と、上層配線部 1 0 0 に含まれる第 3 配線 1 0 1 C とを電氣的に接続する接続部である。すなわち、第 3 電気接続部 1 1 3 は、周辺回路 2 2 に含まれるトランジスタ 3 1 とパッド 4 4 とを接続する。第 3 電気接続部 1 1 3 は、第 3 貫通コンタクト 1 2 3 を含む。第 3 貫通コンタクト 1 2 3 は、導電性を有するとともに、Z 方向に延びている。

[0090] 第 3 貫通コンタクト 1 2 3 は、第 2 チップ 3 の第 2 絶縁部 4 2 と、第 1 チップ 2 の第 1 絶縁部 2 3 の少なくとも一部とを Z 方向に貫通している。第 3 貫通コンタクト 1 2 3 は、第 1 チップ 2 の内部で配線層 3 3 に含まれる配線 3 3 a に接続されている。第 3 貫通コンタクト 1 2 3 は、第 2 チップ 3 の内部（例えばメモリピラー 5 5 の上端 5 5 b よりも上方の位置）で上層配線部 1 0 0 に含まれる配線 1 0 1 C と接続されている。

[0091] < 7. その他の構成 >

図 3 および図 7 に示すように、本実施形態では、第 1 チップ 2 と第 2 チップ 3 とを貼合するための銅パッドが存在しない。言い換えると、ソース線 S

Lと半導体基板21との間には、銅パッドが存在しない。

[0092] <8. 製造方法>

次に、半導体記憶装置1の製造方法について説明する。

図9は、半導体記憶装置1の製造方法の流れを示す図である。図10A～図10Pは、半導体記憶装置1の製造方法を説明するための図である。

[0093] まず、半導体基板201上に絶縁層202が形成される。次に、絶縁層202の上に、犠牲層203と絶縁層62とが交互に積層されることで、積層体210が形成される（図9中のS101、図10A参照）。犠牲層203は、例えば、窒化シリコンにより形成される。犠牲層203は、「第1層」の一例である。絶縁層62は、「第2層」の一例である。

[0094] 次に、積層体210に、メモリピラー55を形成するための穴であるメモリホール211が形成される（図9中のS102、図10B参照）。次に、メモリホール211の内部に、メモリ膜71、チャネル層72、絶縁コア73が順に形成される（図9中のS103、図10C参照）。

[0095] 次に、第1キャップ部74が形成される（図9中のS104、図10D参照）。例えば、メモリピラー55の第1端部221に位置した絶縁コア73の端部をエッチングにより除去する。次に、絶縁コア73の端部を除去することで生じた窪みの内部にシリコン材料を供給して窪みを埋める。次に、窪みに供給されたシリコン材料に不純物（例えばリン）をドーピングし、熱処理を行うことで不純物を拡散させるとともに、シリコン材料を結晶化させる。これにより、メモリピラー55の第1端部221に第1キャップ部74が形成される。

[0096] 次に、第1キャップ部74の上にソース線SLを形成する（図9中のS105、図10E参照）。例えば、ソース線SLは、積層体210および第1キャップ部74の上に、タングステンまたはシリコン材料が供給され、必要な処理が行われることで形成される。次に、ソース線SLを覆うように絶縁材料が供給され、ソース線SLを覆う第2絶縁部42が形成される（図9中のS106、図10F参照）。これにより、第2チップ3が形成される。

[0097] 次に、別に準備された第1チップ2と、上述した工程で形成された第2チップ3とが貼合される（図9中のS107、図10G参照）。例えば、第2チップ3が上下反転され、第1チップ2の第1絶縁部23の第1表面S1と、第2チップ3の第2絶縁部42の第2表面S2とが重ねられ、所定の温度に加熱されて加圧される。これにより、第1チップ2と第2チップ3とが貼合される。

[0098] 次に、CMP（Chemical Mechanical Polishing）などにより第2チップ3の裏面が研磨され、第2チップ3の半導体基板201が除去される（図9中のS108、図10H参照）。次に、第2キャップ部75が形成される（図9中のS109、図10I参照）。例えば、メモリピラー55の第2端部222に位置した絶縁コア73の端部をエッチングにより除去する。次に、絶縁コア73の端部を除去することで生じた窪みの内部にシリコン材料を供給することで窪みを埋める。次に、窪みに供給されたシリコン材料に不純物（例えばリン）をドーピングし、熱処理を行うことで不純物を拡散させるとともに、シリコン材料を結晶化させる。これにより、第2キャップ部75が形成される。次に、積層体210に対して上部分断部SHEが形成される。

[0099] 次に、スリミングなどの手法により積層体210の端部に階段部80が形成される（図9中のS110、図10J）。次に、階段部80を覆う絶縁部が設けられ、階段部80に対して複数のコンタクト81が形成される（図9中のS111、図10K参照）。

[0100] 次に、分断部STを形成するためのスリット220が積層体210に形成される（図9中のS112、図10L参照）。次に、複数の犠牲層203が複数の導電層61に置換される置換工程が行われる（図9中のS113、図10M参照）。例えば、スリット220を通じてホットリン酸などが供給されることで積層体210の犠牲膜203が除去され、除去された空間に導電材料が供給される。これにより、複数の導電層61を含む積層体51が形成される。その後、スリット220の内部に分離部STが設けられ、積層体51の上に絶縁部が設けられる（図9中のS114、図10N参照）。

[0101] 次に、貫通コンタクト121、122、123を含む電気接続部120が設けられる（図9中のS115、図100参照）。最後に、ビット線BL、上層配線部100に含まれる配線101、およびパッド44が形成される（図9中のS116、図10P参照）。これにより、半導体記憶装置1が製造される。

[0102] <9. 利点>

比較例1として、半導体基板21に設けられた周辺回路22の上方に、導電層61（ワード線WL）と絶縁層62とを含む積層体51が形成される例について考える。この比較例では、ソース線SLは、積層体51と半導体基板21との間に形成される。この場合、ソース線SLとメモリピラー55との接続部の構造が複雑化する場合がある。例えば、近年の高積層化する半導体記憶装置では、積層体51の下端部に位置するメモリピラー55の下端部とソース線SLとの接続部の形成工程が複雑化する。その結果、半導体記憶装置の製造性を低下する場合がある。

[0103] 比較例2として、周辺回路22を含む第1チップ2とは別に、メモリセルアレイ11を含む第2チップ3を形成し、貼合用の銅パッドを用いて第1チップ2と第2チップ3とを貼合することで半導体記憶装置を形成する例について考える。この場合、第1チップ2と第2チップ3とが貼合された後は、銅パッドの銅拡散について配慮する必要があり、高い温度での熱処理を行うことが難しくなる。このため、第1チップ2に貼合された後の第2チップ3の上端部にソース線SLを形成する工程では、ポリシリコンの結晶化や不純物の拡散のための熱処理を行うことが難しく、メモリピラー55とソース線SLとの接続部の形成工程が複雑化する。その結果、半導体記憶装置の製造性を低下する場合がある。

[0104] 一方で、本実施形態の半導体記憶装置1は、半導体基板21と、トランジスタ31と、積層体51と、メモリピラー55と、ソース線SLとを有する。トランジスタ31は、半導体基板21上に設けられている。積層体51は、トランジスタ31に対して、半導体基板21とは反対側に配置されている。

。メモリピラー55は、積層体51内をZ方向に延びている。ソース線SLは、積層体51と半導体基板21との間に配置されている。メモリピラー55は、ソース線SLに接した下端55aと、下端55aとは反対側に位置した上端55bとを有する。下端55aのX方向の幅W55aは、上端55bのX方向の幅W55bよりも大きい。

[0105] このような構成によれば、積層体210に対してソース線SLが上側に位置する状態でソース線SLを形成することができる。このため、積層体210が高積層化される場合でも、例えば比較例1または比較例2と比べて、メモリピラー55とソース線SLとの接続部を容易に形成することができる。これにより、半導体記憶装置1の製造性の向上を図ることができる。

[0106] 本実施形態では、メモリピラー55は、少なくとも絶縁コア73とソース線SLとの間に配置されてポリシリコンを含む第1キャップ部74を有する。このような構成によれば、第1キャップ部74とソース線SLとの間で接続性および導電性のさらなる向上を図ることができる。これにより、半導体記憶装置1の電気的特性を向上させることができる。

[0107] 本実施形態では、ソース線SLと半導体基板21の間には、銅パッドが存在しない。このような構成によれば、銅拡散について配慮する必要が小さくなり、上記比較例2のようにソース線SLと半導体基板21の間に銅パッドが存在する場合と比べて、ソース線SLの形成時または第1キャップ部74の形成時に高い温度で熱処理を行うことができる。これにより、半導体記憶装置1の電気的特性を向上させることができる。

[0108] 本実施形態では、メモリピラー55は、少なくとも絶縁コア73とビット線BLとの間に配置されてポリシリコンを含む第2キャップ部75を有する。上層配線部100は、複数の銅配線（例えば複数の配線101）を含む。複数の銅配線は、半導体記憶装置1のなかで第2キャップ部75よりも上方に配置され、第2キャップ部75よりも下方には銅配線は存在しない。このような構成によれば、第2キャップ部75よりも下方に銅配線が存在する場合と比べて、銅拡散について配慮する必要が小さくなり、第2キャップ部7

5の形成時に高い温度で熱処理を行うことができる。これにより、半導体記憶装置1の電気的特性を向上させることができる。

[0109] 本実施形態では、半導体記憶装置1は、積層体51をZ方向に貫通し、複数の導電層61の各々をY方向に分断する分断部STをさらに備える。分断部STは、ソース線SLに接した下端90aと、下端90aとは反対側に位置した上端90bとを有する。下端90aのY方向の幅W90aは、上端90bのY方向の幅W90bよりも小さい。すなわち、分断部STは、巨視的に見れば、上側が大きくて下側が小さい。一方で、メモリピラー55は、巨視的に見れば、上側が小さくて下側が大きい。このような構成によれば、メモリピラー55の最大径部55mと分断部STの最大幅部90mとがX方向またはY方向で隣り合うことを避けることができる。このため、メモリピラー55と分断部STとの間の距離を小さくすることができ、半導体記憶装置1の小型化を図ることができる。

[0110] (第2実施形態)

次に、第2実施形態について説明する。第2実施形態は、メモリピラー55の下端部が第1キャップ部74を有しない点で、第1実施形態とは異なる。なお以下に説明する以外の構成は、第1実施形態と同様である。

[0111] 図11は、第2実施形態の半導体記憶装置1Aの一部を示す断面図である。本実施形態では、メモリピラー55の下端部は、第1キャップ部74を有しない。メモリピラー55の下端部では、メモリ膜71、チャネル層72、および絶縁コア73の各々がZ方向に延びており、メモリ膜71、チャネル層72、および絶縁コア73の各々がソース線SLの上面65aに接している。本実施形態では、メモリ膜71の下端71aと絶縁コア73の下端73aは同じ面上に位置する。ただし、メモリ膜71、チャネル層72、および絶縁コア73は、ソース線SLの上面65aよりも下方（すなわち半導体基板21側）には突出していない。

[0112] このような構成によれば、第1実施形態と同様に、積層体210に対してソース線SLが上側に位置する状態でソース線SLを形成することができる。

。これにより、半導体記憶装置 1 A の製造性の向上を図ることができる。

[0113] (第 3 実施形態)

次に、第 3 実施形態について説明する。第 3 実施形態は、メモリピラー 5 5 が下部ピラー 2 3 1 と上部ピラー 2 3 2 とを含む 2 段構成のピラーである点で、第 1 実施形態とは異なる。なお以下に説明する以外の構成は、第 1 実施形態と同様である。なお、本実施の形態では 2 段構成のピラーについて記載しているが、3 段以上の構成とすることもできる。

[0114] 図 1 2 は、第 3 実施形態の半導体記憶装置 1 B の一部を示す断面図である。本実施形態では、積層体 5 1 は、下部積層体（第 1 積層体）5 1 a と、上部積層体（第 2 積層体）5 1 b と、絶縁層 6 2 A とを有する。下部積層体 5 1 a では、複数の導電層 6 1 と複数の絶縁層 6 2 とが Z 方向に 1 層ずつ交互に積層されている。上部積層体 5 1 b は、下部積層体 5 1 a の上方に配置されている。上部積層体 5 1 b では、複数の導電層 6 1 と複数の絶縁層 6 2 とが Z 方向に 1 層ずつ交互に積層されている。絶縁層 6 2 A は、下部積層体 5 1 a と上部積層体 5 1 b との間に配置されている。絶縁層 6 2 A の Z 方向の厚さは、下部積層体 5 1 a に含まれる絶縁層 6 2 の Z 方向の厚さよりも大きく、且つ、上部積層体 5 1 b に含まれる絶縁層 6 2 の Z 方向の厚さよりも大きい。

[0115] メモリピラー 5 5 は、下部ピラー 2 3 1 と、上部ピラー 2 3 2 と、接続部 2 3 3 とを含む。

[0116] 下部ピラー 2 3 1 は、下部積層体 5 1 a 内を Z 方向に延びている。下部ピラー 2 3 1 は、下端 2 3 1 a と、上端 2 3 1 b とを有する。下端 2 3 1 a は、メモリピラー 5 5 の下端 5 5 a である。下端 2 3 1 a は、ソース線 S L に接する。上端 2 3 1 b は、Z 方向において下端 2 3 1 a とは反対側に位置する。上端 2 3 1 b は、後述する接続部 2 3 3 に接する。本実施形態では、下端 2 3 1 a の X 方向の幅 W 2 3 1 a は、上端 2 3 1 b の X 方向の幅 W 2 3 1 b よりも大きい。ここで、下端 2 3 1 a の幅 W 2 3 1 a は、例えば、下部ピラー 2 3 1 において、下部積層体 5 1 a の複数の導電層 6 1 のなかで最下層

の導電層 6 1 に対向する部分 2 3 1 s 1 の X 方向の幅であると定義されてよい。また、上端 2 3 1 b の幅 W_{231b} は、例えば、下部ピラー 2 3 1 において、下部積層体 5 1 a の複数の導電層 6 1 のなかで最上層の導電層 6 1 に対向する部分 2 3 1 s 2 の X 方向の幅であると定義されてよい。このため、「下部ピラー 2 3 1 の下端 2 3 1 a の X 方向の幅 W_{231a} が、下部ピラー 2 3 1 の上端 2 3 1 b の X 方向の幅 W_{231b} よりも大きい」とは、例えば、下部ピラー 2 3 1 の部分 2 3 1 s 1 の X 方向の幅が、下部ピラー 2 3 1 の部分 2 3 1 s 2 の X 方向の幅よりも大きいことを意味する。

[0117] 下部ピラー 2 3 1 は、最大外径部（最大幅部）2 3 1 m と、第 1 部分 2 3 1 n 1 と、第 2 部分 2 3 1 n 2 とを有する。最大外径部 2 3 1 m は、下部ピラー 2 3 1 において外径（すなわち X 方向または Y 方向の幅）が最大である部分である。本実施形態では、最大外径部 2 3 1 m は、下部ピラー 2 3 1 の Z 方向の中央よりも下方に位置する。

[0118] 第 1 部分 2 3 1 n 1 は、下端 2 3 1 a と最大外径部 2 3 1 m との間に位置し、下方に進むに従いメモリピラー 5 5 の外径が小さくなる縮径部である。第 2 部分 2 3 1 n 2 は、上端 2 3 1 b と最大外径部 2 3 1 m との間に位置し、下方に進むに従いメモリピラー 5 5 の外径が大きくなる拡径部である。第 2 部分 2 3 1 n 2 の Z 方向の長さ L_6 は、第 1 部分 2 3 1 n 1 の Z 方向の長さ L_5 よりも大きい。

[0119] 上部ピラー 2 3 2 は、上部積層体 5 1 b 内を Z 方向に延びている。上部ピラー 2 3 2 は、下端 2 3 2 a と、上端 2 3 2 b とを有する。下端 2 3 2 a は、接続部 2 3 3 に接する。上端 2 3 2 b は、Z 方向において下端 2 3 2 a とは反対側に位置する。上端 2 3 2 b は、メモリピラー 5 5 の上端 5 5 b である。上端 2 3 2 b は、ビット線 BL に電氣的に接続される。本実施形態では、下端 2 3 2 a の X 方向の幅 W_{232a} は、上端 2 3 2 b の X 方向の幅 W_{232b} よりも大きい。ここで、下端 2 3 2 a の幅 W_{232a} は、例えば、上部ピラー 2 3 2 において、上部積層体 5 1 b の複数の導電層 6 1 のなかで最下層の導電層 6 1 に対向する部分 2 3 2 s 1 の X 方向の幅であると定義され

てよい。また、上端 2 3 2 b の幅 W 2 3 2 b は、例えば、上部ピラー 2 3 2 において、上部積層体 5 1 b の複数の導電層 6 1 のなかで最上層の導電層 6 1 に対向する部分 2 3 2 s 2 の X 方向の幅であると定義されてよい。このため、「上部ピラー 2 3 2 の下端 2 3 2 a の X 方向の幅 W 2 3 2 a が、上部ピラー 2 3 2 の上端 2 3 2 b の X 方向の幅 W 2 3 2 b よりも大きい」とは、例えば、上部ピラー 2 3 2 の部分 2 3 2 s 1 の X 方向の幅が、上部ピラー 2 3 2 の部分 2 3 2 s 2 の X 方向の幅よりも大きいことを意味する。

[0120] 上部ピラー 2 3 2 は、最大外径部（最大幅部）2 3 2 m と、第 1 部分 2 3 2 n 1 と、第 2 部分 2 3 2 n 2 とを有する。最大外径部 2 3 2 m は、上部ピラー 2 3 2 において外径（すなわち X 方向または Y 方向の幅）が最大である部分である。本実施形態では、最大外径部 2 3 2 m は、上部ピラー 2 3 2 の Z 方向の中央よりも下方に位置する。

[0121] 第 1 部分 2 3 2 n 1 は、下端 2 3 2 a と最大外径部 2 3 2 m との間に位置し、下方に進むに従いメモリピラー 5 5 の外径が小さくなる縮径部である。第 2 部分 2 3 2 n 2 は、上端 2 3 2 b と最大外径部 2 3 2 m との間に位置し、下方に進むに従いメモリピラー 5 5 の外径が大きくなる拡径部である。上部ピラー 2 3 2 において、第 2 部分 2 3 2 n 2 の Z 方向の長さ L 8 は、第 1 部分 2 3 2 n 1 の Z 方向の長さ L 7 よりも大きい。

[0122] そして本実施形態では、下部ピラー 2 3 1 の下端 2 3 1 a の X 方向の幅 W 2 3 1 a は、上部ピラー 2 3 2 の上端 2 3 2 b の X 方向の幅 W 2 3 2 b よりも大きい。ここで、「下部ピラー 2 3 1 の下端 2 3 1 a の X 方向の幅 W 2 3 1 a が、上部ピラー 2 3 2 の上端 2 3 2 b の X 方向の幅 W 2 3 2 b よりも大きい」とは、例えば、下部ピラー 2 3 1 の部分 2 3 1 s 1 の X 方向の幅が、上部ピラー 2 3 2 の部分 2 3 2 s 2 の X 方向の幅よりも大きいことを意味する。

[0123] 接続部 2 3 3 は、絶縁層 6 2 A 内に設けられている。接続部 2 3 3 は、下部ピラー 2 3 1 と上部ピラー 2 3 2 との間に配置されている。接続部 2 3 3 では、メモリピラー 5 5 の外径（例えば X 方向または Y 方向の幅）が下部ピ

ラー 2 3 1 および上部ピラー 2 3 2 と比べて拡大されている。なお、接続部 2 3 3 が省略され、下部ピラー 2 3 1 と上部ピラー 2 3 2 とが直接に接続されてもよい。

[0124] このような構成によれば、分断部 S T は、巨視的に見れば、上側が大きくて下側が小さい。一方で、メモリピラー 5 5 は、巨視的に見れば、上側が小さくて下側が大きい。このため、メモリピラー 5 5 の最大幅部 5 5 m と分断部 S T の最大幅部 9 0 m とが Z 方向で異なる高さに位置しやすい。このため、メモリピラー 5 5 と分断部 S T との間の距離を小さくすることができる。これにより、半導体記憶装置 1 B の小型化を図ることができる。

[0125] (第 4 実施形態)

次に、第 4 実施形態について説明する。第 4 実施形態は、分断部 S T の下端 9 0 a の Y 方向の幅 W 9 0 a が上端 9 0 b の Y 方向の幅 W 9 0 b よりも大きい点で、第 1 実施形態とは異なる。なお以下に説明する以外の構成は、第 1 実施形態と同様である。

[0126] 図 1 3 は、第 4 実施形態の半導体記憶装置 1 C の一部を示す断面図である。本実施形態では、分断部 S T は、下端 9 0 a と、上端 9 0 b とを有する。下端 9 0 a の Y 方向の幅 W 9 0 a は、上端 9 0 b の Y 方向の幅 W 9 0 b よりも大きい。本実施形態では、分断部 S T の最大幅部 9 0 m は、分断部 S T の Z 方向の中央よりも下方に位置する。また、第 2 部分 9 0 n 2 の Z 方向の長さ L 4 は、第 1 部分 9 0 n 1 の Z 方向の長さ L 3 よりも大きい。

[0127] 図 1 4 は、第 4 実施形態の半導体記憶装置 1 C の製造方法の流れを示す図である。本実施形態では、第 1 チップ 2 と第 2 チップ 3 との貼合が行われる前に、第 2 チップ 3 において、分断部 S T が設けられるスリット 2 2 0 が形成される工程 (図 1 4 中の S 1 1 2) と、犠牲層 2 0 3 を導電層 6 1 に置換する置換工程 (図 1 4 中の S 1 1 3) と、スリット 2 2 0 の内部に分断部 S T が形成される工程 (図 1 4 中の S 1 1 4 参照) が行われる。このため、半導体記憶装置 1 C の完成品で見た場合、分断部 S T は逆テーパ状に形成される。なお、ソース線 S L の形成工程 (S 1 0 5) は、分断部 S T の形成工程

(S 1 1 4)の後に行われることに代えて、分断部S T用のスリット2 2 0の形成工程(S 1 1 2)の前に行われてもよい。

[0128] このような構成によれば、第1実施形態と同様に、積層体2 1 0に対してソース線S Lが上側に位置する状態でソース線S Lを形成することができる。これにより、半導体記憶装置1 Cの製造性の向上を図ることができる。

[0129] (第5実施形態)

次に、第5実施形態について説明する。第5実施形態は、積層体5 1が階段部8 0を有しない点で、第1実施形態とは異なる。なお以下に説明する以外の構成は、第1実施形態と同様である。

[0130] 図1 5は、第5実施形態の半導体記憶装置1 Dの一部を示す断面図である。本実施形態では、複数の導電層6 1のX方向の長さは同じである。本実施形態では、複数のコンタクト8 1は、導電層6 1をZ方向に貫通する穴に通され、接続先でない導電層6 1との間に絶縁性を保ちながらZ方向に延びている。複数のコンタクト8 1は、Z方向に延びており、互いにZ方向の長さが異なる。各コンタクト8 1の下端は、接続先の導電層6 1に接している。

[0131] このような構成によれば、第1実施形態と同様に、積層体2 1 0に対してソース線S Lが上側に位置する状態でソース線S Lを形成することができる。これにより、半導体記憶装置1 Dの製造性の向上を図ることができる。

[0132] (第6実施形態)

次に、第6実施形態について説明する。第6実施形態は、積層体5 1の端部に代えて、積層体5 1の中央部に階段部8 0が設けられた点で、第1実施形態とは異なる。なお以下に説明する以外の構成は、第1実施形態と同様である。

[0133] 図1 6は、第6実施形態の半導体記憶装置1の一部を模式的に平面図である。本実施形態では、積層体5 1は、第1プレーンP L 1(第1領域)と、第2プレーンP L 2(第2領域)とを有する。第1プレーンP L 1および第2プレーンP L 2の各々は、Z方向に積層された複数の導電層6 1および複数の絶縁層6 2を有する。

- [0134] 本実施形態では、積層体51のX方向の中央部に階段部80が設けられている。言い換えると、階段部80は、第1プレーンPL1のなかで第2プレーンPL2に隣接する端部と、第2プレーンPL2のなかで第1プレーンPL1に隣接する端部とに設けられている。第1プレーンPL1および第2プレーンPL2の各々において、階段部80は、積層体51の一部のみに設けられている。第1プレーンPL1と第2プレーンPL2とは、電氣的に分断されていてよく、階段部80を外れた領域で互いに電氣的に接続されていてもよい。
- [0135] 図17は、図16に示された半導体記憶装置1のF17-F17線に沿う断面図である。本実施形態では、上述したように、積層体51のX方向の中央部に階段部80が設けられている。複数のコンタクト81は、階段部80の上方に対応するように、積層体51のX方向の中央部に設けられている。複数のコンタクト81は、互いにZ方向の長さが異なる。各コンタクト81の下端は、対応する導電層61のテラス部に接している。
- [0136] 例えば、複数のコンタクト81は、第1コンタクト81Aと、第2コンタクト81Bと、第3コンタクト81Cとを含む。第1コンタクト81Aは、第1導電層61Aのテラス部に対応して設けられ、第1導電層61Aのテラス部に接する。第2コンタクト81Bは、第1コンタクト81Aよりも下方に長く延びている。第2コンタクト81Bは、第2導電層61Bのテラス部に対応して設けられ、第2導電層61Bのテラス部に接する。第3コンタクト81Cは、第2コンタクト81Bよりも下方に長く延びている。第3コンタクト81Cは、第3導電層61Cのテラス部に対応して設けられ、第3導電層61Cのテラス部に接する。
- [0137] このような構成によれば、第1実施形態と同様に、積層体210に対してソース線SLが上側に位置する状態でソース線SLを形成することができる。これにより、半導体記憶装置1Dの製造性の向上を図ることができる。
- [0138] 以上説明した少なくともひとつの実施形態によれば、半導体記憶装置は、基板と、トランジスタと、積層体と、柱状体と、ソース線とを有する。前記

トランジスタは、前記基板上に設けられている。前記積層体は、複数のゲート電極層と複数の絶縁層とが第1方向に1層ずつ交互に積層されている。前記柱状体は、絶縁コアと、チャネル層と、メモリ膜とを含む。前記ソース線は、前記積層体と前記基板との間に配置され、前記第1方向とは交差した第2方向に少なくとも延びている。前記柱状体は、前記ソース線に接した第1端と、前記第1方向で前記第1端とは反対側に位置した第2端とを有する。前記第2方向における前記第1端の幅は、前記第2方向における前記第2端の幅よりも大きい。このような構成によれば、製造性の向上を図ることができる。

[0139] 以下、いくつかの半導体記憶装置、および半導体記憶装置の製造方法を付記する。

[0140] [1]

基板と、

前記基板上に設けられたトランジスタと、

前記トランジスタに対して前記基板とは反対側に配置され、複数のゲート電極層と複数の絶縁層とが第1方向に1層ずつ交互に積層された積層体と、

前記積層体内を前記第1方向に延びており、絶縁コアと、前記複数のゲート電極層と前記絶縁コアとの間に配置されたチャネル層と、前記複数のゲート電極層と前記チャネル層との間に配置されたメモリ膜とを含む、柱状体と、

前記積層体と前記基板との間に配置され、前記第1方向とは交差した第2方向に少なくとも延びたソース線と、

を備え、

前記柱状体は、前記ソース線SLに接した第1端と、前記第1方向で前記第1端とは反対側に位置した第2端とを有し、前記第2方向における前記第1端の幅は、前記第2方向における前記第2端の幅よりも大きい、

半導体記憶装置。

[0141] [2] . [1] に記載の半導体記憶装置において、

前記ソース線は、前記積層体に向いた表面を有し、

前記メモリ膜は、前記柱状体内を前記第1方向に延びて前記ソース線の前記表面に接しており、前記ソース線の前記表面を超えて前記基板側には突出していない。

[0142] [3]、[1]または[2]に記載の半導体記憶装置において、

前記柱状体は、少なくとも前記絶縁コアと前記ソース線との間に配置されてポリシリコンを含む第1接続部を有する。

[0143] [4]、[1]または[2]に記載の半導体記憶装置において、

前記ソース線は、前記積層体に向いた表面を有し、

前記絶縁コアは、前記柱状体内を前記第1方向に延びて前記ソース線の前記表面に接しており、前記ソース線の前記表面を超えて前記基板側には突出していない。

[0144] [5]、[1]から[4]のいずれか1つに記載の半導体記憶装置において、

前記ソース線と前記基板との間には、銅パッドが存在しない。

[0145] [6]、[1]から[5]のいずれか1つに記載の半導体記憶装置において、

前記ソース線は、シリコンとタングステンとのうち少なくとも一方を含む。

[0146] [7]、[1]から[6]のいずれか1つに記載の半導体記憶装置において、

前記柱状体に対して前記ソース線とは反対側に配置され、前記第1方向および前記第2方向とは交差した第3方向に延びたビット線をさらに備え、

前記柱状体の前記第2端は、前記ビット線に電氣的に接続されている。

[0147] [8]、[7]に記載の半導体記憶装置において、

前記トランジスタを含む周辺回路と、

前記基板から見て前記積層体が位置する側を上方とする場合、前記ソース線よりも下方から前記柱状体の前記第2端よりも上方まで前記第1方向に延

びて、前記周辺回路と前記ビット線とを電氣的に接続したコンタクトと、
をさらに備える。

- [0148] [9] . [7] または [8] に記載の半導体記憶装置において、
接続配線部をさらに備え、
前記柱状体は、少なくとも前記絶縁コアと前記ビット線との間に配置され
てポリシリコンを含む第 2 接続部を有し、
前記接続配線部は、複数の銅配線を含み、
前記複数の銅配線は、前記半導体記憶装置のなかで前記第 2 接続部よりも
上方に配置され、前記第 2 接続部よりも下方には銅配線は存在しない。

- [0149] [1 0] . [1] から [9] のいずれか 1 つに記載の半導体記憶装置におい
て、
複数のコンタクトをさらに備え、
前記複数のゲート電極層は、第 1 ゲート電極層と、前記第 1 ゲート電極層
と前記基板との間に配置された第 2 ゲート電極層と、前記第 2 ゲート電極層
と前記基板との間に配置された第 3 ゲート電極層とを含み、
前記複数のコンタクトは、前記第 1 ゲート電極層に接した第 1 コンタクト
と、前記第 1 コンタクトよりも前記基板側に長く延びて前記第 2 ゲート電極
層に接した第 2 コンタクトと、前記第 2 コンタクトよりも前記基板側に長く
延びて前記第 3 ゲート電極層に接した第 3 コンタクトとを含む。

- [0150] [1 1] . [1] から [1 0] のいずれか 1 つに記載の半導体記憶装置にお
いて、
前記積層体を前記第 1 方向に貫通し、前記第 2 方向に延び、前記複数のゲ
ート電極層の各々を、前記第 1 方向および前記第 2 方向とは交差した第 3 方
向に分断する分断部をさらに備え、
前記分断部は、前記ソース線に接した第 3 端と、前記第 1 方向で前記第 3
端とは反対側に位置した第 4 端とを有し、前記第 3 方向における前記第 3 端
の幅は、前記第 3 方向における前記第 4 端の幅よりも小さい。

- [0151] [1 2] . [1] から [1 0] のいずれか 1 つに記載の半導体記憶装置にお

いて、

前記積層体を前記第 1 方向に貫通し、前記第 2 方向に延び、前記複数のゲート電極層の各々を、前記第 1 方向および前記第 2 方向とは交差した第 3 方向に分断する分断部をさらに備え、

前記分断部は、前記ソース線に接した第 3 端と、前記第 1 方向で前記第 3 端とは反対側に位置した第 4 端とを有し、前記第 3 方向における前記第 3 端の幅は、前記第 3 方向における前記第 4 端の幅よりも大きい。

[0152] [1 3]

基板と、

前記基板上に設けられたトランジスタと、

前記トランジスタに対して前記基板とは反対側に配置され、複数のゲート電極層と複数の絶縁層とが第 1 方向に 1 層ずつ交互に積層された積層体と、

前記積層体内を前記第 1 方向に延びており、絶縁コアと、前記複数のゲート電極層と前記絶縁コアとの間に配置されたチャネル層と、前記複数のゲート電極層と前記チャネル層との間に配置されたメモリ膜とを含む、柱状体と、

前記積層体と前記基板との間に配置され、前記第 1 方向とは交差した第 2 方向に少なくとも延びたソース線と、

を備え、

前記ソース線は、前記積層体に向いた表面を有し、

前記メモリ膜は、前記柱状体内を前記第 1 方向に延びて前記ソース線の前記表面に接しており、前記ソース線の前記表面を超えて前記基板側には突出していない、

半導体記憶装置。

[0153] [1 4]

基板と、

前記基板上に設けられたトランジスタと、

前記トランジスタに対して前記基板とは反対側に配置され、複数のゲート

電極層と複数の絶縁層とが第1方向に1層ずつ交互に積層された積層体と、
前記積層体内を前記第1方向に延びており、絶縁コアと、前記複数のゲート電極層と前記絶縁コアとの間に配置されたチャネル層と、前記複数のゲート電極層と前記チャネル層との間に配置されたメモリ膜とを含む、柱状体と、
前記積層体と前記基板との間に配置され、前記第1方向とは交差した第2方向に少なくとも延びたソース線と、
を備え、
前記柱状体は、少なくとも前記絶縁コアと前記ソース線との間に配置されてポリシリコンを含む第1接続部を有した、
半導体記憶装置。

[0154] [15]

基板と、
前記基板上に設けられたトランジスタと、
前記トランジスタに対して前記基板とは反対側に配置され、複数のゲート電極層と複数の絶縁層とが第1方向に1層ずつ交互に積層された積層体と、
前記積層体内を前記第1方向に延びており、絶縁コアと、前記複数のゲート電極層と前記絶縁コアとの間に配置されたチャネル層と、前記複数のゲート電極層と前記チャネル層との間に配置されたメモリ膜とを含む、柱状体と、
前記第1方向とは交差した第2方向に少なくとも延びたソース線と、
を備え、
前記柱状体は、前記ソース線に接した第1端と、前記第1方向で前記第1端とは反対側に位置した第2端とを有し、前記第2方向における前記第1端の幅は、前記第2方向における前記第2端の幅よりも大きく、
前記ソース線と前記基板との間には、銅パッドが存在しない、
半導体記憶装置。

[0155] [16]

基板と、
前記基板上に設けられたトランジスタと、
前記トランジスタに対して前記基板とは反対側に配置され、複数のゲート電極層と複数の絶縁層とが第1方向に1層ずつ交互に積層された積層体と、
前記積層体内を前記第1方向に延びており、絶縁コアと、前記複数のゲート電極層と前記絶縁コアとの間に配置されたチャネル層と、前記複数のゲート電極層と前記チャネル層との間に配置されたメモリ膜とを含む、柱状体と、
前記第1方向とは交差した第2方向に少なくとも延びたソース線と、
複数のコンタクトと、
を備え、
前記柱状体は、前記ソース線に接した第1端と、前記第1方向で前記第1端とは反対側に位置した第2端とを有し、前記第2方向における前記第1端の幅は、前記第2方向における前記第2端の幅よりも大きく、
前記複数のゲート電極層は、第1ゲート電極層と、前記第1ゲート電極層と前記基板との間に配置された第2ゲート電極層と、前記第2ゲート電極層と前記基板との間に配置された第3ゲート電極層とを含み、
前記複数のコンタクトは、前記第1ゲート電極層に接した第1コンタクトと、前記第1コンタクトよりも前記基板側に長く延びて前記第2ゲート電極層に接した第2コンタクトと、前記第2コンタクトよりも前記基板側に長く延びて前記第3ゲート電極層に接した第3コンタクトとを含む、
半導体記憶装置。

[0156] [17]

基板と、
前記基板上に設けられたトランジスタと、
前記トランジスタに対して前記基板とは反対側に配置され、複数のゲート電極層と複数の絶縁層とが第1方向に1層ずつ交互に積層された積層体と、
前記積層体内を前記第1方向に延びており、絶縁コアと、前記複数のゲート

ト電極層と前記絶縁コアとの間に配置されたチャネル層と、前記複数のゲート電極層と前記チャネル層との間に配置されたメモリ膜とを含む、柱状体と

、

前記積層体を前記第 1 方向に貫通し、前記第 1 方向とは交差した第 2 方向に延び、前記複数のゲート電極層の各々を、前記第 1 方向および前記第 2 方向とは交差した第 3 方向に分断する分断部と、

前記第 1 方向とは交差した第 2 方向に少なくとも延びたソース線と、
を備え、

前記柱状体は、前記ソース線に接した第 1 端と、前記第 1 方向で前記第 1 端とは反対側に位置した第 2 端とを有し、前記第 2 方向における前記第 1 端の幅は、前記第 2 方向における前記第 2 端の幅よりも大きく、

前記分断部は、前記ソース線に接した第 3 端と、前記第 1 方向で前記第 3 端とは反対側に位置した第 4 端とを有し、前記第 3 方向における前記第 3 端の幅は、前記第 3 方向における前記第 4 端の幅よりも小さい、

半導体記憶装置。

[0157] [18]

第 1 チップと第 2 チップとを準備し、

前記第 1 チップは、

基板と、

前記基板上に設けられたトランジスタと、

前記トランジスタを覆う第 1 絶縁部と、

を含み、

前記第 2 チップは、

複数の第 1 層と複数の第 2 層とが第 1 方向に 1 層ずつ交互に積層された積層体と、

前記積層体内を前記第 1 方向に延びており、絶縁コアと、前記第 1 層と前記絶縁コアとの間に配置されたチャネル層と、前記第 1 層と前記チャネル層との間に配置されたメモリ膜とを含む、柱状体と、

前記第 1 方向とは交差した第 2 方向に少なくとも延びたソース線と、
前記ソース線を覆う第 2 絶縁部と、
を含み、
前記ソース線が前記積層体と前記第 1 チップとの間に位置するように前記
第 1 絶縁部と前記第 2 絶縁部とを貼合する、
ことを含む半導体記憶装置の製造方法。

[0158] [19] . [18] に記載の半導体記憶装置の製造方法において、
前記第 1 層は、前記第 1 絶縁部と前記第 2 絶縁部とが貼合された後に導電
層に置換される犠牲層である。

[0159] [20] . [18] に記載の半導体記憶装置の製造方法において、
前記第 1 層は、導電層である。

[0160] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例とし
て提示したものであり、発明の範囲を限定することは意図していない。これ
ら実施形態は、その他の様々な形態で実施されることが可能であり、発明の
要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる
。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特
許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

符号の説明

[0161] 1, 1A, 1B, 1C, 1D…半導体記憶装置、21…半導体基板（基板
）、31…トランジスタ、51…積層体、55…メモリピラー（柱状体）、
55a…下端（第 1 端）、55b…上端（第 2 端）、61…導電層（ゲート
電極層）、62…絶縁層、71…メモリ膜、72…チャネル層、73…絶縁
コア、74…第 1 キャップ部（第 1 接続部）、75…第 2 キャップ部（第 2
接続部）、81…コンタクト、ST…分断部、90a…下端（第 1 端）、9
0b…上端（第 2 端）、111, 112…電気接続部、121, 122, 1
23…貫通コンタクト（コンタクト）。

請求の範囲

- [請求項1] 基板と、
 前記基板上に設けられたトランジスタと、
 前記トランジスタに対して前記基板とは反対側に配置され、複数のゲート電極層と複数の絶縁層とが第1方向に1層ずつ交互に積層された積層体と、
 前記積層体内を前記第1方向に延びており、絶縁コアと、前記複数のゲート電極層と前記絶縁コアとの間に配置されたチャネル層と、前記複数のゲート電極層と前記チャネル層との間に配置されたメモリ膜とを含む、柱状体と、
 前記積層体と前記基板との間に配置され、前記第1方向とは交差した第2方向に少なくとも延びたソース線と、
 を備え、
 前記柱状体は、前記ソース線SLに接した第1端と、前記第1方向で前記第1端とは反対側に位置した第2端とを有し、前記第2方向における前記第1端の幅は、前記第2方向における前記第2端の幅よりも大きい、
 半導体記憶装置。
- [請求項2] 前記ソース線は、前記積層体に向いた表面を有し、
 前記メモリ膜は、前記柱状体内を前記第1方向に延びて前記ソース線の前記表面に接しており、前記ソース線の前記表面を超えて前記基板側には突出していない、
 請求項1に記載の半導体記憶装置。
- [請求項3] 前記柱状体は、少なくとも前記絶縁コアと前記ソース線との間に配置されてポリシリコンを含む第1接続部を有した、
 請求項1に記載の半導体記憶装置。
- [請求項4] 前記ソース線は、前記積層体に向いた表面を有し、
 前記絶縁コアは、前記柱状体内を前記第1方向に延びて前記ソース

線の前記表面に接しており、前記ソース線の前記表面を超えて前記基板側には突出していない、

請求項 1 に記載の半導体記憶装置。

[請求項5]

前記ソース線と前記基板との間には、銅パッドが存在しない、

請求項 1 に記載の半導体記憶装置。

[請求項6]

前記ソース線は、シリコンとタングステンとのうち少なくとも一方を含む、

請求項 1 に記載の半導体記憶装置。

[請求項7]

前記柱状体に対して前記ソース線とは反対側に配置され、前記第 1 方向および前記第 2 方向とは交差した第 3 方向に延びたビット線をさらに備え、

前記柱状体の前記第 2 端は、前記ビット線に電氣的に接続されている、

請求項 1 に記載の半導体記憶装置。

[請求項8]

前記トランジスタを含む周辺回路と、

前記基板から見て前記積層体が位置する側を上方とする場合、前記ソース線よりも下方から前記柱状体の前記第 2 端よりも上方まで前記第 1 方向に延びて、前記周辺回路と前記ビット線とを電氣的に接続したコンタクトと、

をさらに備えた請求項 7 に記載の半導体記憶装置。

[請求項9]

接続配線部をさらに備え、

前記柱状体は、少なくとも前記絶縁コアと前記ビット線との間に配置されてポリシリコンを含む第 2 接続部を有し、

前記接続配線部は、複数の銅配線を含み、

前記複数の銅配線は、前記半導体記憶装置のなかで前記第 2 接続部よりも上方に配置され、前記第 2 接続部よりも下方には銅配線は存在しない、

請求項 7 に記載の半導体記憶装置。

- [請求項10] 複数のコンタクトをさらに備え、
前記複数のゲート電極層は、第1ゲート電極層と、前記第1ゲート電極層と前記基板との間に配置された第2ゲート電極層と、前記第2ゲート電極層と前記基板との間に配置された第3ゲート電極層とを含み、
前記複数のコンタクトは、前記第1ゲート電極層に接した第1コンタクトと、前記第1コンタクトよりも前記基板側に長く延びて前記第2ゲート電極層に接した第2コンタクトと、前記第2コンタクトよりも前記基板側に長く延びて前記第3ゲート電極層に接した第3コンタクトとを含む、
請求項1に記載の半導体記憶装置。
- [請求項11] 前記積層体を前記第1方向に貫通し、前記第2方向に延び、前記複数のゲート電極層の各々を、前記第1方向および前記第2方向とは交差した第3方向に分断する分断部をさらに備え、
前記分断部は、前記ソース線に接した第3端と、前記第1方向で前記第3端とは反対側に位置した第4端とを有し、前記第3方向における前記第3端の幅は、前記第3方向における前記第4端の幅よりも小さい、
請求項1に記載の半導体記憶装置。
- [請求項12] 前記積層体を前記第1方向に貫通し、前記第2方向に延び、前記複数のゲート電極層の各々を、前記第1方向および前記第2方向とは交差した第3方向に分断する分断部をさらに備え、
前記分断部は、前記ソース線に接した第3端と、前記第1方向で前記第3端とは反対側に位置した第4端とを有し、前記第3方向における前記第3端の幅は、前記第3方向における前記第4端の幅よりも大きい、
請求項1に記載の半導体記憶装置。
- [請求項13] 基板と、

前記基板上に設けられたトランジスタと、

前記トランジスタに対して前記基板とは反対側に配置され、複数のゲート電極層と複数の絶縁層とが第1方向に1層ずつ交互に積層された積層体と、

前記積層体内を前記第1方向に延びており、絶縁コアと、前記複数のゲート電極層と前記絶縁コアとの間に配置されたチャネル層と、前記複数のゲート電極層と前記チャネル層との間に配置されたメモリ膜とを含む、柱状体と、

前記積層体と前記基板との間に配置され、前記第1方向とは交差した第2方向に少なくとも延びたソース線と、

を備え、

前記ソース線は、前記積層体に向いた表面を有し、

前記メモリ膜は、前記柱状体内を前記第1方向に延びて前記ソース線の前記表面に接しており、前記ソース線の前記表面を超えて前記基板側には突出していない、

半導体記憶装置。

[請求項14]

基板と、

前記基板上に設けられたトランジスタと、

前記トランジスタに対して前記基板とは反対側に配置され、複数のゲート電極層と複数の絶縁層とが第1方向に1層ずつ交互に積層された積層体と、

前記積層体内を前記第1方向に延びており、絶縁コアと、前記複数のゲート電極層と前記絶縁コアとの間に配置されたチャネル層と、前記複数のゲート電極層と前記チャネル層との間に配置されたメモリ膜とを含む、柱状体と、

前記積層体と前記基板との間に配置され、前記第1方向とは交差した第2方向に少なくとも延びたソース線と、

を備え、

前記柱状体は、少なくとも前記絶縁コアと前記ソース線との間に配置されてポリシリコンを含む第1接続部を有した、

半導体記憶装置。

[請求項15]

基板と、

前記基板上に設けられたトランジスタと、

前記トランジスタに対して前記基板とは反対側に配置され、複数のゲート電極層と複数の絶縁層とが第1方向に1層ずつ交互に積層された積層体と、

前記積層体内を前記第1方向に延びており、絶縁コアと、前記複数のゲート電極層と前記絶縁コアとの間に配置されたチャネル層と、前記複数のゲート電極層と前記チャネル層との間に配置されたメモリ膜とを含む、柱状体と、

前記第1方向とは交差した第2方向に少なくとも延びたソース線と

、

を備え、

前記柱状体は、前記ソース線に接した第1端と、前記第1方向で前記第1端とは反対側に位置した第2端とを有し、前記第2方向における前記第1端の幅は、前記第2方向における前記第2端の幅よりも大きく、

前記ソース線と前記基板との間には、銅パッドが存在しない、
半導体記憶装置。

[請求項16]

基板と、

前記基板上に設けられたトランジスタと、

前記トランジスタに対して前記基板とは反対側に配置され、複数のゲート電極層と複数の絶縁層とが第1方向に1層ずつ交互に積層された積層体と、

前記積層体内を前記第1方向に延びており、絶縁コアと、前記複数のゲート電極層と前記絶縁コアとの間に配置されたチャネル層と、前

記複数のゲート電極層と前記チャネル層との間に配置されたメモリ膜とを含む、柱状体と、

前記第 1 方向とは交差した第 2 方向に少なくとも延びたソース線と、

複数のコンタクトと、

を備え、

前記柱状体は、前記ソース線に接した第 1 端と、前記第 1 方向で前記第 1 端とは反対側に位置した第 2 端とを有し、前記第 2 方向における前記第 1 端の幅は、前記第 2 方向における前記第 2 端の幅よりも大きく、

前記複数のゲート電極層は、第 1 ゲート電極層と、前記第 1 ゲート電極層と前記基板との間に配置された第 2 ゲート電極層と、前記第 2 ゲート電極層と前記基板との間に配置された第 3 ゲート電極層とを含み、

前記複数のコンタクトは、前記第 1 ゲート電極層に接した第 1 コンタクトと、前記第 1 コンタクトよりも前記基板側に長く延びて前記第 2 ゲート電極層に接した第 2 コンタクトと、前記第 2 コンタクトよりも前記基板側に長く延びて前記第 3 ゲート電極層に接した第 3 コンタクトとを含む、

半導体記憶装置。

[請求項17]

基板と、

前記基板上に設けられたトランジスタと、

前記トランジスタに対して前記基板とは反対側に配置され、複数のゲート電極層と複数の絶縁層とが第 1 方向に 1 層ずつ交互に積層された積層体と、

前記積層体内を前記第 1 方向に延びており、絶縁コアと、前記複数のゲート電極層と前記絶縁コアとの間に配置されたチャネル層と、前記複数のゲート電極層と前記チャネル層との間に配置されたメモリ膜

とを含む、柱状体と、

前記積層体を前記第 1 方向に貫通し、前記第 1 方向とは交差した第 2 方向に延び、前記複数のゲート電極層の各々を、前記第 1 方向および前記第 2 方向とは交差した第 3 方向に分断する分断部と、

前記第 1 方向とは交差した第 2 方向に少なくとも延びたソース線と、

を備え、

前記柱状体は、前記ソース線に接した第 1 端と、前記第 1 方向で前記第 1 端とは反対側に位置した第 2 端とを有し、前記第 2 方向における前記第 1 端の幅は、前記第 2 方向における前記第 2 端の幅よりも大きく、

前記分断部は、前記ソース線に接した第 3 端と、前記第 1 方向で前記第 3 端とは反対側に位置した第 4 端とを有し、前記第 3 方向における前記第 3 端の幅は、前記第 3 方向における前記第 4 端の幅よりも小さい、

半導体記憶装置。

[請求項18]

第 1 チップと第 2 チップとを準備し、

前記第 1 チップは、

基板と、

前記基板上に設けられたトランジスタと、

前記トランジスタを覆う第 1 絶縁部と、

を含み、

前記第 2 チップは、

複数の第 1 層と複数の第 2 層とが第 1 方向に 1 層ずつ交互に積層された積層体と、

前記積層体内を前記第 1 方向に延びており、絶縁コアと、前記第 1 層と前記絶縁コアとの間に配置されたチャネル層と、前記第 1 層と前記チャネル層との間に配置されたメモリ膜とを含む、柱状体と、

前記第 1 方向とは交差した第 2 方向に少なくとも延びたソース線と
、
前記ソース線を覆う第 2 絶縁部と、
を含み、
前記ソース線が前記積層体と前記第 1 チップとの間に位置するよう
に前記第 1 絶縁部と前記第 2 絶縁部とを貼合する、
ことを含む半導体記憶装置の製造方法。

[請求項19] 前記第 1 層は、前記第 1 絶縁部と前記第 2 絶縁部とが貼合された後
に導電層に置換される犠牲層である、
請求項 18 に記載の半導体記憶装置の製造方法。

[請求項20] 前記第 1 層は、導電層である、
請求項 18 に記載の半導体記憶装置の製造方法。