

明 細 書

発明の名称：

インターポーザ、半導体パッケージ及びそれらの製造方法

技術分野

[0001] 本発明は半導体装置を実装するためのインターポーザ、インターポーザに半導体装置を実装した半導体パッケージ及びそれらの製造方法に関する。

背景技術

[0002] 近年では、複数個の異種半導体装置（半導体チップ）をインターポーザ上に搭載し、一つの高機能半導体パッケージとする、SiP（System in Package）が実用化されている。この手法によればプロセスコストを増大させることなく、高機能化された一つの半導体装置である「半導体パッケージ」を得ることができる。

[0003] また、上記のSiPに搭載される半導体装置としては、積層DRAMであるHBM（High Bandwidth Memory）が多く用いられる傾向にある。HBMは、一般的に接続端子のピッチが55 μ m程度の狭ピッチであり、インターポーザにも同程度の接続端子を形成する必要がある。

[0004] また、上記のようなインターポーザは、FC-BGAに接続されることとなるが、FC-BGAのCTE（Coefficient of Thermal Expansion）は18ppm/°C程度であり、半導体チップのCTE3ppm/°Cと比較すると高い。このため、インターポーザには、半導体チップとFC-BGAの間のCTEのミスマッチを緩和する機能を有することが求められる。

[0005] さらに、半導体パッケージとしての組み立ての利便性のためには、半導体装置をインターポーザに実装した後に、これをFC-BGAに実装できることが望ましい。このため、インターポーザはFC-BGAと別個に自立する単体として存在できる必要がある。

[0006] 特許文献1においては、インターポーザの反りを抑制するために、半導体

パッケージ（１）の製造方法として、板状の第１補強部材（５Ａ）と、配線基板用積層体（２Ａ）と、第２導体パターン（２２１）上に配置された板状の第２補強部材（４Ａ）とを有する積層体（２０）を用意する工程と、積層体（２０）を加熱して絶縁層を熱硬化する工程と、第１補強部材（５Ａ）の一部を選択的に除去して、第１導体パターン（２２４）を露出させるための開口部を形成する工程と、第２補強部材（４Ａ）の一部を選択的に除去して第２導体パターン（２２１）を露出させるための開口部４１を形成する工程と第２補強部材（４Ａ）の開口部から露出する第２導体パターン（２２１）に、半導体素子（３）を接続する工程とを含む技術を開示している。

先行技術文献

特許文献

[0007] 特許文献１：国際公開第２０１３／０６５２８７号

発明の概要

発明が解決しようとする課題

[0008] しかし、特許文献１として示すインターポーザは、繊維基材に樹脂組成物を含浸させた構造であるため、形成できるビアの口径は直径５０μmが限界となる。また、ビアとビアとのピッチについても１３０μmが限界となり、積層DRAMであるHBMを搭載することが難しい。

[0009] さらに、ファンナウトパッケージやシリコンインターポーザ等の従来のインターポーザ、及びこれらを用いた半導体パッケージにおいては、インターポーザ自体を検査した後に半導体装置を実装する工程を経ることが想定されていない。

[0010] このため、従来の製造方法では、インターポーザ自体が検査保証されていない状況で、複数個のチップをインターポーザに実装することになる。

[0011] その結果、半導体パッケージの歩留まりは、インターポーザの製造不良とチップ実装不良の合算であり、夫々切り分けることができない。

[0012] 具体的には、SiPの製造歩留まりは、簡易的に以下の試算式（１）によ

って記述できる。

「インターポーザ歩留まり」 ($Y_{\text{INTERPOSER}}$) : (0～1 の値)

半導体チップの実装の相乗平均歩留まり「実装歩留まり」 (Y_{ASSEMBRY}) : (0～1 の値)

S i Pへの半導体装置の搭載個数 : N (1以上の整数)

S i Pの製造歩留まり (Y_{TOTAL}) : (0～1 の値)

とすると、S i Pの製造歩留まりは以下のとおりとなる。

$$(Y_{\text{TOTAL}}) = (Y_{\text{INTERPOSER}}) \times (Y_{\text{ASSEMBRY}})^N \quad \dots \dots (1)$$

[0013] 式(1)に記載の通り、S i Pの製造歩留まりはインターポーザ歩留まりと、チップ実装の相乗平均歩留まりのチップ数の累乗との積となる。

[0014] ここで、「インターポーザ歩留まり」 ($Y_{\text{INTERPOSER}}$) 及び「実装歩留まり」 (Y_{ASSEMBRY}) がともに90%であり、7個のチップを搭載するS i Pの場合

$$(Y_{\text{INTERPOSER}}) = (Y_{\text{ASSEMBRY}}) = 90\%, \quad N = 7 \quad \dots \dots (2)$$

$$(Y_{\text{TOTAL}}) = 0.9 \times 0.9^7 = 43.0\% \quad \dots \dots$$

・ ・ (3)

となり、各プロセス歩留まりが90%としても、S i P全体の製造歩留まりは極めて低くなる問題を生じる。

[0015] 複数の半導体装置を実装して1つの半導体パッケージを構成するS i Pでは、個々の半導体装置が検査良品であったとしても、インターポーザの製造不良、実装不良が1か所でもある場合、S i P全体(複数の半導体装置全部)の廃棄に繋がる。この結果、搭載チップ数が増大すると、S i P製造歩留まりは指数関数的に低下し、かつ廃棄される良品チップ数も増大する問題がある。

[0016] さらに、従来の製造方法では、搭載半導体装置全面をモールド樹脂で固めるため、製造不良の存在する個々の半導体装置をリペアのために交換等を行うことは不可能となる問題がある。

[0017] リペアを可能にするためにはモールド前の電気検査が必要となるが、インターポーザが薄いためハンドリングが難しく、検査の実施が困難である。

[0018] 薄いインターポーザを製造する場合、剛性を持ったキャリア基板上に各部材を積層し、キャリア基板の剥離・除去を行う方法が採られる。キャリア基板上にインターポーザの半導体装置搭載面側より積層する逆多層方式の製造方法では、キャリア基板の平坦面が半導体装置搭載面に転写されるため、半導体装置を搭載するパッドと半導体装置搭載面が平坦な同一平面を持った構造となる。また、キャリア基板上にインターポーザの半導体装置搭載面と反対の面側より積層する正多層方式の製造方法では、半導体装置搭載面の平坦性を得るためにCMPによる研磨、バフ研磨、ベルト研磨、グラインダー、フライカット法などの表面研磨工程が採られ、半導体装置を搭載するパッドと半導体装置搭載面が平坦な同一平面を持った構造となる。

[0019] これら平坦な面にパッドを介して半導体装置の外部接続電極と電氣的に接続する実装を行う場合、インターポーザと半導体装置との熱膨張の相違や、インターポーザの平面方向への半導体装置の保持力が弱い場合、実装位置ズレによる製造不良の発生が問題となる。

[0020] そこで、本発明では、リペア可能な自立性を持たせ、さらに半導体装置の実装位置ズレによる電氣的接続不良の防止が可能なインターポーザを提供することを目的とする。

課題を解決するための手段

[0021] 上記の課題を解決するため、代表的な本発明のインターポーザの一つは、少なくとも1層の内層配線層を含む内層構造体と、内層構造体の第1面上に配置された第1外層構造体と、内層構造体の第2面上に配置された第2外層構造体とを備える。そして、内層配線層は、第1絶縁樹脂層と第1絶縁樹脂層の表面に配置された配線と配線に接続し、第1絶縁樹脂層を貫通するビアとを備えており、第1外層構造体及び第2外層構造体は、第2絶縁樹脂層と第2絶縁樹脂層を貫通する外部接続ビアとを備えており、第1外層構造体又は第2外層構造体の表面に、半導体装置の外部接続電極が嵌ることが可能なように、第2絶縁樹脂層が外部接続用開口部を持つ。

発明の効果

[0022] 本発明によれば、リペア可能な自立性を持たせ、半導体装置の実装位置ズレによる電氣的接続不良の防止が可能なインターポーザを提供することができる。

[0023] 上記した以外の課題、構成及び効果は、以下の発明を実施するための形態における説明により明らかにされる。

図面の簡単な説明

[0024] [図1]図1は、第1実施形態のインターポーザ及び半導体パッケージの断面模式図の例である。

[図2]図2は、第1実施形態のインターポーザの、外部接続用開口部の形状の一例を示す図である。

[図3]図3は、全体C T Eと外層構造体のC T Eの関係を示す図である。

[図4]図4は、製造不良率とインターポーザの厚みの関係を示す図である。

[図5]図5は、第1実施形態のインターポーザの製造工程を説明する図である。

[図6]図6は、第1実施形態のインターポーザの製造工程を説明する図である。

[図7]図7は、第1実施形態のインターポーザの製造工程を説明する図である。

[図8]図8は、第1実施形態のインターポーザの製造工程を説明する図である。

[図9]図9は、第1実施形態のインターポーザの製造工程を説明する図である。

[図10]図10は、第1実施形態の半導体パッケージの製造工程を説明する図である。

[図11]図11は、第1実施形態の半導体パッケージの製造工程を説明する図である。

発明を実施するための形態

[0025] 以下、図面を参照して、本発明の実施形態について説明する。なお、この

実施形態により本発明が限定されるものではない。また、図面の記載において、同一部分には同一の符号を付して示している。第1及び第2の呼称は特に順序や構成を限定するものではなく、説明の便宜上規定するものである。

[0026] 図面において示す各構成要素の位置、大きさ、形状、範囲などは、発明の理解を容易にするため、実際の位置、大きさ、形状、範囲などを表していない場合がある。このため、本発明は、必ずしも、図面に開示された位置、大きさ、形状、範囲などに限定されない。

[0027] なお、本開示において、「面」とは、板状部材の面のみならず、板状部材に含まれる層について、板状部材の面と略平行な層の界面も指すことがある。また、「上面」、「下面」とは、板状部材や板状部材に含まれる層を図示した場合の、上方又は下方に示される面を意味し、図中ではZ方向矢印の先端側を上面、矢印の反対側を下面と表記する。なお、「上面」、「下面」については、「第1面」、「第2面」と称することもある。

[0028] また、「側面」とは、板状部材や板状部材に含まれる層における板状部材や層の厚みの部分を意味する。さらに、面の一部及び側面を合わせて「端部」ということがある。

[0029] また、「上方」とは、板状部材又は層を水平に載置した場合の垂直上方の方向を意味する。さらに、「上方」及びこれと反対の「下方」については、これらを「Z軸プラス方向」、「Z軸マイナス方向」ということがあり、水平方向については、「X軸方向」、「Y軸方向」ということがある。

[0030] また、「平面形状」、「平面視」とは、上方から面又は層を視認した場合の形状を意味する。さらに、「断面形状」、「断面視」とは、板状部材又は層を特定の方向で切断した場合の水平方向から視認した場合の形状を意味する。

[0031] さらに、「中心部」とは、面又は層の周辺部ではない中心部を意味する。そして、「中心方向」とは、面又は層の周辺部から面又は層の平面形状における中心に向かう方向を意味する。

[0032] 説明図中の外部接続ビア4及び14について、インターポーザ100の図

中 Z 軸方向の最外層側終端をトップ、内層構造体 7 側終端をボトムと定義する。

[0033] (第 1 実施形態)

＜インターポーザの構造＞

図 1 (a) は本発明における第 1 実施形態のインターポーザ 100 の断面模式図の例である。図 1 (b) は本発明における第 1 実施形態のインターポーザ 100 の外部接続ビア 4 を拡大した断面模式図の例である。図 1 (c) は第 1 実施形態のインターポーザ 100 に、半導体装置 50 及び 51 を搭載した半導体パッケージ 150 の断面模式図の例である。

[0034] なお、本開示では、インターポーザ 100 の上下の面について、半導体装置 50 及び 51 が搭載される側を「第 1 面側」と称し、インターポーザ 100 がマザーボードあるいは FCBGA へ接続する側を「第 2 面側」と称する。

[0035] 本実施形態ではまた、第 2 外層構造体 11 の第 2 面側に第 2 接続端子 17 が配置されている。第 2 接続端子 17 は FCBGA 基板あるいはマザーボードへの接続端子となる。

[0036] 図 1 (a) におけるインターポーザ 100 は、主に、第 1 外層構造体 5、内層構造体 7、第 2 外層構造体 11 から構成される。

[0037] 第 1 外層構造体 5 は、内層構造体 7 の上方、つまり Z 軸プラス方向に配置されている。また、第 1 外層構造体 5 は第 2 絶縁樹脂層 6 で形成されており、第 2 絶縁樹脂層 6 には、Z 軸方向に第 2 絶縁樹脂層 6 を貫通する外部接続ビア 4 と外部接続用開口部 21 が形成されている。図 1 (b) に示す様に、外部接続用開口部 21 は外部接続ビア 4 が露出するように配置され、外部接続ビア 4 は、第 1 外層構造体 5 の外部接続端子のパッドとして機能することができる。また、外部接続ビア 4 の露出部には第 1 接続端子（半田）16 を配置しても良く、適宜省略しても良い。外部接続ビア 4 の直径と外部接続用開口部 21 の直径は、どちらが大きくてもよいし、同じでもよい。

[0038] 内層構造体 7 は、第 1 外層構造体 5 と第 2 外層構造体 11 との間に配置さ

れている。

[0039] 内層構造体 7 は、少なくとも 1 層の内層配線層を備えており、内層配線層は、第 1 絶縁樹脂層 8、第 1 絶縁樹脂層の表面に配置された配線 10、及び、配線 10 に接続し、第 1 絶縁樹脂層を Z 軸方向に貫通する導電部材を備えている。また、第 1 絶縁樹脂層を貫通する導電部材は、内層配線層のビア 9 として機能することができる。

[0040] 第 2 外層構造体 11 は、内層構造体 7 の下方、つまり Z 軸マイナス方向に配置されている。

[0041] また、第 2 外層構造体 11 は第 2 絶縁樹脂層 12 で形成されており、第 2 絶縁樹脂層 12 には、Z 軸方向に第 2 絶縁樹脂層 12 を貫通する外部接続ビア 14 が形成されている。第 2 絶縁樹脂層 12 を貫通する外部接続ビア 14 は、内層構造体 7 の最外層の配線層と接続するとともに、第 2 外層構造体 11 の外部接続端子のパッドとして機能することができる。

[0042] また、第 2 外層構造体 11 の第 2 面側には、外部接続端子のパッド 15 及び第 2 接続端子（半田）17 が配置されている。

[0043] なお、インターポーザ 100 の Z 軸方向の厚さは、内層構造体 7、第 1 外層構造体 5 及び第 2 外層構造体 11 を含む総厚が $50\ \mu\text{m}$ 以上であることが望ましい。

[0044] また、インターポーザ 100 の第 1 外層構造体 5 及び第 2 外層構造体 11 の厚みは、本実施形態で採用する厚さに限定されるものではないが、第 1 外層構造体 5 及び第 2 外層構造体 11 が内層構造体 7 に比較して物理的剛性が高い場合には、第 1 外層構造体 5 及び第 2 外層構造体 11 の厚みの和が内層構造体 7 よりも厚いことが望ましい。すなわち第 1 外層構造体 5 と第 2 外層構造体 11 は、インターポーザ 100 の総厚の半分以上あることが望ましい。

[0045] <半導体パッケージの構造>

図 1 (c) は、図 1 (a) で説明したインターポーザ 100 の第 1 面側に半導体装置 50、51 をアンダーフィル 19 及びモールド樹脂 20 によって

固定した半導体パッケージ１５０である。

[0046] なお、図１に記載の第１接続端子１６、及び第２接続端子１７は半田であるが、本実施形態により半田種類や半田組成は限定されず公知の導電材料を用いることができる。また、図１における第１接続端子１６は、第１外層構造体５の外部接続ビア４の露出部に面一に形成されているが、第１接続端子１６と外部接続ビア４の位置関係や形状はこれに限定されるものではない。

[0047] 同様に、第２接続端子１７は、第２外層構造体１１の外部接続ビア１４上の外部接続端子のパッド１５に整合して形成されているが、必ずしもこのような構造に限定されるものではない。

[0048] ＜第１絶縁樹脂層＞

図１（ａ）の実施形態におけるインターポーザ１００は、複数の半導体装置を搭載するＳｉＰ用インターポーザとして適用する場合、配線ルールが少なくとも $L/S = 8/8\mu m$ 以下と微細配線が必要となる。このため、内層構造体７を構成する第１絶縁樹脂層８の厚みは少なくとも $25\mu m$ 以下に薄く構成せざるを得ない。

[0049] この結果、内層構造体７は、例え内層配線層が多層積層回路であっても、可撓性を有し、物理的剛性のない態様とならざるを得ない。

[0050] ＜外部接続用開口部＞

図１（ａ）の実施形態におけるインターポーザ１００は、複数の半導体装置を搭載するＳｉＰ用インターポーザとして適用する場合、半導体装置を搭載するパッドと半導体装置搭載面が平坦な同一平面を持った構造となる。これら平坦な面にパッドを介して半導体装置の外部接続電極と電氣的に接続する実装を行う場合、インターポーザの平面方向への半導体装置の保持力が弱く、半田などの接合部材が固化する前に実装位置ズレが発生しやすくなり、導通不良が問題となる。

[0051] これを防ぐため、インターポーザに、半導体装置搭載時に半導体装置の外部接続電極が嵌るように、外部接続用開口部２１を持たせている。半導体装置は、半導体装置搭載面との間にアンダーフィルが入るギャップを確保する

ために、直径、長さとも例えば $20 \sim 25 \mu\text{m}$ 程度の外部接続電極を備えている。本構造により、半導体装置搭載時に半導体装置の外部接続電極がインターポーザの外部接続用開口部21に嵌るため、インターポーザの平面方向へのズレ防止を実現した。

[0052] さらに、図2にインターポーザ100の外部接続用開口部21の形状の一例を示すように、外部接続用開口部21に、外部接続用開口部21のTop（半導体装置搭載面側）の開口径 $>$ 外部接続用開口部21のBottomの開口径となるテーパ形状を持たせることで、半導体装置搭載機の搭載位置合わせを補助することができ、半導体装置搭載時の位置合わせの簡便化を実現した。

[0053] また、外部接続用開口部21内の外部接続ビア4露出部に形成する第1接続端子に半田を用いることで、半導体装置搭載後の外部接続電極と外部接続用開口部21との間の間隙を埋めることできるため、接続信頼性の向上を実現した。

[0054] また、インターポーザ100の外部接続ビア4と半導体装置50～53の外部接続電極54の、第1接続端子16乃至半導体装置の接続端子55を介して電氣的接続する接合部が、外部接続用開口部21のインターポーザ100の厚み方向の内側とすることで、接合部を第2絶縁樹脂層6で固定できるため、電氣的な接続信頼性の向上を実現する（52～55は図10参照）。

[0055] <外層構造体のCTEと弾性率>

第1外層構造体5及び第2外層構造体11を構成する第2絶縁樹脂層にはフィラーを含有する非感光性絶縁樹脂から選択することが好ましい。また、第2絶縁樹脂層は、フィラーを含有する非感光性樹脂層であり、弾性率が5GPa以上、線熱膨張係数CTEが $20 \text{ ppm}/^{\circ}\text{C}$ 以下のプリプレグ、ビルトアップ樹脂、モールド樹脂から選択されることがさらに好ましい。

[0056] 本実施形態における内層構造体7に適用可能な第1絶縁樹脂層は、感光性絶縁樹脂やビルトアップ樹脂であり、一般的な材料物性はCTEが $20 \sim 80 \text{ ppm}/^{\circ}\text{C}$ 、弾性率は $1.5 \sim 10 \text{ GPa}$ 以下の範囲の低弾性かつ高CT

E材料である。

[0057] このため、上記の材料だけから形成されたインターポーザであると、FC-BGAのCTE $18 \text{ ppm}/^{\circ}\text{C}$ よりもCTEが低く、半導体装置の低CTEとの緩衝機能を果たすインターポーザの実現は困難である。

[0058] 本実施形態では、この点においても、第1外層構造体5及び第2外層構造体11に用いる第2絶縁樹脂層のCTEが $20 \text{ ppm}/^{\circ}\text{C}$ 以下であって、かつ、5 GPa以上の高弾性率を有するモールド樹脂やプリプレグ、ビルトアップ樹脂から選択することで、インターポーザ全体のCTEをFC-BGAのCTEである $15 \sim 30 \text{ ppm}/^{\circ}\text{C}$ 以下にすることが可能となる。

[0059] 第1外層構造体5及び第2外層構造体11に用いる第2絶縁樹脂層のCTEを $20 \text{ ppm}/^{\circ}\text{C}$ 以下とした場合には、以下に説明する様に、インターポーザ100全体のCTEを低減できる効果を奏する。

[0060] 図3に本発明における総厚 $50 \mu\text{m}$ のインターポーザ全体のCTEと第1外層構造体及び第2外層構造体の使用材料のCTE及び弾性率の関係のシミュレーション結果を記載する。Y軸にインターポーザ全体のCTE、X軸に第1及び第2外層構造体のCTEを記載する。シミュレーション条件は下記である。尚、第1外層構造体及び第2外層構造体のCTEと弾性率は同値の因子として計算した。

[0061] ・第1外層構造体

厚み： $20 \mu\text{m}$ 、銅配線の体積比率10%固定 CTE、弾性率は因子

・第2外層構造体

厚み： $20 \mu\text{m}$ 、銅配線の体積比率30%固定 CTE、弾性率は因子

・内層構造体

厚み： $10 \mu\text{m}$ 、CTE： $65 \text{ ppm}/^{\circ}\text{C}$ 、弾性率2 GPa、銅配線厚 $2 \mu\text{m}$ 、銅配線体積比率85%

インターポーザ総厚 $50 \mu\text{m}$

[0062] このような条件下でシミュレーションを行った結果は、図3のグラフに示すとおりである。すなわち、図3から明らかなように、第1外層構造体5及

び第2外層構造体11のCTEが $20\text{ ppm}/^{\circ}\text{C}$ 以下のものを使用することで、インターポーザ100全体のCTEは従来技術のFC-BGA基板よりも低く出来ることがわかる。

[0063] 第1外層構造体5及び第2外層構造体11で高弾性材料を用いる程、インターポーザ全体のCTE低減効果が大きいこともわかる。

[0064] これらのことから、第1外層構造体5及び第2外層構造体11の弾性率が 5 GPa 以上あれば効果的にインターポーザ全体のCTEを低減できることが判明し、CTEは $20\text{ ppm}/^{\circ}\text{C}$ 以下、弾性率は 5 GPa 以上から選択されることが望ましい。

[0065] <外層構造体の構成・銅体積率>

図1(a)に示した実施形態のインターポーザ100の第1外層構造体5及び第2外層構造体11の外部接続ビア4及び外部接続ビア14、パッド15は、第1接続端子16及び第2接続端子17と内層構造体7の配線を電気的に接続する機能を有する。このため、第1外層構造体5及び第2外層構造体11においては、基本的にZ方向の接続経路で形成されている。

[0066] 一方、内層構造体7においては、微細化に適した配線を用いてZ軸方向及びZ軸に直行する方向、すなわち、水平方向の配線引き回しを実現している。

[0067] 本実施形態におけるインターポーザに用いられる導電部材としては基本的に銅が用いられるが、銅のCTEは $16\text{ ppm}/^{\circ}\text{C}$ と比較的高いので第1外層構造体5及び第2外層構造体11において、銅体積率が高いと、インターポーザ100全体のCTEを低くすることが困難となる。

[0068] このため、第1外層構造体5及び第2外層構造体11における銅体積率は 80% 以下であることが望ましい。より望ましくは 50% 以下であることが望ましい。さらに望ましくは 30% 以下であることが望ましい。

[0069] <外層構造体の効果：クラック抑制>

上述の通り、内層構造体7はフィラーやガラスクロス充填による物理的剛性の強化が難しく、物性的に脆弱（低引張強度、低伸度）である。その結果

、内層構造体 7 には、温度変化などに起因してクラックが発生し、配線層の断線に繋がる不具合が発生することが懸念される。この点、本実施形態のインターポーザ 100 では、内層構造体 7 の両全面にわたり、第 1 外層構造体 5 及び第 2 外層構造体 11 を形成することにより、微細な配線構造を有する内層構造体 7 の信頼性を高めることができる。

[0070] なお、第 1 外層構造体 5 及び第 2 外層構造体 11 が、内層構造体 7 の上面及び下面に部分的にしか形成されない場合には、内層構造体 7 に変形や応力集中によるクラックが発生することが判明している。

[0071] このため、第 1 外層構造体 5 及び第 2 外層構造体 11 は、内層構造体 7 の両全面に形成する必要がある。

[0072] なお、本実施形態においては、第 1 外層構造体 5 及び第 2 外層構造体 11 の物性及び特定の使用材料は特に規定しないが、第 1 外層構造体 5 及び第 2 外層構造体 11 の CTE は近いことが好ましい。

[0073] <外層構造体の効果：実装性>

本実施形態によれば、第 1 外層構造体 5 及び第 2 外層構造体 11 を内層構造体 7 の両面に配置することは、半導体装置の実装性の観点からも好適である。前述のとおり、内層構造体 7 の下面のみに第 2 外層構造体 11 のみを配置する場合、各材料の CTE の差異により、実装時の加熱によってインターポーザ 100 に反りが発生する。このような反りは半導体装置の接続不良に直結するため、極小化することが望ましい。

[0074] 本実施形態によるインターポーザ 100 においては、比較的 CTE が高く、低弾性率の内層構造体 7 を、低 CTE 高弾性材料の第 1 外層構造体 5 及び第 2 外層構造体 11 によって両面から挟み込むことにより、内層構造体 7 の熱変形を効果的に抑制することができる。

[0075] このため、半導体装置 50 及び 51 の実装工程においてもインターポーザ 100 の反りを十分抑制することが可能となる。

また、半導体装置 50 及び 51 の実装工程においてもインターポーザ 100 の反りを十分抑制することが可能であるからこそ、外部接続用開口部 21

が有効に機能して、半導体装置 50 及び 51 とインターポーザ 100 との実装位置ズレを防止することができる。実装時の過熱によってインターポーザ 100 に反りが発生した場合、半導体装置 50 及び 51 の外部接続電極 54 がインターポーザ 100 の外部接続用開口部 21 から外れてしまい、半導体装置 50 及び 51 とインターポーザ 100 との実装位置ズレが発生してしまう。

[0076] <内層構造体の構成>

図 1 (a) 及び図 1 (c) に記載の内層構造体 7 は、第 1 絶縁樹脂層 8、配線 10、第 1 絶縁樹脂層 8 を貫通する内層配線層のビア 9 から構成される。内層配線層の構成要素の厚み、層数、配線層パターン、ビア形状、ビアのテーパの向き、ビア数等は本実施形態により限定されない。

[0077] 内層構造体 7 は内層配線層が単層であっても複数層形成されていてもよく、本実施形態により層数および厚みが限定されるものではないが、インターポーザ 100 においては、SiP への適用を想定する場合、内層配線層は複数層形成されていることが好ましい。

[0078] <内層配線層の配線ルール>

図 1 (a) に示した内層構造体 7 の内層配線層における配線 10 の配線設計ルールは、チップ間微細接続に適用可能な配線設計ルールであることが望ましい。好ましくは $L/S = 15/15 \mu m$ 以下であることが望ましい、より好ましくは $10/10 \mu m$ 以下であることが望ましい。さらに好ましくは $L/S = 8/8 \mu m$ 以下であることが望ましい。 L/S が $15/15 \mu m$ 以上である場合、従来技術の FC-BGA の配線ルールと同等となり、HBM 等の実装には適さない。

[0079] <外層構造体の絶縁樹脂層：非感光性樹脂>

図 1 (a) の第 1 外層構造体 5 及び第 2 外層構造体 11 の構成要素である第 2 絶縁樹脂層 6、12 は、非感光性絶縁樹脂であれば、エポキシ-フェノール樹脂、エポキシ-フェノールエステル樹脂、エポキシ-シアネート樹脂、シアネート樹脂、ベンゾシクロブテン、ポリイミド、ポリベンゾオキサゾ

ール等から選択できる。さらにフィラーやガラスクロスを含含有していてもよいが、フィラーやガラスクロスの含有量は、 $L/S = 8/8 \mu m$ 以下の微細配線形成に支障がない程度が望ましい。

[0080] <内層構造体の絶縁樹脂層：感光性樹脂>

図1(a)の内層構造体7の構成要素である第1絶縁樹脂層8の材料は、感光性絶縁樹脂であれば、ベンゾシクロブテン、ポリイミド、ポリベンゾオキサゾール、エポキシ樹脂、エポキシアクリレート、アクリレート等の公知技術を適用することができる。本実施形態における第1絶縁樹脂層8に、少なくとも $L/S = 8/8 \mu m$ 以下の微細配線形成が必要な場合、微細配線形成に有利な感光性絶縁樹脂であることが望ましい。

[0081] <内層構造体の絶縁樹脂層：感光性樹脂のメリット>

第1絶縁樹脂層8が感光性絶縁樹脂である場合、直径 $20 \mu m$ 以下の微小ビアの形成が $\pm 3 \mu m$ 以下のフォトリソグラフィの位置精度で形成することができる。このため、インターポーザに搭載する半導体装置の数を最大化することや、接続ビアの数についても最大化することが可能となる。感光性絶縁樹脂であれば、ビア形成時間がビア数に依存せず、一括で形成することができる点で有利である。

[0082] <内層構造体の絶縁樹脂層：非感光性樹脂>

第1絶縁樹脂層8の材料に非感光性絶縁樹脂を用いることもできる。エポキシ-フェノール樹脂、エポキシ-フェノールエステル樹脂、エポキシ-シアネート樹脂、シアネート樹脂、ベンゾシクロブテン、ポリイミド、ポリベンゾオキサゾール等から選択できる。さらにフィラーやガラスクロスを含含有していてもよい。

[0083] <内層構造体の絶縁樹脂層：非感光性樹脂のメリット>

内層構造体に非感光性絶縁樹脂を用いた場合、弾性率の高い絶縁樹脂を選択できるため、インターポーザに高い剛性を付与できる利点を有する。

[0084] <内層配線層の絶縁樹脂層の厚み>

第1絶縁樹脂層8の厚みは、 $25 \mu m$ 以下とすることが望ましい。ここで

言う第1絶縁樹脂層8の厚みは上下層の銅配線パターン間の樹脂厚を指す。第1絶縁樹脂層の厚みが $25\mu\text{m}$ 以上であると、直径 $20\mu\text{m}$ 以下の小径ビアの形成が難しくなり、配線密度を上げることが困難となる。より好ましくは第1絶縁樹脂層の厚みは $15\mu\text{m}$ 以下である。さらに好ましくは $10\mu\text{m}$ 以下である。

[0085] なお、第1絶縁樹脂層8の厚みは、適用する配線ルールや回路のインピーダンス整合によって適宜調整することが可能である。

[0086] <内層配線層のビア径>

内層配線層のビア9の直径は、 $40\mu\text{m}$ 以下であることが望ましい。ここで言うビア9の直径は、最大直径部を指す。ビア9の直径は $40\mu\text{m}$ 以上であると配線高密度化に支障を生じる。より好ましくは直径 $30\mu\text{m}$ 以下が望ましい。さらに好ましくは $20\mu\text{m}$ 以下であることが配線高密度化に寄与できるので望ましい。

[0087] <内層配線層の配線の厚み>

配線10の厚みは、 $15\mu\text{m}$ 以下であることが望ましい。より好ましくは $10\mu\text{m}$ 以下であることが望ましい。さらに好ましくは $8\mu\text{m}$ 以下であることが望ましい。 $15\mu\text{m}$ 以上である場合、使用するフォトリソグラフィー用のレジストにもよるが、 $L/S = 15/15\mu\text{m}$ 以下の微細配線形成が困難となる。配線の厚みは、適用する配線ルールや回路のインピーダンス整合によって適宜調整することが望ましい。

[0088] <内層配線層の配線材料>

配線10に用いる材料は、銅、アルミニウム、ニッケル、銀、金、タンゲステン、鉄、ニオブ、タンタル、チタン、クロムからなる単体金属及びその合金あるいは添加元素を含んでもよい。またこれらの各種材料の層状構造としてもよい。あるいは、これらの材料を含む導電性ペースト、あるいはカーボン、導電性樹脂等であってもよい。

[0089] 例えば、第1絶縁樹脂層8上にスパッタで金属層を形成する場合、チタン、クロム、ニッケル等を単一の層または合金層として形成した後に、銅を形

成することが一般的に行われる。第1絶縁樹脂層8の上面に無電解銅めっきあるいは無電解ニッケルめっきによる層を形成することも好ましい。配線10は電解銅めっきであることが一般的で簡便かつ安価で望ましい。

[0090] <インターポーザの厚さ>

本実施形態におけるインターポーザ100の厚さは、少なくとも50 μ m以上であることが望ましい。図4に示すように、厚さが50 μ mより薄い場合、インターポーザ100自体に十分な剛性が得られず、後の接続端子形成工程、電気検査工程、半導体装置搭載工程で不良発生が極めて多くなる。

[0091] 本実施形態によれば、半導体装置を搭載する前段階でインターポーザ単体の電気検査が可能となるので、式1に記載するインターポーザの製造・検査後の歩留まりを

$$(Y_{\text{INTERPOSER}}) = 100\% \cdot \dots \dots \dots (4)$$

とすることができる。よってSiP製造歩留まり(Y_{TOTAL})の向上に貢献することができる。

[0092] (製造工程の概略説明)

本実施形態におけるインターポーザ製造方法の概略は下記の工程からなる。

[0093] まず、支持基板を準備したのち、以下の工程によって、インターポーザを得ることができる。

支持基板の上に第1外層構造体を形成する第1の工程、
第1外層構造体の上に内層構造体を形成する第2の工程、
内層構造体の上に第2外層構造体を形成する第3の工程、
第1外層構造体と支持基板とを剥離する第4の工程、
第1外層構造体の最外層の上に外部接続用開口部21を形成する第5の工程

[0094] 第1外層構造体及び第2外層構造体の形成が完了すると、支持基板がなくともインターポーザ単体で十分な剛性を確保することができる。このため、以降の工程では、支持基板から剥離してインターポーザあるいは半導体パッ

ケージを製造することができるようになる。

[0095] 支持基板がないため、基板両面に露出する外部接続端子に表面処理や、半田バンプ形成、突起電極形成が可能となる。こうしてインターポーザ両面に第1及び第2接続端子を形成できる。

[0096] (製造方法の詳細説明)

以下では、図5～図9を参照して、インターポーザ及び半導体パッケージの製造方法の詳細について説明する。

[0097] <支持基板準備工程>

図5(a)に示すように、まず、支持基板1を準備する。支持基板1は、例えば、ガラス基板上にレーザー剥離層を設け、レーザー剥離層上に金属層2を設けたものを用いることができる。金属層2は無電解めっき、スパッタによって形成してもよい。あるいは、CCL(Copper Clad Laminate)基板上にプリプレグを介して、金属層2としてキャリア銅箔を形成した支持基板を用いてもよい。ここで、キャリア銅箔は、キャリア銅箔－剥離層－極薄銅箔の3層構造となっており、剥離層界面で物理的に容易に剥離することができる銅箔である。支持基板の種類は上記したものに限定されず、公知の様々な基板を用いることができる。

[0098] 図5(b)は金属層2上にフォトリソグラフィー用レジスト層形成後、パターンニングしてフォトリソグラフィー用のレジストパターン3を形成した基板である。フォトリソグラフィー用レジストの厚みは形成するパッド高さを鑑みて適宜決定する。本実施形態では、液状のフォトリソグラフィー用レジストを70 μm で塗布し、第1接続端子のパッドとして60 μm ピッチ、直径25 μm の円柱パッドが形成できるようパターンを形成した。

[0099] 図5(c)は図5(b)の工程の後に、電解銅めっきにより外部接続ビア4を形成し、その後、フォトリソグラフィー用レジスト剥離を行ったものである。円柱形状の外部接続ビア4は、パッドとして機能することとなる。本実施形態では、銅めっきによる外部接続ビア4のZ方向の平均高さを25 μm で形成した。

- [0100] 図5 (d) は、第1外層構造体5となる非感光性絶縁樹脂を形成した図である。本実施形態における非感光性樹脂からなる第2絶縁樹脂層6は、少なくともフィラーを含有する非感光性樹脂であり、弾性率が5 GPa以上、CTEが20 ppm/°C以下のプリプレグ、ビルトアップ樹脂、モールド樹脂から選択されることが望ましい。本実施形態では、30 μm厚のフィルム状モールド樹脂を用いて、真空ラミネートにより第2絶縁樹脂層6を形成した。非感光性樹脂の種類、厚み、形成方法は本実施形態に限るものではなく、適宜の材料や形成方法を選択することが可能である。
- [0101] 図5 (e) は、第2絶縁樹脂層6をグラインダーで研削し、第1外層構造体5のパッドとなる外部接続ビア4を露出させたものである。パッドの露出方法は、本実施形態の方法に限定されるものではなく、公知のCMPによる研磨、バフ研磨、ベルト研磨、フライカット法であってもよい。これにより、本実施形態では第1外層構造体5の第2絶縁樹脂層6の中にパッドとなる外部接続ビア4が形成されることとなる。本実施形態では、パッドの露出後の外部接続ビア4のZ方向の平均高さを20 μmで形成した。
- [0102] 図6 (f) は、第1外層構造体5の上方に内層構造体7の第1絶縁樹脂層8を形成し、ビア9を形成したものである。本実施形態においては、第1絶縁樹脂層8を、感光性絶縁樹脂を用いて6 μm厚で形成し、直径15 μmのビア9を形成している。
- [0103] 図6 (g) は、第1絶縁樹脂層8にシード金属層（非図示）を形成した後に、フォトリソグラフィー用のレジストパターン3を形成し、さらに電解めっきによって内層配線層のビア9及び配線10を形成したものである。本実施形態においては、シード金属層としてTi/Cu=50/300 nmをスパッタリングにより形成し、フォトリソグラフィー用レジスト厚は5 μmで形成した。これにより、L/S=2/2 μmのフォトリソグラフィー用のレジストパターン3を形成後、電解めっきを用いて厚さ2 μmの配線10を形成した。
- [0104] 図6 (h) は、フォトリソグラフィー用のレジストパターン3を剥離後に

シード金属層を除去し、第1絶縁樹脂層8及びビア9と配線10からなる内層配線層が形成された図を示している。

[0105] なお、配線形成方法、絶縁樹脂層の形成方法は本実施形態の方法に限定されるものではなく、適宜の形成方法を選択することが可能である。

[0106] 図6(i)は図6(f)～(h)に示した工程をさらに3回繰り返すことで、配線10及び第1絶縁樹脂層8がそれぞれ4層積層された内層構造体7を示したものである。1層当たりの第1絶縁樹脂層8の厚さは6 μ m、配線10の厚さは2 μ mとし、最外層の配線10の厚さは12 μ mとしている。この結果、内層構造体7の厚みは36 μ mとなっている。

[0107] 図6(j)は、第2外層構造体11を形成する工程を説明する図である。まず、内層構造体7の上方に、第2外層構造体11の第2絶縁樹脂層12となるプリプレグ、キャリア付き銅箔を積層プレスで形成する。本実施形態では、キャリア箔厚18 μ m、薄銅箔側3 μ m厚のキャリア付き銅箔を用い、3 μ mの薄銅箔13をプリプレグ側に配置した。プリプレグは70 μ m厚のものを用いた。

[0108] 図7(k)は、キャリア付き銅箔からキャリア箔を剥離除去し、さらにCO₂レーザーを用いて第2外層構造体11に外部接続ビア14を形成したものを示している。この後、レーザー開口部をデスミア処理し、さらに無電解銅めっきによりビア部へ0.6 μ m厚の無電解銅めっきを形成した(非図示)。本実施形態では、直径60 μ mのビアを150 μ mピッチで形成した。

[0109] 図7(l)は、フォトリソグラフィー用のレジストパターン3を形成した後に、電解銅めっきによりパッド15を形成したものである。本実施形態では、電解銅めっき層をパッド15が18 μ m厚になるように形成した。

[0110] 図7(m)は、フォトリソグラフィー用のレジストパターン3の除去後、薄銅箔13及び無電解銅めっき層をエッチング除去し、第2外層構造体11を形成した図である。本実施形態では、第2外層構造体に直径75 μ m、パッド厚15 μ mのパッド15が、150 μ mピッチで形成されている。

[0111] 図7(n)は、図7(m)の上下を反転して示した図であり、支持基板1

を除去する工程を示したものである。第2外層構造体11の表面に保護シートを設けた後に（非図示）金属層2をエッチング除去し、さらに第2外層構造体11の保護シートを除去（非図示）することによって、第1外層構造体5に外部接続ビア4と第2外層構造体11にパッド15が露出したインターポーザ100を得ることができる。

[0112] 本実施形態によれば、内層構造体7の両面に、高弾性、低CTE材料から選択される第1外層構造体5及び第2外層構造体11が形成されており、総厚50 μ m以上のインターポーザ100が形成されることとなる。このように形成されたインターポーザは、インターポーザ単体で、搬送することができる剛性を有している。また、インターポーザからは、支持体が除去されていることから、インターポーザの両面が露出された状態となっており、インターポーザ表裏に第1接続端子16及び第2接続端子17を形成することが可能となる。

[0113] 図8（o）は、図7（n）の第2絶縁樹脂層6上に、さらに第2絶縁樹脂層6を積層した図である。本実施形態では、図7（n）の第2絶縁樹脂層6と本工程で積層した第2絶縁樹脂層6の厚みの合計が第1外層構造体5の厚みとなる。本実施形態では、第1外層構造体5のZ方向の厚みを50 μ mで形成した。

[0114] 図8（p）は、図8（o）で積層した第2絶縁樹脂層6上に、外部接続用開口部21を形成した図である。外部接続用開口部21の形成にはレーザーを用いることができる。また、レーザー加工の条件を適宜調整することで、外部接続用開口部21のテーパ角度の調整が可能である。

[0115] 図8（q）は、図8（p）で形成した外部接続用開口部21の外部接続ビア4露出部と、第2外層構造体11の外部接続端子のパッド15に表面処理を行う工程を示している。

[0116] 表面処理後には、両パッド層上に半田を形成することができる。この半田の形成方法についても、スクリーン印刷法、ボール搭載法、電気めっき法、フォトリソグラフィー用のレジストパターン形成後に熔融半田を充填する等

の公知方法を適宜に採用することができる。本実施形態では、表面処理として無電解Ni/Pd/Auを両面に実施し、表裏共にはんだボール工法を用いて半田を形成した。こうして、第1外層構造体5及び第2外層構造体11上に第1接続端子16及び第2接続端子17が形成された本実施形態におけるインターポーザ100を得ることができる。

[0117] 図5(a)～図9(s)に示す本実施形態のインターポーザ100の製造方法では、第1外層構造体5、内層構造体7、第2外層構造体11の順序で形成を行っているが、必ずしもこの順序に限られるわけではなく、逆の順序で形成する方法を選択しても良い。即ち、支持基板1を用意する工程、金属層2を形成する工程の後に、第2外層構造体11を形成する工程、内層構造体7を形成する工程、第1外層構造体5を形成する工程の順序で本実施形態のインターポーザ100を製造しても良い。

[0118] 具体的な手順は図5(a)～図7(n)、および図8(p)～図9(s)までと同様の工程となるため省略するが、図8(o)の第1外層構造体5の第2絶縁樹脂層6を2層ではなく樹脂厚の厚い第2絶縁樹脂層6を1層で一括して積層する点、パッド15の形成順序が支持基板1の除去後となる点が異なる。本工程を経ることで本実施形態におけるインターポーザ100を得ることができる。

[0119] 図9(r)は、インターポーザ100の両面の第1接続端子16及び第2接続端子17に対して電気検査探針を同時に接触させてインターポーザ100の電気検査を実施する工程を示している。

[0120] 具体的な電気検査及びその結果を活用した製造手順は、以下のとおりとなる。

- 1) 接続端子からインターポーザの電気検査を行う第1の検査工程
- 2) 第1の検査工程の結果に基づき、インターポーザの良否を判断する第1の判断工程
- 3) 第1の判断工程において「良」と判断されたインターポーザに、半導体装置を搭載する仮接続工程

4) 仮接続された半導体パッケージに対して、電気検査を行う第2の検査工程

5) 第2の検査工程の結果に基づき、半導体パッケージの良否を判断する第2の判断工程

6) 第2の判断工程において「否」と判断された半導体パッケージに対して、実装の修復及び／又は交換を行う補修工程

[0121] なお、上記の製造手順に加えて、以下の手順を実行してもよい。

7) 補修工程の後に半導体パッケージに対して電気検査を行う第3の検査工程

8) 第3の検査工程の結果に基づき、半導体パッケージの良否を判断する第3の判断工程

9) 第3の判断工程において「良」と判断された半導体パッケージの半導体装置とインターポーザとの間隙にアンダーフィルを供給する固定工程

[0122] 図9(s)は、本実施形態における複数個のインターポーザが格子状に連続的に形成されているパネル原反をA-A部分でダイシングすることで個片化し、個々のインターポーザを切り出す工程を示す図である。こうして本実施形態におけるインターポーザ100を製造することができる。

[0123] (半導体装置搭載方法)

次に、図10を参照して、本実施形態におけるインターポーザへ半導体装置を搭載し半導体パッケージを製造する方法について説明する。

[0124] 図10(a)は、インターポーザ上に半導体装置50及び51を搭載し、半導体パッケージを製造する工程の概略を示す断面図である。本実施形態において用いられるインターポーザは、インターポーザ単体としての電気検査を実施済みであり、良品であることが確認されたものを用いている。

[0125] 半導体装置の実装方法は、例えば、マスリフロー、TCB(Thermal-Compression Bonding)などの公知の実装技術を用いることができる。TCBを用いれば、複数半導体装置の搭載中やリフロー中にインターポーザの高温加熱によるCTEミスマッチが発生しにくい。

- [0126] また、インターポーザ１００に外部接続用開口部２１を設けることで、半導体装置を搭載した際に半導体装置の外部接続電極５４が外部接続用開口部２１に嵌るため、複数半導体装置の搭載中やリフロー中に位置ズレを防止することができる。
- [0127] さらに、外部接続用開口部２１を円形とすることで、角形よりも応力を分散することができる。
- [0128] さらに、外部接続用開口部２１の断面形状を、インターポーザ１００の半導体装置搭載面側より厚み方向に徐々に径が小さくなるテーパ形状とすることで、半導体装置搭載機などに起因する半導体装置の搭載位置ズレが発生してもテーパ形状により搭載位置を補正することができ、より高い位置精度で半導体装置を搭載することができる。
- [0129] さらに、第１接続端子１６もしくは半導体装置の接続端子５５のいずれかが、常温以上の温度で流動性のある導電性接着剤を用いることで、半導体装置搭載後の外部接続用開口部２１と半導体装置の外部接続電極５４の間隙を導電性接着剤で充填させ、インターポーザ１００の外部接続ビア４と半導体装置の外部接続電極５４との接合部が補強され接続信頼性の向上が得られる。さらにインターポーザ１００の外部接続ビア４と半導体装置の外部接続電極５４との接合部は、弾性率の高い第２絶縁樹脂層６により導電性接着剤を介して補強されるため、より高い接続信頼性の向上が得られる。導電性接着剤には半田や金属粒子を含んだペーストを選択することができる。本発明の半導体パッケージ１５０では半田を選択した。
- [0130] また、本実施形態におけるアンダーフィル工程は、ＮＣＦ（Non-Conductive Film）やＮＣＰ（Non-Conductive Paste）等は採用せず、キャピラリーアンダーフィルを用いることが望ましい。これは、キャピラリーアンダーフィルを採用すれば、後の電気検査において、半導体装置に不良が発見された場合、不良となった半導体装置の交換が容易であるためである。
- [0131] 次に、図１０（ｂ）は、本実施形態における半導体パッケージとしてのＳ

i Pの電気検査を示す図である。第2接続端子17に検査プローブ18を接触させて電気検査を行うことにより、個々に搭載された半導体装置を含めた「実装歩留まり($Y_{ASSEMBRY}$)」を検査することができ、実装不良あるいは半導体装置の不良を特定することができる。

[0132] 図10(c)は、前工程で特定した実装不良あるいは不良の半導体装置52を部分的に取り外し、良品の半導体装置53に交換する工程を示した断面模式図である。本実施形態においては、搭載した半導体装置は、モールド樹脂やアンダーフィルでチップ固定しないため、実装不良の箇所や不良の半導体装置を部分的に修正することが可能となる。修正後に($Y_{ASSEMBRY}$) = 100%にすることができる。

[0133] よって本実施形態におけるインターポーザによれば、統合するチップ個数NによることなくSiP組立全歩留まり(Y_{TOTAL})の向上に貢献することができる。修正は、TCB実装の逆の工程を行うことで実行可能である。

[0134] 図11(d)は、複数の半導体装置が搭載された本実施形態による半導体パッケージ150にアンダーフィル供給装置56を用いてアンダーフィル19を形成するキャピラリーアンダーフィル工程を示す図である。検査修正後にアンダーフィル19を用いて、半導体装置を本実施形態におけるインターポーザに固定することができる。

[0135] 図11(e)は、さらに半導体装置上にモールド樹脂20を形成した断面模式図である。本モールド樹脂による固定工程は必ずしも必須の工程ではない。また、モールドによる固定は、公知の適宜の方法を採用することができる。さらにモールド樹脂20上面を研磨し、半導体装置の上端を露出させてもよい。

[0136] 以上図10(a)～図11(d)あるいは(e)の工程を経て、半導体装置が搭載された、半導体パッケージ150を作成することができる。本実施形態によれば、インターポーザが独立して存在するため、下記利点が得られる。

1) ($Y_{INTERPOSER}$) = 100%の検査保証済みインターポーザを実装工程で用い

ることができる。さらにリペア回収により ($Y_{ASSEMBRY}$) = 100%に近づけることができる。

よってS i P組立全歩留まりを向上させることが可能となる。

2) FC-BGAとインターポーザ100が独立しているので、インターポーザに半導体装置を搭載し、半導体パッケージとした後にFC-BGAやマザーボードに実装することも可能であるし、インターポーザをFC-BGAやマザーボードに実装した後に半導体装置を搭載することも可能となり、製造工程の自由度を向上することができる。

3) 各部材のCTEについても、インターポーザが半導体装置とFC-BGA基板の中間値とすることができるため、半導体装置とインターポーザを先に組立て、後にBGAへ実装することによって、半導体装置とFC-BGAとのCTEの整合を仲介することができ、接続信頼性向上に寄与する。

4) インターポーザをFC-BGAを介さず直接マザーボードに接続する形態も適宜選択することができる。

[0137] 以上、本発明の実施の形態について説明したが、本発明は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

[0138] 例えば、上述した実施形態においては、第1外層構造体は第2外層構造体に対して先に形成する例で説明したが、これらの形成順序は何ら限定されるものではなく、支持基板上に第2外層構造体（BGAやマザーボードへの接続側）から作成し、第1外層構造体を後に形成してもよい。

[0139] また、本実施形態におけるインターポーザの製造方法の概略を示す図5（a）～図9（r）では、便宜上、1つのインターポーザのみを図示している。しかし、本開示の製造方法は、1つのインターポーザが複数配置された角型パネル又は円形のウェハー上に形成された状態で製造してもよいことは言うまでもない。

[0140] さらに、本開示において説明した製造パネルの形状や支持基板の厚みやサイズについても何ら限定されるものではなく、適宜の形状や大きさのものを

採用することができる。

[0141] 本発明の内容となり得る態様を以下に述べる。ただしこれに限られるものではない。

[0142] (態様 1)

少なくとも 1 層の内層配線層を含む内層構造体と、
前記内層構造体の第 1 面上に配置された第 1 外層構造体と、
前記内層構造体の第 2 面上に配置された第 2 外層構造体と、
を備えるインターポーザであって、
前記内層配線層は、第 1 絶縁樹脂層と前記第 1 絶縁樹脂層の表面に配置された配線と前記配線に接続し、前記第 1 絶縁樹脂層を貫通するビアとを備えており、
前記第 1 外層構造体及び前記第 2 外層構造体は、第 2 絶縁樹脂層と前記第 2 絶縁樹脂層を貫通する外部接続ビアとを備えており、
前記第 1 外層構造体又は前記第 2 外層構造体の表面に、半導体装置の外部接続電極が嵌ることが可能なように、前記第 2 絶縁樹脂層が外部接続用開口部を持つ、
インターポーザ。

[0143] (態様 2)

態様 1 に記載のインターポーザであって、
前記外部接続用開口部が円形である、
インターポーザ。

[0144] (態様 3)

態様 1 又は態様 2 に記載のインターポーザであって、
前記外部接続用開口部がテーパー形状である、
インターポーザ。

[0145] (態様 4)

態様 1 乃至態様 3 のいずれか一つに記載のインターポーザであって、
前記外部接続用開口部に導電性接着剤が設けられる、

インターポーザ。

[0146] (態様 5)

態様 4 に記載のインターポーザであって、
前記導電性接着剤が半田であることを特徴とするインターポーザ。

[0147] (態様 6)

態様 1 乃至態様 5 のいずれか一つに記載のインターポーザであって、
前記第 1 外層構造体及び前記第 2 外層構造体の、少なくとも一方の前記第 2 絶縁樹脂層の弾性率が、前記第 1 絶縁樹脂層の弾性率よりも高い、
インターポーザ。

[0148] (態様 7)

態様 1 乃至態様 6 のいずれか一つに記載のインターポーザであって、
前記第 2 絶縁樹脂層が、少なくともモールド樹脂またはガラス繊維が内包された樹脂を含む、
インターポーザ。

[0149] (態様 8)

態様 1 乃至態様 7 のいずれか一つに記載のインターポーザに前記半導体装置を搭載した、
半導体パッケージ。

[0150] (態様 9)

態様 8 に記載の半導体パッケージであって、
前記外部接続ビアと、前記外部接続電極との接合部が、前記半導体装置の厚み方向における前記第 2 絶縁樹脂層内に位置する、
半導体パッケージ。

[0151] (態様 10)

態様 1 乃至態様 7 のいずれか一つに記載のインターポーザの製造方法であって、
支持基板の上に前記第 1 外層構造体を形成する第 1 の工程と、
前記第 1 外層構造体の上に前記内層構造体を形成する第 2 の工程と、

前記内層構造体の上に前記第 2 外層構造体を形成する第 3 の工程と、
前記第 1 外層構造体と前記支持基板とを剥離する第 4 の工程と、
前記第 1 外層構造体の前記外部接続ビアの上に前記外部接続用開口部を形成する第 5 の工程と、
前記第 1 外層構造体及び前記第 2 外層構造体の最外層の上に接続端子を形成する第 6 の工程と、
を含むインターポーザの製造方法。

[0152] (態様 1 1)

態様 1 乃至態様 7 のいずれか一つに記載のインターポーザの製造方法であって、
支持基板の上に前記第 2 外層構造体を形成する第 1 の工程と、
前記第 2 外層構造体の上に前記内層構造体を形成する第 2 の工程と、
前記内層構造体の上に前記第 1 外層構造体を形成する第 3 の工程と、
前記第 1 外層構造体の前記外部接続ビアの上に前記外部接続用開口部を形成する第 4 の工程と、
前記第 2 外層構造体と前記支持基板とを剥離する第 5 の工程と、
前記第 1 外層構造体及び前記第 2 外層構造体の最外層の上に接続端子を形成する第 6 の工程と、
を含むインターポーザの製造方法。

[0153] (態様 1 2)

態様 8 又は態様 9 に記載の半導体パッケージの製造方法であって、
支持基板の上に前記第 1 外層構造体を形成する第 1 の工程と、
前記第 1 外層構造体の上に前記内層構造体を形成する第 2 の工程と、
前記内層構造体の上に前記第 2 外層構造体を形成する第 3 の工程と、
前記第 1 外層構造体と前記支持基板とを剥離する第 4 の工程と、
前記第 1 外層構造体の前記外部接続ビアの上に前記外部接続用開口部を形成する第 5 の工程と、
前記第 1 外層構造体及び前記第 2 外層構造体の最外層の上に接続端子を形

成する第6の工程と、

前記半導体装置を搭載する第7の工程と、

を含む半導体パッケージの製造方法。

[0154] (態様13)

態様8又は態様9に記載の半導体パッケージの製造方法であって、

支持基板の上に前記第2外層構造体を形成する第1の工程と、

前記第2外層構造体の上に前記内層構造体を形成する第2の工程と、

前記内層構造体の上に前記第1外層構造体を形成する第3の工程と、

前記第1外層構造体の前記外部接続ビアの上に前記外部接続用開口部を形成する第4の工程と、

前記第2外層構造体と前記支持基板とを剥離する第5の工程と、

前記第1外層構造体及び前記第2外層構造体の最外層の上に接続端子を形成する第6の工程と、

前記半導体装置を搭載する第7の工程と、

を含む半導体パッケージの製造方法。

符号の説明

[0155] 1：支持基板， 2：金属層， 3：レジストパターン， 4：外部接続ビア， 5：第1外層構造体， 6：第2絶縁樹脂層， 7：内層構造体， 8：第1絶縁樹脂層， 9：ビア， 10：配線， 11：第2外層構造体， 12：第2絶縁樹脂層， 13：薄銅箔， 14：外部接続ビア， 15：パッド， 16：第1接続端子， 17：第2接続端子， 18：検査プローブ， 19：アンダーフィル， 20：モールド樹脂， 21：外部接続用開口部， 50、51、52、53：半導体装置， 54：半導体装置の外部接続電極， 55：半導体装置の接続端子， 56：アンダーフィル供給装置， 100：インターポザ， 150：半導体パッケージ

請求の範囲

- [請求項1] 少なくとも1層の内層配線層を含む内層構造体と、
前記内層構造体の第1面上に配置された第1外層構造体と、
前記内層構造体の第2面上に配置された第2外層構造体と、
を備えるインターポーザであって、
前記内層配線層は、第1絶縁樹脂層と前記第1絶縁樹脂層の表面に
配置された配線と前記配線に接続し、前記第1絶縁樹脂層を貫通する
ビアとを備えており、
前記第1外層構造体及び前記第2外層構造体は、第2絶縁樹脂層と
前記第2絶縁樹脂層を貫通する外部接続ビアとを備えており、
前記第1外層構造体又は前記第2外層構造体の表面に、半導体装置
の外部接続電極が嵌ることが可能なように、前記第2絶縁樹脂層が外
部接続用開口部を持つ、
インターポーザ。
- [請求項2] 請求項1に記載のインターポーザであって、
前記外部接続用開口部が円形である、
インターポーザ。
- [請求項3] 請求項1に記載のインターポーザであって、
前記外部接続用開口部がテーパー形状である、
インターポーザ。
- [請求項4] 請求項1に記載のインターポーザであって、
前記外部接続用開口部に導電性接着剤が設けられる、
インターポーザ。
- [請求項5] 請求項4に記載のインターポーザであって、
前記導電性接着剤が半田であることを特徴とするインターポーザ。
- [請求項6] 請求項1に記載のインターポーザであって、
前記第1外層構造体及び前記第2外層構造体の、少なくとも一方の
前記第2絶縁樹脂層の弾性率が、前記第1絶縁樹脂層の弾性率よりも

高い、

インターポーザ。

[請求項7]

請求項1に記載のインターポーザであって、

前記第2絶縁樹脂層が、少なくともモールド樹脂またはガラス繊維が内包された樹脂を含む、

インターポーザ。

[請求項8]

請求項1乃至請求項7のいずれか一項に記載のインターポーザに前記半導体装置を搭載した、

半導体パッケージ。

[請求項9]

請求項8に記載の半導体パッケージであって、

前記外部接続ビアと、前記外部接続電極との接合部が、前記半導体装置の厚み方向における前記第2絶縁樹脂層内に位置する、

半導体パッケージ。

[請求項10]

請求項1乃至請求項7のいずれか一項に記載のインターポーザの製造方法であって、

支持基板の上に前記第1外層構造体を形成する第1の工程と、

前記第1外層構造体の上に前記内層構造体を形成する第2の工程と

、

前記内層構造体の上に前記第2外層構造体を形成する第3の工程と

、

前記第1外層構造体と前記支持基板とを剥離する第4の工程と、

前記第1外層構造体の前記外部接続ビアの上に前記外部接続用開口部を形成する第5の工程と、

前記第1外層構造体及び前記第2外層構造体の最外層の上に接続端子を形成する第6の工程と、

を含むインターポーザの製造方法。

[請求項11]

請求項1乃至請求項7のいずれか一項に記載のインターポーザの製造方法であって、

支持基板の上に前記第 2 外層構造体を形成する第 1 の工程と、
前記第 2 外層構造体の上に前記内層構造体を形成する第 2 の工程と
、
前記内層構造体の上に前記第 1 外層構造体を形成する第 3 の工程と
、
前記第 1 外層構造体の前記外部接続ビアの上に前記外部接続用開口部を形成する第 4 の工程と、
前記第 2 外層構造体と前記支持基板とを剥離する第 5 の工程と、
前記第 1 外層構造体及び前記第 2 外層構造体の最外層の上に接続端子を形成する第 6 の工程と、
を含むインターポーザの製造方法。

[請求項12]

請求項 8 に記載の半導体パッケージの製造方法であって、
支持基板の上に前記第 1 外層構造体を形成する第 1 の工程と、
前記第 1 外層構造体の上に前記内層構造体を形成する第 2 の工程と
、
前記内層構造体の上に前記第 2 外層構造体を形成する第 3 の工程と
、
前記第 1 外層構造体と前記支持基板とを剥離する第 4 の工程と、
前記第 1 外層構造体の前記外部接続ビアの上に前記外部接続用開口部を形成する第 5 の工程と、
前記第 1 外層構造体及び前記第 2 外層構造体の最外層の上に接続端子を形成する第 6 の工程と、
前記半導体装置を搭載する第 7 の工程と、
を含む半導体パッケージの製造方法。

[請求項13]

請求項 8 に記載の半導体パッケージの製造方法であって、
支持基板の上に前記第 2 外層構造体を形成する第 1 の工程と、
前記第 2 外層構造体の上に前記内層構造体を形成する第 2 の工程と
、

前記内層構造体の上に前記第 1 外層構造体を形成する第 3 の工程と、
前記第 1 外層構造体の前記外部接続ビアの上に前記外部接続用開口部を形成する第 4 の工程と、
前記第 2 外層構造体と前記支持基板とを剥離する第 5 の工程と、
前記第 1 外層構造体及び前記第 2 外層構造体の最外層の上に接続端子を形成する第 6 の工程と、
前記半導体装置を搭載する第 7 の工程と、
を含む半導体パッケージの製造方法。