

一种半导体存储器及其上存储块的容量配置方法

相关申请的交叉引用

本申请基于申请号为 202110783912.0、申请日为 2021 年 7 月 12 日、发明名称为“一种半导体存储器及其上存储块的容量配置方法”的中国专利
5 专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本申请实施例涉及半导体技术领域，涉及但不限于一种半导体存储器及其上存储块的容量配置方法。

10 背景技术

相关技术中，为了同一款芯片实现不同的容量，可以采用一组修剪（trim）命令，使整个芯片（chip）上所有存储块（bank）的相同存储区域（存储阵列（array））被修剪掉，以得到不同容量。

由于不同的存储块，损坏的存储阵列完全有可能是不一样的，而为了
15 利用只坏掉部分存储阵列的芯片，对整个芯片都选取相同的存储阵列进行修剪的方法，存在明显的缺陷，对半导体存储器上存储块的容量配置的有效利用率较低。

发明内容

有鉴于此，本申请实施例提供一种半导体存储器及其上存储块的容量
20 配置方法，能够灵活选取待修剪的存储区域，提升对半导体存储器上存储块的容量配置的有效利用率。

第一方面，本申请实施例提供一种半导体存储器上存储块的容量配置方法，所述方法包括：

确定所述存储器上的待配置的目标存储块；

确定所述目标存储块的容量配置参数，所述容量配置参数用于表征所述目标存储块的待配置容量；

基于所述目标存储块的容量配置参数，从所述目标存储块的一组编码中，确定目标编码；所述目标编码对应所述目标存储块中待修剪的存储区域；

基于所述目标编码，生成用于选中所述目标存储块中待修剪的存储区域的区域选择信号；

基于所述区域选择信号，对所述待修剪的存储区域进行修剪，以实现所述目标存储块的容量进行配置。

第二方面，本申请实施例提供一种半导体存储器，所述半导体存储器包括：

目标存储块，包括至少两个存储区域；

地址处理单元，配置为输出所述目标存储块的地址；所述地址处理单元的输出端连接所述目标存储块；

编码获取单元，配置为接收目标编码，所述目标编码对应所述目标存储块中的至少一个待修剪的存储区域；

区域选择信号生成单元，配置为基于所述目标编码，生成用于选中所述目标存储块中待修剪的存储区域的区域选择信号；所述区域选择信号生成单元的输出端连接修剪单元的输入端；

所述修剪单元，配置为基于所述区域选择信号，对所述待修剪的存储区域进行修剪，以实现所述目标存储块的容量进行配置；所述修剪单元的输出端连接所述目标存储块。

本申请实施例中，由于对于不同待配置的目标存储块的容量配置参数可以是不同的，基于不同的容量配置参数所确定的目标编码也可以不同，进而基于不同的目标编码所生成的区域选择信号也不同。如此，通过不同的区域选择信号，可以实现对不同待配置的目标存储块的不同待修剪的存储区域进行修剪；进而，能够灵活选取待修剪的存储区域，提升对半导体存储器上存储块的容量配置的有效利用率。

附图说明

在附图（其不一定是按比例绘制的）中，相似的附图标记可在不同的视图中描述相似的部件。具有不同字母后缀的相似附图标记可表示相似部件的不同示例。附图以示例而非限制的方式大体示出了本文中所讨论的各个实施例。

图 1 为相关技术中动态随机存取存储器（Dynamic Random Access Memory, DRAM）的组成结构示意图；

图 2 为本申请实施例提供的一种半导体存储器上存储块的容量配置方法的实现流程框图；

图 3a 为本申请实施例提供的一种全芯片存储区域和地址的结构示意图；

图 3b 为本申请实施例提供的对图 3a 中的存储块 8 进行放大后所展现的结构示意图；

图 3c 为本申请实施例提供的对存储块 8 进行修剪后的结构示意图；

图 3d 为本申请实施例提供的一种对目标编码进行逻辑非运算的逻辑电路图；

图 3e 为本申请实施例提供的一种对 $Ra_{15:14}$ 进行逻辑非运算的逻辑电路图；

图 3f 为本申请实施例提供的一种对 DensityTrim<0>和 DensityTrim<1>进行逻辑运算的逻辑电路图;

图 3g 为本申请实施例提供的对 DensityTrimB<0>和 DensityTrimB<1>进行逻辑运算的逻辑电路图;

5 图 3h 为本申请实施例提供的通过目标编码和高两位元地址得到区域选择信号 Ra1514<0>的逻辑电路图;

图 3i 为本申请实施例提供的通过目标编码和高两位元地址得到区域选择信号 Ra1514<1>的逻辑电路图;

图 3j 为本申请实施例提供的通过目标编码和高两位元地址得到区域选择信号 Ra1514<2>的逻辑电路图;

图 4 为本申请实施例提供的一种适用于对半导体存储器上存储块的容量进行配置的系统结构图;

图 5 为本申请实施例提供的一种半导体存储器的结构示意图。

具体实施方式

15 为使本申请实施例的目的、技术方案和优点更加清楚,下面将结合本申请实施例中的附图,对发明的具体技术方案做进一步详细描述。以下实施例用于说明本申请实施例,但不用来限制本申请实施例的范围。

在后续的描述中,使用用于表示元件的诸如“模块”或“单元”的后缀仅为了有利于本申请实施例的说明,其本身没有特定的意义。因此,“模块”或“单元”可以混合地使用。

相关技术中,由于存储芯片的每套掩膜的费用很高,同时为了快速占领市场,往往在一款芯片的设计中用 trim 实现不同的容量。在实际生产中还会遇到有一部分的芯片只坏掉了部分的存储阵列,这时可以把这部分的芯片用作低容量的芯片来出售,达到增加良率的目的,比如,8 兆比特 (Gigabit, Gb) 的芯片可以当作 4Gb/2Gb 的芯片来使用。同一款芯片实现

不同的容量，通常的做法是用一组 trim，使整个芯片所有存储块选取相同的存储阵列进行 trim。这种实现方法设计上比较简单，但是不够灵活。为了利用只坏掉部分存储阵列的那部分芯片，整个芯片所有存储块都选取相同存储阵列的做法，显然是有缺陷的，因为不同的存储块，损坏的存储阵列完全有可能是不一样的。

可以理解的是，存储块是指动态随机存储器中包含的物理存储体或逻辑存储库的数量，一个芯片中可以包含多个存储块，例如，可以包含 8 个存储块；每一存储块中可以包含多个存储阵列，存储块中存储阵列的数量代表芯片的数据位宽；一个存储阵列里面包含多个存储单元。

10 在一种可能的实施方式中，半导体存储器可以是 DRAM。图 1 为相关技术中 DRAM 的组成结构示意图，如图 1 所示，控制器 10 控制两个多个双列直插式存储模块（Dual-Inline-Memory-Modules，DIMM）101，每一 DIMM 101 上包括至少两个 DRAM 颗粒（die）1011。

基于上述技术问题，本申请实施例提供了一种半导体存储器上存储块的容量配置方法，如图 2 所示，所述方法包括以下步骤：

步骤 S202：确定所述存储器上的待配置的目标存储块；

可以理解的是，存储器可以是指单片存储容量已进入兆位级水平的 DRAM 或支持 trim 功能的其它半导体存储器；目标存储块可以是存储器上的任意一个待配置的存储块。在一个示例中，bank 可以是存储块的一种实现方式。以包含 16 个 bank 的芯片为例来进行说明，在 16 个 bank 分别为 bank0 至 bank15 的情况下，目标存储块可以是 bank0 至 bank15 中的任一个，例如，目标存储块可以是 bank8 或 bank0。

在一些可能的实施方式中，确定所述存储器上的待配置的目标存储块，可以是在需要对存储器上的每一存储块进行配置的情况下，将存储器上的每一存储块确定为待配置的目标存储块。

在一些实施例中，目标存储块的容量是根据存储器的芯片的容量所确定的。例如，对于 16Gb 包含 16 个 bank 的芯片而言，每一 bank 的容量是 1Gb，即，目标存储块的容量也是 1Gb。

步骤 S204：确定所述目标存储块的容量配置参数，所述容量配置参数
5 配置为表征所述目标存储块的待配置容量；

在一些可能的实施方式中，目标存储块的容量配置参数可以包括以下至少之一：目标存储块的目标容量、目标存储块中待修剪的存储区域、目标存储块中可利用的存储区域。

可以理解的是，存储区域可以是存储阵列的一种实现方式，当然，存
10 储区域也可以用 Region 表示，例如，每一 bank 可以被分成 Region<5:0>6 个区域，Region<5>可以是其中的一个存储区域。

在一个示例中，目标存储块 bank8 在未损坏也未被修剪的情况下的容量可以是 1Gb，bank8 的目标容量可以是小于等于 1Gb 的容量，例如，目标容量可以是(1/8)Gb、(1/4)Gb、(1/2)Gb、(2/3)Gb 等。如此，可以存在以下
15 两种情况：

情况 1：bank8 包括 Region<5:0>6 个区域，且未发生损坏，但为了满足需求需要将 1Gb 的容量改变为目标容量(2/3)Gb，可以将 Region<5:0>中的 Region<3:2>、Region<1:0>和 Region<5:4>中的任一存储区域确定为目标存储块 bank8 中待修剪的存储区域，而由于 bank8 未发生损坏，因此可以将所
20 有的存储区域作为目标存储块中可利用的存储区域。

可以看出，在目标存储块未发生损坏的情况下，仅需要确定目标存储块的目标容量，就可以存在 3 种实现容量配置的方法。

情况 2：bank8 包括 Region<5:0>6 个区域，且 Region<1:0>发生损坏，但为了满足需求需要将 1Gb 的容量改变为目标容量(2/3)Gb，可以将
25 Region<5:0>中的 Region<1:0>存储区域确定为目标存储块 bank8 中待修剪

的存储区域，将对应的剩余区域 Region<5:2>作为目标存储块中可利用的存储区域。当然，在需求为将 1Gb 的容量改变为目标容量(1/3)Gb 时，目标存储块中可利用的存储区域对应的可以是 Region<3:2>,可以在将 Region<1:0>和 Region<5:4>存储区域确定为目标存储块 bank8 中待修剪的存储区域。

- 5 可以看出，在目标存储块未发生损坏的情况下，可以将对应的剩余区域作为目标存储块中可利用的存储区域，且需要同时根据确定的目标存储块的目标容量，将包含损坏区域的存储区域确定为待修剪的存储区域。

对于确定所述目标存储块的容量配置参数的实现方式，可以是根据目标存储块的损坏信息、目标存储块的容量配置需求确定目标存储块的容量
10 配置参数。

步骤 S206：基于所述目标存储块的容量配置参数，从所述目标存储块的一组编码中，确定目标编码；所述目标编码对应所述目标存储块中待修剪的存储区域；

可以理解的是，目标存储块的一组编码可以是表示目标存储块的存储
15 区域中不同待修剪的存储区域的编码。例如，目标存储块的一组编码可以表示为 trim_halfGoodBnk<1:0> 或 Density<1:0>，其中，trim_halfGoodBnk<1:0>或 Density<1:0>可以分别为 00，01，10，11，trim_halfGoodBnk<1:0>=00，可以表示目标存储块 bank8 的存储区域 Region<5:0> 中不存在待修剪的存储区域的情况；
20 trim_halfGoodBnk<1:0>=01，可以表示目标存储块 bank8 的存储区域 Region<5:0> 中的待修剪的存储区域 Region<5:4>；trim_halfGoodBnk<1:0>=10，可以表示目标存储块 bank8 的存储区域 Region<5:0> 中的待修剪的存储区域 Region<3:2>；trim_halfGoodBnk<1:0>=11，可以表示目标存储块 bank8 的存储区域
25 Region<5:0>中的待修剪的存储区域 Region<1:0>。

在一个示例中，目标编码是根据目标存储块中待修剪的存储区域所确定的，例如，在待修剪的存储区域是 Region<3:2>的情况下，目标编码可以是 10。

在一种可能的实施方式中，基于所述目标存储块的容量配置参数，从所述目标存储块的一组编码中，确定目标编码，可以是在确定目标存储块未发生损坏的情况下，根据目标存储块的目标容量，从所述目标存储块的一组编码中，确定和目标容量相对应的任一待修剪的存储区域对应的目标编码。

例如，对于未发生损坏的目标存储块 bank8，在未损坏的情况下的 bank8 的容量可以是 1Gb，包括 Region<5:0>6 个区域；在目标容量为(2/3)G、trim_halfGoodBnk<1:0>或 Density<1:0>分别为 00、01、10、11，且表示不同的待修剪存储区域的情况下，可以从 rim_halfGoodBnk<1:0>或 Density<1:0>的一组编码中挑选表示(2/3)G的任一编码作为目标编码，因此，目标编码可以是 01、10 或 11 中的任意一个。

在另一种可能的实施方式中，基于所述目标存储块的容量配置参数，从所述目标存储块的一组编码中，确定目标编码，可以是在确定目标存储块发生损坏的情况下，根据损坏的存储区域和目标容量，确定待修剪的存储区域和可利用的存储区域，根据待修剪的存储区域和可利用的存储区域从目标存储块的一组编码中，确定目标编码。可以理解的是，在目标容量和损坏的存储区域的容量之和等于目标存储块未损坏时的容量的情况下，所确定的目标编码是唯一的。

例如，对于目标存储块 bank8 在未损坏的情况下，目标存储块 bank8 的容量可以是 1Gb，包括 Region<5:0>6 个区域；在 Region<5:4>存储区域发生损坏，且目标容量为(2/3)G、trim_halfGoodBnk<1:0>或 Density<1:0>分别为 00、01、10、11，且表示不同的待修剪存储区域的情况下，可以将

trim_halfGoodBnk<1:0>或 Density<1:0>的一组编码中挑选表示待修剪存储区域 Region<5:4>的编码作为目标编码，因此，目标编码是唯一的 01。

步骤 S208：基于所述目标编码，生成配置为选中所述目标存储块中待修剪的存储区域的区域选择信号；

5 可以理解的是，区域选择信号是对目标编码进行逻辑运算后所得到的目标输出电平。

步骤 S210：基于所述区域选择信号，对所述待修剪的存储区域进行修剪，以实现所述目标存储块的容量进行配置。

可以理解的是，修剪存储区域可以通过改变存储区域的逻辑电平来实现；例如，存储区域在未修剪前的电平可以是低电平，将存储区域的电平
10 由低电平转换为高电平后，可以将存储区域修剪掉。

在一种可能的实施方式中，基于所述区域选择信号，对所述待修剪的存储区域进行修剪，以实现所述目标存储块的容量进行配置，可以是根据区域选择信号，确定对待修剪的存储区域施加高压（高电平），对目标存储块中除待修剪的存储区域外的其它存储区域施加低压（低电平），以改变
15 待修剪的存储区域的逻辑电平，将待修剪的存储区域修剪掉，实现对所述目标存储块的容量进行配置。

本申请实施例中，由于对于不同待配置的目标存储块的容量配置参数可以是不同的，基于不同的容量配置参数所确定的目标编码也可以不同，
20 进而基于不同的目标编码所生成的区域选择信号也不同。如此，通过不同的区域选择信号，可以实现对不同待配置的目标存储块的不同待修剪的存储区域进行修剪；进而，能够灵活选取待修剪的存储区域，提升对半导体存储器上存储块的容量配置的有效利用率。

25 本申请实施例提供了还一种半导体存储器上存储块的容量配置方法，所述方法包括以下步骤：

步骤 101: 确定所述存储器上的待配置的目标存储块;

步骤 103: 确定所述目标存储块的容量配置参数, 所述容量配置参数用于表征所述目标存储块的待配置容量;

步骤 105: 在所述目标存储块的容量配置参数包括所述目标存储块中待修剪的存储区域, 或所述目标存储块中可利用的存储区域的情况下, 基于所述待修剪的存储区域或所述可利用的存储区域, 确定所述待修剪的存储区域;

可以理解的是, 可利用的存储区域可以理解为目标存储块中除待修剪的存储区域之外的存储区域。

在一些可能的实施方式中, 基于所述待修剪的存储区域或所述可利用的存储区域, 确定所述待修剪的存储区域, 可以是首先确定目标存储块中的损坏区域, 根据损坏区域确定可利用的存储区域, 进而确定待修剪的存储区域。

在一个示例中, 对于目标存储块 bank8 的容量可以是 1Gb, 包括 Region<5:0>6 个区域, 在目标容量为 8Gb, 且对应 Region<5:4>存储区域发生损坏的情况下, 可以确定待修剪的存储区域为 Region<5:4>; 在目标容量为 4Gb, 且对应 Region<5:4>存储区域发生损坏的情况下, 可以确定待修剪的存储区域为 Region<5:2>或 Region<1:0>和 Region<5:4>。

步骤 107: 基于所述待修剪的存储区域, 从所述目标存储块的一组编码中, 确定目标编码; 其中, 所述目标存储块的一组编码中每一编码对应于所述目标存储块中的至少一个待修剪的存储区域;

在一种可能的实施方式中, 基于所述待修剪的存储区域, 从所述目标存储块的一组编码中, 确定目标编码, 可以是无论目标存储块是否发生损坏, 均根据待修剪的存储区域, 从所述目标存储块的一组编码中, 确定与所述待修剪的存储区域相对应的编码。例如, 在确定待修剪的存储区域为

Region<5:4>的情况下，将 Region<5:4>对应的编码 01 确定为目标编码。

步骤 109: 在所述目标存储块的容量配置参数包括所述目标存储块的目标容量的情况下，从所述目标存储块的一组编码中，确定与所述目标存储块的容量配置参数对应的多个编码；

5 可以理解的是，在目标存储块的存储区域未发生损坏的情况下，可直接根据目标存储块的目标容量，和目标存储块未发生损坏时的容量，从所述目标存储块的一组编码中，确定与所述目标存储块的容量配置参数对应的多个编码。例如，目标存储块 bank8 的容量可以是 1Gb，包括 Region<5:0>6 个区域，在目标容量为(2/3)Gb，bank8 未发生损坏的情况下，从 00、01、
10 10 和 11 一组编码中，将编码 01、10 和 11，确定与目标存储块的目标容量对应的多个编码。

步骤 111: 从所述与所述目标存储块的容量配置参数对应的多个编码中，随机选择一个编码作为所述目标编码；所述目标编码对应所述目标存储块中待修剪的存储区域；

15 在一种可能的实施方式中，由于所述与所述目标存储块的容量配置参数对应的多个编码中的每一编码对应的待修剪的存储区域的容量是相同的，且目标存储块未发生损坏，因此，与所述目标存储块的容量配置参数对应的多个编码中的任意一个编码均可作为目标编码。

步骤 113: 基于所述目标编码，确定所述目标存储块中待修剪的存储区域
20 的行地址；

这里，目标存储块中待修剪的存储区域的行地址可以是 16 位的行地址 Ra<15:0>，其中，Ra<15>、Ra<14>、Ra<13>表示地址的高 3 位元地址。

可以理解的是，根据目标编码可以确定待修剪的存储区域，根据待修剪的存储区域可以确定待修剪的存储区域的行地址。

25 在一些可能的实施方式中，目标存储块中不同待修剪的存储区域对应

的行地址是不同的，例如，对于容量为 1Gb、包括 Region<5:0>6 个区域的目标存储块 bank8，待修剪的存储区域 Region<4>和 Region<5>所对应的存储地址是不同的，其中，Region<4>的行地址的高三位元地址为 100，Region<5>的行地址的高三位元地址为 101。

- 5 步骤 115: 基于所述目标编码和所述待修剪的存储区域的行地址，生成用于选中所述目标存储块中待修剪的存储区域的区域选择信号；

在一些可能的实施方式中，基于所述目标编码和所述待修剪的存储区域的行地址，生成用于选中所述目标存储块中待修剪的存储区域的区域选择信号，可以是将目标编码和待修剪的存储区域的行地址输入与非门组成的逻辑电路，逻辑门电路输出用于选中所述目标存储块中待修剪的存储区域
10 的区域选择信号。

步骤 117: 基于所述区域选择信号，对所述待修剪的存储区域进行修剪，以实现
 对所述目标存储块的容量进行配置。

本申请实施例中，在目标存储块的容量配置参数包括目标存储块中待修剪的存储区域，或所述目标存储块中可利用的存储区域的情况下，可以
15 根据目标存储块中待修剪的存储区域或所述目标存储块中可利用的存储区域来确定待修剪的存储区域，并将待修剪的存储区域对应的编码确定为目标编码；在目标存储块的容量配置参数包括目标存储块的目标容量的情况下，确定目标存储块的目标容量对应的多个编码，可以将多个编码中的任一编码作为目标编码。如此，由于容量配置参数是根据目标存储块的实际
20 情况所确定的，因此，所确定的目标编码是根据目标存储块的实际情况所确定的待修剪的存储区域，如此，所确定的目标编码更符合实际容量配置的实际需求。同时，由于同时根据目标编码和待修剪存储区域的行地址来生成区域选择信号，所确定的区域选择信号能够较为准确地实现对应目标
25 存储块中的待修剪的存储区域的修剪。

本申请实施例提供了又一种半导体存储器上存储块的容量配置方法，所述方法包括以下步骤：

步骤 201：确定所述存储器上的待配置的目标存储块；

5 步骤 203：确定所述目标存储块的容量配置参数，所述容量配置参数用于表征所述目标存储块的待配置容量；

步骤 205：基于所述目标存储块的容量配置参数，从所述目标存储块的一组编码中，确定目标编码；所述目标编码对应所述目标存储块中待修剪的存储区域；

10 步骤 207：基于所述目标编码，确定所述目标存储块中待修剪的存储区域；

步骤 209：对所述目标编码与对应所述待修剪的存储区域的行地址进行逻辑处理，得到目标电平；所述待修剪的存储区域的行地址为所述目标存储块的行地址中的高位元地址，所述高位元地址用于区别所述目标存储块
15 中的不同存储区域；

可以理解的是，待修剪的存储区域的行地址中的高位元地址可以是行地址中的高三位元地址或高两位元地址。在一个示例中，对于容量为 1Gb、包括 Region<5:0>6 个区域的目标存储块 bank8，待修剪的存储区域 Region<4>的行地址的高三位元地址为 100，Region<5>的行地址的高三位元
20 地址为 101。

在一个示例中，可以将目标编码理解为一种将行地址进行映射的映射因子。

在一种可能的实施方式中，将所述目标编码与对应待修剪的存储区域的行地址进行逻辑处理，得到目标电平，可以是将目标编码与对应待修剪
25 的存储区域的行地址输入与非门组成的译码器，通过译码器对目标编码与对应待修剪的存储区域的行地址进行逻辑处理，得到逻辑处理后的目标电

平。

步骤 211: 将所述目标电平作为所述区域选择信号;

步骤 213: 基于所述区域选择信号, 对所述待修剪的存储区域进行修剪, 以实现对所述目标存储块的容量进行配置。

5 本申请实施例中, 通过对所述目标编码与对应待修剪的存储区域的行地址中的高位元地址进行逻辑处理, 将逻辑处理后得到目标电平作为区域选择信号, 由于得到的目标电平是将待修剪的存储区域对应的编码作为映射因子, 对行地址中的高位元地址进行映射所得到的, 因此, 获取的区域选择信号能够更准确地实现对待修剪的存储区域的修剪。

10

本申请实施例提供了再一种半导体存储器上存储块的容量配置方法, 所述方法包括以下步骤:

步骤 301: 确定所述存储器上的待配置的目标存储块;

15 步骤 303: 确定所述目标存储块的容量配置参数, 所述容量配置参数用于表征所述目标存储块的待配置容量;

步骤 305: 在所述目标存储块的容量配置参数包括所述目标存储块的目标容量的情况下, 确定所述目标存储块的最大容量;

可以理解的是, 目标存储块的最大容量可以是目标存储块未发生损坏, 也未被修剪的情况下的容量。例如, 目标存储块的最大容量可以是 1Gb。

20 步骤 307: 在所述目标容量小于所述最大容量的情况下, 基于所述目标容量, 从所述目标存储块的一组编码中, 确定目标编码; 所述目标编码对应所述目标存储块中待修剪的存储区域;

可以理解的是, 在对半导体上的目标存储块进行容量配置的过程中, 目标容量肯定是小于等于目标存储块的最大容量的, 即, 仅可能将目标存储块的容量配置的比目标存储块的最大容量小, 无法将目标存储块的容量配置的比目标存储块的最大容量还要大。例如, 当半导体上的目标存储块

25

的最大容量为 1Gb 的情况下,目标容量需要小于等于 1Gb,不可能大于 1Gb。

在一种可能的实施方式中,在所述目标容量小于所述最大容量的情况下,基于所述目标容量,从所述目标存储块的一组编码中,确定目标编码,可以是在目标存储块的目标容量小于目标存储块的最大容量的情况下,根据最大容量与目标容量之间的差值,确定待修剪的存储区域的容量;然后,确定目标存储块是否存在损坏区域,在确定目标存储块存在损坏区域的情况下,确定损坏区域和损坏区域的容量,根据待修剪的存储区域的容量、损坏区域和损坏区域的容量,确定待修剪的存储区域;最后,从目标存储块的一组编码中,确定待修剪的存储区域对应的编码为目标编码。

在另一种可能的实施方式中,在所述目标容量小于所述最大容量的情况下,基于所述目标容量,从所述目标存储块的一组编码中,确定目标编码,可以是在目标存储块的目标容量小于目标存储块的最大容量的情况下,根据最大容量与目标容量之间的差值,确定待修剪的存储区域的容量;然后,确定目标存储块是否存在损坏区域,在确定目标存储块不存在损坏区域的情况下,将待修剪的存储区域的容量大小相同的任一存储区域确定为待修剪的存储区域;最后,从目标存储块的一组编码中,确定待修剪的存储区域对应的编码为目标编码。

步骤 309: 基于所述目标编码,生成用于选中所述目标存储块中待修剪的存储区域的区域选择信号;

步骤 311: 基于所述区域选择信号,对所述待修剪的存储区域进行修剪,以实现对所述目标存储块的容量进行配置。

本申请实施例中,明确了在目标存储块目标容量小于最大容量的情况下,才基于目标容量,从目标存储块的一组编码中,确定目标编码,如此,可以实现对半导体存储器上的存储块的容量合理配置。

本申请实施例提供了另一种半导体存储器上存储块的容量配置方法,

所述方法包括以下步骤:

步骤 401: 确定所述存储器上的待配置的目标存储块; 所述目标存储块包括至少两个逻辑存储区域, 每一所述逻辑存储区域包括连续的至少两个物理存储区域; 所述目标存储块中待修剪的存储区域包括连续的至少两个待修剪的物理存储区域;

在一个可能的实施方式中, 目标存储块的容量是 1G, 目标存储块可以包括 Region<5:0> 6 个区域, 其中, Region<1:0>可以是逻辑存储区域 1; Region<3:2>可以是逻辑存储区域 2; Region<1:0>可以是逻辑存储区域 3, 即, 目标存储块包含 3 个逻辑存储区域。Region<0>至 Region<5>可以分别是物理存储区域 1 至物理存储区域 6, 逻辑存储区域 1 可以包括连续的 Region<0>和 Region<1>; 逻辑存储区域 2 可以包括连续的 Region<2>和 Region<3>; 逻辑存储区域 3 可以包括连续的 Region<4>和 Region<5>。可以看出, 每一逻辑存储区包括两个连续的物理存储区域。

步骤 403: 确定所述目标存储块的容量配置参数, 所述容量配置参数用于表征所述目标存储块的待配置容量;

步骤 405: 在所述目标存储块的容量配置参数包括所述目标存储块中待修剪的物理存储区域的情况下, 基于所述目标存储块中连续的所述至少两个待修剪的物理存储区域, 在所述目标存储块所包括的至少两个逻辑存储区域中, 确定待修剪的逻辑存储区域;

可以理解的是, 本申请实施例是以逻辑存储区域为单位进行修剪的, 即, 只要逻辑存储区中的任一物理存储区域发生损坏, 则需要将物理存储区域所在的逻辑存储区域同时修剪掉。例如, 对于逻辑存储区域 Region<1:0>, 其中, 物理存储单元 Region<1>发生损坏, 则需要将 Region<1>所在的逻辑存储区域 Region<1:0>修剪掉。

在一些可能的实施方式中, 在所述目标存储块的容量配置参数包括所

述目标存储块中待修剪的物理存储区域的情况下，基于所述目标存储块中待修剪的物理存储区域，在所述目标存储块所包括的至少两个逻辑存储区域中，确定待修剪的逻辑存储区域，可以是在所述目标存储块的容量配置参数包括所述目标存储块中待修剪的物理存储区域的情况下，将目标存储块所包括的至少两个逻辑存储区域中，包含待修剪的物理存储区域的逻辑存储区域，确定为待修剪的逻辑存储区域。

步骤 407: 基于所述待修剪的逻辑存储区域，从所述目标存储块的一组编码中，确定目标编码；所述目标编码对应所述目标存储块中待修剪的存储区域；

可以理解的是，待修剪的逻辑存储区域可以是待修剪的存储区域的一种实现方式。

步骤 409: 基于所述目标编码，生成用于选中所述目标存储块中待修剪的存储区域的区域选择信号；

步骤 411: 基于所述区域选择信号，对所述待修剪的存储区域进行修剪，以实现所述目标存储块的容量进行配置。

本申请实施例中，将目标存储块的修剪的最小单位确定为逻辑存储区域，对于逻辑存储区域下一级的物理存储区域发生损坏的情况，则需要将物理存储区域所在的逻辑存储区域进行修剪，如此，可以减小对损坏存储区域漏修剪的可能性。

本申请实施例提供了其它一种半导体存储器上存储块的容量配置方法，所述方法包括以下步骤：

步骤 501: 确定所述存储器上的待配置的目标存储块；所述目标存储块包括至少两个逻辑存储区域，每一所述逻辑存储区域包括连续的至少两个物理存储区域；

步骤 503: 确定所述目标存储块的容量配置参数，所述容量配置参数用

于表征所述目标存储块的待配置容量；所述目标存储块的容量配置参数包括所述目标存储块的目标容量；

步骤 505：确定所述目标存储块中单个所述物理存储区域的容量；

可以理解的是，单个物理存储区域的容量等于存储块的总容量与物理存储区域的个数的比值。例如，目标存储块的总容量为 1Gb，物理存储区域
5 的个数为 6 个，则单个物理存储区域的容量为 $(1/6)$ Gb。

步骤 507：确定单个所述逻辑存储区域所包括的连续的物理存储区域的数量；

在一个示例中，单个逻辑存储区域所包括的连续的物理存储区域的数量
10 可以是 2，也可以是大于 2 的其它整数。

在一种可能的实施方式中，单个所述逻辑存储区域所包括的连续的物理存储区域的数量是根据目标存储块的一组编码中每一编码的位数和目标存储块中所包括的物理存储器的数量所确定的。

步骤 509：基于单个所述逻辑存储区域所包括的连续的物理存储区域的数量和单个物理存储区域的容量，确定单个所述逻辑存储区域的容量。
15

在一些可能的实施方式中，基于单个所述逻辑存储区域所包括的连续的物理存储区域的数量和单个物理存储区域的容量，确定单个所述逻辑存储区域的容量，可以是将单个所述逻辑存储区域所包括的连续的物理存储区域的数量与单个物理存储区域的容量的乘积，确定为单个逻辑存储区域
20 的容量。例如，在单个所述逻辑存储区域所包括的连续的物理存储区域的数量为 2，单个物理存储区域的容量为 $(1/3)$ Gb 的情况下，单个逻辑存储区域的容量为 $(2/3)$ Gb。

步骤 511：确定所述目标存储块的最大容量；

可以理解的是，目标存储块的最大容量可以是目标存储块未发生损坏
25 或未被修剪的情况下的容量。确定目标存储块的最大容量的方式可以是从

半导体存储器的出厂检测数据中所获取的。

在一种可能的实施方式中，对于最大容量为 1Gb、包括 Region<5:0>6
个物理存储区域的目标存储块 bank8，其中，将每两个连续的物理存储区域
确定为一个逻辑存储区域，则形成 Region<1:0>逻辑存储区域 1、Region<3:2>
5 逻辑存储区域 2 和 Region<5:4>逻辑存储区域 3，如此，可以看出，物理存
储区域的容量为 $(1/6)\text{Gb}$ ，逻辑存储区域的容量为 $(1/3)\text{Gb}$ 。

步骤 513: 基于单个所述逻辑存储区域的容量和所述目标存储块的最大
容量，确定在所述目标存储块上的可配置容量；所述单个所述逻辑存储区
域的容量包括单个所述逻辑存储区域所包括的各物理存储区域的容量之
10 和；

在一个实施例中，若逻辑存储区域包含两个物理存储区域，每一物理
存储区域的容量是 $(1/6)\text{Gb}$ ，则逻辑存储区域的容量为 $(1/3)\text{Gb}$ 。

对于基于单个所述逻辑存储区域的容量和所述目标存储块的最大容
量，确定在所述目标存储块上的可配置容量的实现方式，示例性地，可以
15 是将目标存储块的最大容量与整数倍的逻辑存储区域的容量之差，确定为
目标存储块上的可配置容量。例如，若目标存储块的最大容量为 1Gb，逻
辑存储区域的容量为 $(1/3)\text{Gb}$ ，则目标存储块的可配置容量分别为 $(1/3)\text{Gb}$ 、
 $(2/3)\text{Gb}$ 、1Gb，均是 $(1/3)\text{Gb}$ 的整数倍。

步骤 515: 基于所述可配置容量和所述目标容量确定待配置的实际容
20 量；

在一种可能的实施方式中，基于所述可配置容量和所述目标容量确定
待配置的实际容量，可以是将可配置容量和目标容量进行比较，将与目标
容量容量最接近小于目标容量的可配置容量，确定为待配置的实际容量。

可以理解的是，在目标存储块的最大容量为 1Gb，逻辑存储区域的容
25 量为 $(1/3)\text{Gb}$ 、目标容量为 $(5/6)\text{Gb}$ 的情况下，可配置容量可以至少包括

(1/3)Gb、(2/3)Gb；由于(2/3)Gb是与(5/6)Gb最接近的可配置容量（(5/6)Gb并不是逻辑存储区域的容量的整数倍），因此，可以确定待配置的实际容量是(2/3)Gb。

步骤 517：在所述实际容量与所述目标容量不一致的情况下，基于所述
5 实际容量，从所述目标存储块的一组编码中，确定目标编码；所述目标编码对应所述目标存储块中待修剪的存储区域；

可以理解的是，由于可配置容量是实际能够实施或得到的容量，因此，在实际容量与目标容量不一致的情况下，能够根据实际容量从目标存储块的一组编码中，确定目标编码。

10 步骤 519：基于所述目标编码，生成用于选中所述目标存储块中待修剪的存储区域的区域选择信号；

步骤 521：基于所述区域选择信号，对所述待修剪的存储区域进行修剪，以实现所述目标存储块的容量进行配置。

本申请实施例中，可以根据单个物理存储区域的容量和逻辑存储区域
15 所包括的连续的物理存储区域的数量，确定单个逻辑存储区域的容量；根据单个逻辑存储区域的容量和目标存储块的最大容量，可以确定目标存储块上的可配置容量；根据目标存储块的可配置容量和目标容量，可以确定待配置的实际容量，在实际容量与所述目标容量不一致的情况下，基于实际容量确定目标编码。

20

本申请实施例提供了另一种半导体存储器上存储块的容量配置方法，所述方法包括以下步骤：

步骤 601：确定所述存储器上的待配置的目标存储块；所述目标存储块包括至少两个逻辑存储区域，每一所述逻辑存储区域包括连续的至少两个
25 物理存储区域；

步骤 603：确定所述目标存储块的容量配置参数，所述容量配置参数用

于表征所述目标存储块的待配置容量；所述目标存储块的容量配置参数包括所述目标存储块的目标容量；

步骤 605：确定所述目标存储块中单个物理存储区域的容量；

5 步骤 607：确定所述目标存储块的一组编码中每一所述编码所包括的位数；

可以理解的是，目标存储块的一组编码中每一所述编码所包括的位数是根据目标存储块所包含的逻辑存储区域的个数所确定的。例如，若目标存储块的一组编码中每一所述编码所包括的位数为 2，则逻辑存储区域的个数不能大于 2 的二次方。

10 步骤 609：基于所述目标存储块中所包括的物理存储区域的数量和每一所述编码所包括的位数，确定单个所述逻辑存储区域所包括的所述物理存储区域的数量；

15 在一些可能的实施方式中，基于所述存储块中所包括的物理存储区域的数量和每一所述编码所包括的位数，确定单个所述逻辑存储区域所包括的物理存储区域的数量，可以是根据每一所述编码所包括的位数确定所述目标存储块的一组编码所能区分的最大逻辑存储区域的个数；根据所确定的最大逻辑存储区域的个数和物理存储区域的数量，确定单个所述逻辑存储区域所包括的连续的物理存储区域的数量。

20 在一个示例中，根据所确定的最大逻辑存储区域的个数和物理存储区域的数量，确定单个所述逻辑存储区域所包括的连续的物理存储区域的数量，可以是在最大逻辑存储区域的个数大于等于物理存储区域的数量量的情况下，确定单个所述逻辑存储区域所包括的连续的物理存储区域的数量为 1；在最大逻辑存储区域的个数小于物理存储区域的数量，但 2 倍的最大逻辑存储区域的个数大于物理存储区域的数量量的情况下，确定单个所述逻辑
25 存储区域所包括的连续的物理存储区域的数量为 2。

以目标存储块的一组编码的每一编码的位数为 2 位，物理存储区域的个数为 6 为例进行说明，可以确定在目标存储块的一组编码的每一编码的位数为 2 位时所确定的最大逻辑区域的个数为 4，显然，最大逻辑区域的个数 4 小于物理存储区域的个数 6，但 2 倍的最大逻辑存储区域的个数为 8 大于物理存储区域的个数 6，因此，可以确定单个所述逻辑存储区域所包括的连续的物理存储区域的数量为 2。

以目标存储块的一组编码的每一编码的位数为 3 位，物理存储区域的个数为 6 为例进行说明，可以确定在目标存储块的一组编码的每一编码的位数为 3 位时所确定的最大逻辑区域的个数为 8，显然，最大逻辑区域的个数 8 大于物理存储区域的个数 6，因此，可以确定单个所述逻辑存储区域所包括的连续的物理存储区域的数量为 1。

步骤 611: 基于单个所述逻辑存储区域所包括的连续的物理存储区域的数量和单个物理存储区域的容量，确定单个所述逻辑存储区域的容量。

在一种可能的实施方式中，基于单个所述逻辑存储区域所包括的连续的物理存储区域的数量和单个物理存储区域的容量，确定单个所述逻辑存储区域的容量，可以是将逻辑存储区域包括的连续的物理存储区域的数量与单个物理存储区域的容量的乘积，确定为单个所述逻辑存储区域的容量。例如，在逻辑存储区域包括的连续的物理存储区域的数量 2、单个物理存储区域的容量为 $(1/6)\text{Gb}$ 的情况下，可以确定单个所述逻辑存储区域的容量为 $(1/3)\text{Gb}$ 。

步骤 613: 确定所述目标存储块的最大容量；

步骤 615: 基于单个所述逻辑存储区域的容量和所述目标存储块的最大容量，确定在所述目标存储块上的可配置容量；所述单个所述逻辑存储区域的容量包括单个所述逻辑存储区域所包括的各物理存储区域的容量之和；

步骤 617: 基于所述可配置容量和所述目标容量确定待配置的实际容量;

步骤 619: 在所述实际容量与所述目标容量不一致的情况下, 基于所述实际容量, 从所述目标存储块的一组编码中, 确定目标编码; 所述目标编码对应所述目标存储块中待修剪的存储区域;

步骤 621: 基于所述目标编码, 生成用于选中所述目标存储块中待修剪的存储区域的区域选择信号;

步骤 623: 基于所述区域选择信号, 对所述待修剪的存储区域进行修剪, 以实现对所述目标存储块的容量进行配置。

10 本申请实施例中, 根据目标存储块的一组编码中每一所述编码所包括的位数和目标存储块中所包括的物理存储区域的数量, 可以准确确定出单个逻辑存储区域所包括的连续的物理存储区域的数量。

本申请实施例提中, 目标存储块的最大容量(未损坏也未被修剪时的容量)是 1Gb, 可以通过 trim 实现(2/3)Gb 的容量; 目标存储块被分成
15 Region<5:0>6 个区域, 在目标存储块的容量为 1G 时, Region<5:0>这 6 个区域都会被用到, 在目标存储块的容量为(2/3)G 时, 则从 Region<5:0>6 个区域中选取其中的 4 个区域。对于 DRAM 的一个颗粒(die)而言, 例如, 一个颗粒(die)可以包括 16 个存储块(bank), 一个存储块的容量可以为 1Gb(意味着至少包含 2^{30} 个存储电容, 实际上 DRAM 中还含有冗余的存
20 储电容, 一个存储块的容量为 1Gb, 其包含的存储电容会大于 2^{30} 个), 那么一个完整的颗粒的容量可以达到 16Gb, 如果一个颗粒因为制造工艺或其他原因, 导致一部分存储电容无法工作, 那么通过 trim 可以将这个颗粒的容量配置为 12Gb 或 8Gb 或 4Gb 或 2Gb, 从而在一部分存储电容无法工作的条件下, 尽可能的利用这个 DRAM 颗粒。

表 1

trim_halfGoodBnk<1:0>				Density (容量)
00	Region<0, 1>	Region<2, 3>	Region<4, 5>	1G
01	Region<0, 1>	Region<2, 3>		(2/3)G
10	Region<0, 1>		Region<4, 5>	(2/3)G
11		Region<2, 3>	Region<4, 5>	(2/3)G

参见表 1，可以看出：

trim_halfGoodBnk<1:0>=01 时，选取 Region<3:0>这 4 个区域，修剪
5 Region<4, 5>，实现(2/3)G;

trim_halfGoodBnk<1:0>=10 时，选取 Region<1:0>和 Region<5:4>这 4
个区域，修剪 Region<3, 2>，实现(2/3)G;

trim_halfGoodBnk<1:0>=11 时，选取 Region<5:2> 4 个区域，修剪
Region<1:0>，实现(2/3)G。

10 图 3a 为本申请实施例提供的一种全芯片存储区域和地址的结构示意图，如图 3a 所示，全芯片包括 16 个存储块，其中，行控制 301 引出的行控制线的位数为 16，左侧分布着存储块 4、存储块 6、存储块 5、存储块 7、存储块 0、存储块 2、存储块 1 和存储块 3；右侧分布着存储块 8、存储块 10、存储块 9、存储块 11、存储块 12、存储块 14、存储块 13 和存储块 15。

15 图 3b 为本申请实施例提供的对图 3a 中的存储块 8 进行放大后所展现的结构示意图，如图 3b 所示，存储块 8 包括 Region<0>至 Region<5>6 个物理区域，其中，通过行地址 Ra<15: 0>中的 Ra<15>、Ra<14>和 Ra<13>来对 Region<0>至 Region<5>6 个区域进行编码，可以看出，Region<0>对应的编码为 000；Region<1>对应的编码为 001；Region<2>对应的编码为 010；
20 Region<3>对应的编码为 011；Region<4>对应的编码为 100；Region<5>对应的编码为 101。

图 3c 为本申请实施例提供的对存储块 8 进行修剪后的结构示意图，如

图 3c 所示，为了将存储块 8 的容量从 1Gb 改变为(2/3)Gb，其中，存储块 8 的连续两个物理存储区域 Region<4>和 Region<5>被修剪掉了，当然，Region<4>和 Region<5>可以是已经损坏的物理存储区域，也可以是在 Region<0>至 Region<5>中每一物理存储区域均未损坏的情况下，随机选取的任意连续的两个物理存储区域。

本申请实施例中，基于目标编码生成用于选中所述目标存储块中待修剪的存储区域的区域选择信号的实现过程中，需要对目标编码进行译码。其中，定义了 Ra1514<0>、Ra1514<1>和 Ra1514<2>三位区域选择信号；Ra1514<0>、Ra1514<1>和 Ra1514<2>与各存储区域的关系可以参见表 2。

10表 2

Ra1514<0>		Ra1514<1>		Ra1514<2>	
Ra13=0	Ra13=1	Ra13=0	Ra13=1	Ra13=0	Ra13=1
Region<0>	Region<1>	Region<2>	Region<3>	Region<4>	Region<5>

表 2 中，Ra1514<0>表示两个区域 Region<0, 1>; Ra1514<1>表示两个区域 Region<2, 3>; Ra1514<2>表示两个区域 Region<4, 5>。

为了得到区域选择信号 Ra1514<0>、Ra1514<1>和 Ra1514<2>，可以通过逻辑电路对目标编码和存储块 8 的高两位元地址（Ra<15>、Ra<14>）进行处理逻辑处理得到。

在得到区域选择信号 Ra1514<0>、Ra1514<1>和 Ra1514<2>之前，可以先确定一些中间信号，例如，对目标编码进行逻辑非运算后得到的信号、以及对 Ra<15: 14>进行逻辑非运算后得到的信号等。

20图 3d 为本申请实施例提供的一种对目标编码进行逻辑非运算的逻辑电路图，如图 3d 所示，DensityTrim<1: 0>表示目标编码，对 DensityTrim<1: 0>进行逻辑非运算后，可以得到 DensityTrimB<1: 0>。

图 3e 为本申请实施例提供的一种对高两位元地址进行逻辑非运算的逻

辑电路图，如图 3e 所示， $Ra<15: 14>$ 为高两位元地址，对 $Ra<15: 14>$ 进行逻辑非运算后，可以得到 $RaB<15: 14>$ 。

图 3f 为本申请实施例提供的一种对 $DensityTrim<0>$ 和 $DensityTrim<1>$ 进行逻辑运算的逻辑电路图，如图 3f 所示，对 $DensityTrim<0>$ 和 $DensityTrim<1>$ 进行逻辑与非运算后，可以得到 $S11N$ ，对 $S11N$ 再进行逻辑非运算后可以得到 $S11$ 。

图 3g 为本申请实施例提供的对 $DensityTrimB<0>$ 和 $DensityTrimB<1>$ 进行逻辑运算的逻辑电路图，如图 3g 所示，对 $DensityTrimB<0>$ 和 $DensityTrimB<1>$ 进行逻辑与非运算后，可以得到 $S00N$ ，对 $S00N$ 再进行逻辑非运算后可以得到 $S00$ 。

图 3h 为本申请实施例提供的通过目标编码和高两位元地址得到区域选择信号 $Ra1514<0>$ 的逻辑电路图，如图 3h 所示，对 $RaB<15>$ 、 $RaB<14>$ 和 $S11N$ 进行逻辑与非运算后，再进行逻辑非运算可以得到 $Ra1514<0>$ 。

图 3i 为本申请实施例提供的通过目标编码和高两位元地址得到区域选择信号 $Ra1514<1>$ 的逻辑电路图，如图 3i 所示，对 $RaB<15>$ 、 $RaB<14>$ 和 $S11$ 进行逻辑与非运算，得到第一逻辑结果；再对 $RaB<15>$ 、 $RaB<14>$ 和 $DensityTrimB<1>$ 进行逻辑与非运算，得到第二逻辑结果；最后，对第一逻辑结果和第二逻辑结果进行逻辑与非运算得到 $Ra1514<1>$ 。

图 3j 为本申请实施例提供的通过目标编码和高两位元地址得到区域选择信号 $Ra1514<2>$ 的逻辑电路图，如图 3j 所示，对 $RaB<15>$ 、 $RaB<14>$ 和 $S00$ 进行逻辑与非运算，得到第三逻辑结果；再对 $RaB<15>$ 、 $RaB<14>$ 和 $DensityTrim<1>$ 进行逻辑与非运算，得到第四逻辑结果；最后，对第三逻辑结果和第四逻辑结果进行逻辑与非运算得到 $Ra1514<2>$ 。

本申请实施例中，对目标存储块的容量配置的选择方案存在多种，可参见下表 3。

表 3

Density<1:0>			
00 (1G)	Ra1514<0>	Ra1514<1>	Ra1514<2>
01 ((2/3)G)	Ra1514<0>	Ra1514<2>	Ra1514<2>=0
10 ((2/3)G)	Ra1514<0>	Ra1514<1>=0	Ra1514<2>
11 ((2/3)G)	Ra1514<0>=0	Ra1514<1>	Ra1514<2>

表 3 中, 对于不同的容量通过 Density<1:0>表示, Density<1:0>为 00, 代表目标存储块的容量为 1G, 且 Ra1514<0>至 Ra1514<2>均为 1 代表
5 Region<0>至 Region<5>均为 1 (Ra1514<0>代表 Region<0, 1>, 由于 Ra1514<0>代表 Region<0, 1>, Ra1514<1>代表 Region<2, 3>, Ra1514<2>代表 Region<4, 5>,) 即可用;

Density<1:0>为 01, 代表 bank 的容量为 (2/3)G, 且 Ra1514<0>和 Ra1514<1>为 1, Ra1514<2>为 0, 代表 Region<0>至 Region<3>均为 1 (可
10 用), Region<4>和 Region<5>为 0 (不可用), (Ra1514<0>代表 Region<0, 1>, 由于 Ra1514<0>代表 Region<0, 1>, Ra1514<1>代表 Region<2, 3>, Ra1514<2>代表 Region<4, 5>);

Density<1:0>为 10, 代表 bank 的容量为 (2/3)G, 且 Ra1514<0>和 Ra1514<2>为 1, Ra1514<1>为 0, 代表 Region<0>、Region<1>、Region<4>
15 和 Region<5>均为 1 (可用), Region<2>和 Region<3>为 0 (不可用), (Ra1514<0>代表 Region<0, 1>, 由于 Ra1514<0>代表 Region<0, 1>, Ra1514<1>代表 Region<2, 3>, Ra1514<2>代表 Region<4, 5>).

Density<1:0>为 11, 代表 bank 的容量为 (2/3)G, 且 Ra1514<0>为 0, Ra1514<1>和 Ra1514<2>为 0, 代表 Region<0>、Region<1>为 0 (不可用),
20 Region<2>至 Region<5>均为 1 (可用), (Ra1514<0>代表 Region<0, 1>由于 Ra1514<0>代表 Region<0, 1>, Ra1514<1>代表 Region<2, 3>, Ra1514<2>

代表 Region<4, 5>)。

图 4 为本申请实施例提供的一种适用于对半导体存储器上存储块的容量进行配置的系统结构图，如图 4 所示，所述系统结构包括读写系统 401、控制单元 402、译码单元 403 和存储块 404，其中，读写系统 401 发出的行地址线 Ra<15: 0>中的 Ra<12: 0>直接与存储块 404 连接，Ra<15: 13>连接控制单元 402，控制单元 402 将 Ra<15: 13>与生成的 DensityTrim<1:0>输入给译码单元 403，译码单元 403 与存储块 404 连接，译码单元 403 对 Ra<15: 13>与 DensityTrim<1:0>进行逻辑运算得到区域选择信号，并将得到的区域选择新信号传递给存储块 404，存储块 404 根据区域选择信号修剪对应的待修剪区域，实现对存储块容量的配置。

可以理解的是，译码单元 403 可以通过图 3h 至图 3j 所组成的电路实现，可以参见上面的描述。

本申请实施例中，Ra1514<2: 0>不同的编码状态对应存储块 404 不同的区域，例如，Ra1514<2: 0>=100 对应的区域为 Region<0, 1>。

除此之外，本申请实施例还提供一种半导体存储器，所述半导体存储器支持上述实施例提供的半导体存储器上存储块的容量配置方法。图 5 为本申请实施例提供的一种半导体存储器的结构示意图，如图 5 所示，所述半导体存储器包括：

目标存储块 501，包括至少两个存储区域；

地址处理单元 502，配置为输出所述目标存储块 501 的地址；所述地址处理单元 502 的输出端连接所述目标存储块 501；

编码获取单元 503，配置为接收目标编码，所述目标编码对应于所述目标存储块 501 中的至少一个待修剪的存储区域；

区域选择信号生成单元 504，配置为基于所述目标编码，生成用于选中所述目标存储块 501 中待修剪的存储区域的区域选择信号；所述区域选择

信号生成单元 503 的输出端连接修剪单元 505 的输入端；

所述修剪单元 505，配置为基于所述区域选择信号，对所述待修剪的存储区域进行修剪，以实现对所述目标存储块 501 的容量进行配置；所述修剪单元 505 的输出端连接所述目标存储块 501。

5 在一些实施例中，所述半导体存储器还包括：控制单元，配置为确定所述半导体存储器上的待配置的目标存储块 501；确定所述目标存储块 501 的容量配置参数，所述容量配置参数配置为表征所述目标存储块 501 的待配置容量；基于所述目标存储块 501 的容量配置参数，从所述目标存储块 501 的一组编码中，确定所述目标编码；所述目标编码对应所述目标存储块
10 501 中待修剪的存储区域；所述控制单元的输出端连接所述编码获取单元。

在一些实施例中，所述地址处理单元 502 包括：行地址处理单元，配置为输出所述目标存储块 501 的行地址；所述行地址处理单元的输出端连接所述区域选择信号生成单元的输入端和所述目标存储块 501；列地址处理单元，配置为输出所述目标存储块 501 的列地址；所述列地址处理单元的
15 输出端连接所述目标存储块 501；块地址处理单元，配置为输出所述目标存储块 501 的块地址；所述块地址处理单元的输出端连接所述目标存储块 501；所述区域选择信号生成单元 503，配置为将所述目标编码作与对应的待修剪的存储区域的行地址进行逻辑处理，得到目标电平；将所述目标电平作为所述区域选择信号。

20 在一些实施例中，所述行地址处理单元中高位元地址的输出端连接所述区域选择信号生成单元的输入端；所述高位元地址配置为区别所述目标存储块 501 中的不同的存储区域。

在一些实施例中，所述区域选择信号生成单元 503 包括：与非门和非门组成的逻辑门电路；所述逻辑门电路的输入端包括所述目标编码对应的
25 信号线和所述待修剪的存储区域的行地址对应的信号线；所述逻辑门电路，

配置为对所述目标编码与对应的待修剪的存储区域的行地址进行逻辑处理，得到目标电平；将所述目标电平作为所述区域选择信号。

在一些实施例中，所述区域选择信号生成单元 503，包括译码器；所述译码器的输入端为所述目标编码对应的信号线；所述译码器输出的每一电平在有效的情况下为区域选择信号，所述译码器的每一输出端分别连接所述修剪单元的输入端。

本申请实施例提供的半导体存储器与上述实施例提供的半导体存储器上存储块的容量配置方法类似，对于本申请实施例未详尽披露的技术特征，请参照上述实施例进行理解，这里，不再赘述。

10 本申请实施例提供一种半导体存储器，由于所述半导体存储器对于不同待配置的目标存储块的容量配置参数可以是不同的，基于不同的容量配置参数所确定的目标编码也可以不同，进而基于不同的目标编码所生成的区域选择信号也不同。如此，通过不同的区域选择信号，可以实现对不同待配置的目标存储块的不同待修剪的存储区域进行修剪；进而，能够灵活
15 选取待修剪的存储区域，提升对半导体存储器上存储块的容量配置的有效利用率。

在本申请所提供的几个实施例中，应该理解到，所揭露的设备和方法，可以通过非目标的方式实现。以上所描述的设备实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另
20 外的划分方式，如：多个单元或组件可以结合，或可以集成到另一个系统，或一些特征可以忽略，或不执行。

本申请所提供的几个方法或设备实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或设备实施例。

以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局
25 限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可

轻易想到变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

工业实用性

本申请实施例中，由于对于不同待配置的目标存储块的容量配置参数
5 可以是不同的，基于不同的容量配置参数所确定的目标编码也可以不同，
进而基于不同的目标编码所生成的区域选择信号也不同。如此，通过不同的
区域选择信号，可以实现对不同待配置的目标存储块的不同待修剪的存
储区域进行修剪；进而，能够灵活选取待修剪的存储区域，提升对半导体
存储器上存储块的容量配置的有效利用率。

权利要求书

1、一种半导体存储器上存储块的容量配置方法，所述方法包括：

确定所述存储器上的待配置的目标存储块；

确定所述目标存储块的容量配置参数，所述容量配置参数用于表征
5 所述目标存储块的待配置容量；

基于所述目标存储块的容量配置参数，从所述目标存储块的一组编码中，确定目标编码；所述目标编码对应所述目标存储块中待修剪的存储区域；

基于所述目标编码，生成用于选中所述目标存储块中待修剪的存储
10 区域的区域选择信号；

基于所述区域选择信号，对所述待修剪的存储区域进行修剪，以实现
对所述目标存储块的容量进行配置。

2、根据权利要求1所述的方法，其中，所述目标存储块的容量配置
参数包括以下至少之一：

15 所述目标存储块的目标容量，所述目标存储块中待修剪的存储区域，
所述目标存储块中可利用的存储区域。

3、根据权利要求2所述的方法，其中，在所述目标存储块的容量配置
参数包括：所述目标存储块中待修剪的存储区域，或所述目标存储块
中可利用的存储区域的情况下，

20 所述基于所述目标存储块的容量配置参数，从所述目标存储块的一
组编码中，确定目标编码，包括：

基于所述待修剪的存储区域或所述可利用的存储区域，确定所述待
修剪的存储区域；

基于所述待修剪的存储区域，从所述目标存储块的一组编码中，确
25 定所述目标编码；其中，所述目标存储块的一组编码中每一编码对应于

所述目标存储块中的至少一个待修剪的存储区域。

4、根据权利要求2所述的方法，其中，在所述目标存储块的容量配置参数包括所述目标存储块的目标容量的情况下，所述基于所述目标存储块的容量配置参数，从所述目标存储块的一组编码中，确定目标编码，

5 包括：

从所述目标存储块的一组编码中，确定与所述目标存储块的容量配置参数对应的多个编码；

从所述与目标存储块的容量配置参数对应的多个编码中，随机选择一个编码作为所述目标编码。

10 5、根据权利要求1至4任一项所述的方法，其中，所述基于所述目标编码，生成用于选中所述目标存储块中待修剪的存储区域的区域选择信号，包括：

基于所述目标编码，确定所述目标存储块中待修剪的存储区域的行地址；

15 基于所述目标编码和所述待修剪的存储区域的行地址，生成用于选中所述目标存储块中待修剪的存储区域的区域选择信号。

6、根据权利要求5所述的方法，其中，所述基于所述目标编码和所述待修剪的存储区域的行地址，生成用于选中所述目标存储块中待修剪的存储区域的区域选择信号，包括：

20 对所述目标编码与对应所述待修剪的存储区域的行地址进行逻辑处理，得到目标电平；

将所述目标电平作为所述区域选择信号。

7、根据权利要求6所述的方法，其中，所述待修剪的存储区域的行地址为所述待修剪的存储区域的行地址中的高位元地址，所述高位元地址用于区别所述目标存储块中的不同存储区域。

25

8、根据权利要求 4 至 7 任一项所述的方法，其中，在所述目标存储块的容量配置参数包括所述目标存储块的目标容量的情况下，

所述基于所述目标存储块的容量配置参数，从所述目标存储块的一组编码中，确定目标编码，包括：

5 确定所述目标存储块的最大容量；

在所述目标容量小于所述最大容量的情况下，基于所述目标容量，从所述目标存储块的一组编码中，确定所述目标编码。

9、根据权利要求 5 至 7 任一项所述的方法，其中，所述目标存储块包括至少两个逻辑存储区域，每一所述逻辑存储区域包括连续的至少两个物理存储区域；所述目标存储块中待修剪的存储区域包括连续的至少两个待修剪的物理存储区域；

在所述目标存储块的容量配置参数包括所述目标存储块中待修剪的物理存储区域的情况下，

15 所述基于所述目标存储块的容量配置参数，从所述目标存储块的一组编码中，确定目标编码，包括：

基于所述目标存储块中连续的所述至少两个待修剪的物理存储区域，在所述目标存储块所包括的至少两个逻辑存储区域中，确定待修剪的逻辑存储区域；

20 基于所述待修剪的逻辑存储区域，从所述目标存储块的一组编码中，确定所述目标编码。

10、根据权利要求 1 至 7 任一项所述的方法，其中，所述目标存储块的容量配置参数包括所述目标存储块的目标容量；所述目标存储块包括至少两个逻辑存储区域，每一所述逻辑存储区域包括连续的至少两个物理存储区域；

25 所述基于所述目标存储块的容量配置参数，从所述目标存储块的一

组编码中，确定目标编码，包括：

确定单个所述逻辑存储区域的容量和所述目标存储块的最大容量；

基于单个所述逻辑存储区域的容量和所述目标存储块的最大容量，
确定在所述目标存储块上的可配置容量；所述单个所述逻辑存储区域的
5 容量包括单个所述逻辑存储区域所包括的各物理存储区域的容量之和；

基于所述可配置容量和所述目标容量确定待配置的实际容量；

在所述实际容量与所述目标容量不一致的情况下，基于所述实际容
量，从所述目标存储块的一组编码中，确定所述目标编码。

11、根据权利要求 10 所述的方法，其中，所述方法还包括：

10 确定所述目标存储块中单个物理存储区域的容量；

确定单个所述逻辑存储区域所包括的连续的物理存储区域的数量；

基于单个所述逻辑存储区域所包括的连续的物理存储区域的数量和
单个所述物理存储区域的容量，确定单个所述逻辑存储区域的容量。

12、根据权利要求 11 所述的方法，其中，所述确定单个所述逻辑存
15 储区域所包括的连续的物理存储区域的数量，包括：

确定所述目标存储块的一组编码中每一所述编码所包括的位数；

基于所述目标存储块中所包括的所述物理存储区域的数量和每一所
述编码所包括的位数，确定单个所述逻辑存储区域所包括的所述物理存
储区域的数量。

20 13、一种半导体存储器，

目标存储块，包括至少两个存储区域；

地址处理单元，用于输出所述目标存储块的地址；所述地址处理单
元的输出端连接所述目标存储块；

编码获取单元，用于接收目标编码，所述目标编码对应所述目标存
25 储块中的至少一个待修剪的存储区域；

区域选择信号生成单元，用于基于所述目标编码，生成用于选中所述目标存储块中待修剪的存储区域的区域选择信号；所述区域选择信号生成单元的输出端连接修剪单元的输入端；

所述修剪单元，用于基于所述区域选择信号，对所述待修剪的存储区域进行修剪，以实现所述目标存储块的容量进行配置；所述修剪单元的输出端连接所述目标存储块。

14、根据权利要求 13 所述的半导体存储器，其中，还包括：

控制单元，用于确定所述半导体存储器上的待配置的目标存储块；确定所述目标存储块的容量配置参数，所述容量配置参数用于表征所述目标存储块的待配置容量；基于所述目标存储块的容量配置参数，从所述目标存储块的一组编码中，确定所述目标编码；所述目标编码对应所述目标存储块中待修剪的存储区域；

所述控制单元的输出端连接所述编码获取单元。

15、根据权利要求 13 或 14 所述的半导体存储器，其中，所述地址处理单元包括：

行地址处理单元，用于输出所述目标存储块的行地址；所述行地址处理单元的输出端连接所述区域选择信号生成单元的输入端和所述目标存储块；

列地址处理单元，用于输出所述目标存储块的列地址；所述列地址处理单元的输出端连接所述目标存储块；

块地址处理单元，用于输出所述目标存储块的块地址；所述块地址处理单元的输出端连接所述目标存储块；

所述区域选择信号生成单元，用于将所述目标编码与对应的待修剪的存储区域的行地址进行逻辑处理，得到目标电平；将所述目标电平作为所述区域选择信号。

16、根据权利要求 15 所述的半导体存储器，其中，所述行地址处理单元中高位元地址的输出端连接所述区域选择信号生成单元的输入端；

所述高位元地址用于区别所述目标存储块中的不同的存储区域。

17、根据权利要求 15 或 16 所述的半导体存储器，其中，所述区域
5 选择信号生成单元包括：与非门和非门组成的逻辑门电路；

所述逻辑门电路的输入端包括所述目标编码对应的信号线和所述待修剪的存储区域的行地址对应的信号线；

所述逻辑门电路，用于对所述目标编码与对应的待修剪的存储区域的行地址进行逻辑处理，得到所述目标电平；将所述目标电平作为所述
10 区域选择信号。

18、根据权利要求 15 或 16 所述的半导体存储器，其中，

所述区域选择信号生成单元，包括译码器；

所述译码器的输入端为所述目标编码对应的信号线；

所述译码器输出的每一电平在有效的情况下为区域选择信号，所述
15 译码器的每一输出端分别连接所述修剪单元的输入端。