

测试电路

本申请要求于 2021 年 02 月 05 日提交中国专利局、申请号为 202110160891.7、申请名称为“测试电路”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及但不限于一种测试电路。

10 背景技术

通常，为提高存储器芯片（也称为集成电路）的可靠性，存储器芯片在出厂之前需要进行一系列测试，例如测试存储器芯片的功能和时序，测试存储器芯片内的电压产生模块产生的电压是否准确等，以及通过测试存储器芯片内的部分电路进行电压或电阻修调等。

上述测试均需要发送相应的测试模式信号至存储器芯片内的电路模块，以触发电路模块进行测试，而存储器芯片内的电路模块的数量较多，不同的电路模块的测试模式信号也不同，如何向不同的电路模块准确地传送测试模式信号，是亟需解决的问题。

发明内容

本申请实施例提供一种测试电路，包括：

20 输入端、处理电路和输出端；

所述输入端用于接收输入信号，所述输入信号包括用于指示测试目标电路模块的测试命令和所述目标电路模块的地址；

所述处理电路，用于根据所述测试命令和所述目标电路模块的地址确定测试模式信号，所述测试模式信号携带测试类型，所述测试模式信号用于触发所述目标电路模块进行与所述测试类型对应的测试；

所述输出端，用于根据所述目标电路模块的地址将所述测试模式信号发送至所述目标电路模块。

本申请实施例还提供一种存储器，包括控制电路、至少一个电路模块和第一方面或第一方面任一种可能的实施方式中所述的测试电路；

30 所述控制电路用于向所述测试电路发送所述输入信号；

所述测试电路用于接收所述输入信号，并根据所述输入信号向所述至少一个电路模块

中的一个电路模块发送所述测试模式信号。

附图说明

5 为了更清楚地说明本申请或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍，显而易见地，下面描述中的附图是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。

图 1 为本申请实施例提供的一种测试电路的应用场景示意图；

图 2 为本申请实施例提供的一种测试电路的结构示意图；

10 图 3 为本申请实施例提供的一种测试电路的结构示意图；

图 4 为本申请实施例提供的一种测试电路的结构示意图；

图 5 为本申请实施例提供的一种测试电路的结构示意图；

图 6 为本申请实施例提供的一种测试译码电路的结构示意图；

图 7 为一个 3-8 译码器的内部结构示意图；

15 图 8 为本申请实施例提供的一种控制逻辑电路的结构示意图；

图 9 为本申请实施例提供的一种自测试电路的结构示意图；

图 10 为本申请实施例提供的一种第一测试子电路的结构示意图；

图 11 为图 4 所示的测试电路中各个单元的输入及输出信号的时序图；

图 12 为本申请实施例提供的一种存储器的机构示意图。

20

具体实施方式

为使本申请的目的、技术方案和优点更加清楚，下面将结合本申请中的附图，对本申请中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

25

本申请实施例提供的测试电路，可应用于存储器芯片或集成电路中，可以理解的是，存储器芯片为小型化的集成电路，本申请实施例提供的测试电路还可应用于非小型化的集成电路，本申请实施例提供的测试电路可应用于包括至少一个电路模块的存储器芯片或集成电路中。

30

图 1 为本申请实施例提供的一种测试电路的应用场景示意图，如图 1 所示，本申请实施例提供的测试电路的应用场景涉及存储器芯片 1，存储器芯片 1 包括控制电路 11、至少

一个电路模块 12 和测试电路 13。可以理解的是,存储器芯片 1 中可以有多多个电路模块 12,不同的电路模块 12 负责不同的功能,在对存储器芯片 1 进行出厂前的一系列测试时,需要发送相应的测试模式信号至存储器芯片 1 内的电路模块 12,以触发电路模块 12 进行相应的功能测试,而存储器芯片 1 内的电路模块 12 的数量较多,不同的电路模块 12 的测试模式信号也不同,如何向不同的电路模块准确地传送测试模式信号。

为解决这一问题,本申请提供一种测试电路 13,测试电路 13 接收控制电路 11 发送的输入信号,该输入信号包括用于指示测试目标电路模块的测试命令和目标电路模块的地址,测试电路 13 根据输入信号向对应的目标电路模块发送测试模式信号,从而触发目标电路模块进行相应的功能测试,从而实现了向不同的电路模块准确地传送测试模式信号。需要说明的是,图 1 所示的应用场景仅是一种示例,并不构成对本申请的测试电路的应用场景的限定。

下面结合实施例对本申请的测试电路的结构进行说明,本申请的测试电路的结构并不局限于下面任一种结构。

图 2 为本申请实施例提供的一种测试电路的结构示意图,如图 2 所示,本实施例的测试电路可以包括:输入端、处理电路 2 和输出端,其中,输入端用于接收输入信号,输入信号包括用于指示测试目标电路模块的测试命令和目标电路模块的地址。

处理电路 2 用于根据测试命令和目标电路模块的地址确定测试模式信号,测试模式信号携带测试类型,测试模式信号用于触发目标电路模块进行与测试类型对应的测试。

其中,测试类型例如为存储器芯片的功能测试、时序测试或电压测试等,电压测试可以为测试电压产生模块产生的电压是否准确。

输出端用于根据目标电路模块的地址将测试模式信号发送至目标电路模块。

本实施例提供的测试电路,包括输入端、处理电路和输出端,输入端接收包括用于指示测试目标电路模块的测试命令和目标电路模块的地址的输入信号,处理电路根据测试命令和目标电路模块的地址确定测试模式信号,所确定出的测试模式信号用于触发目标电路模块进行与测试类型对应的测试,输出端根据目标电路模块的地址将测试模式信号发送至目标电路模块。从而,测试电路可以向不同的电路模块准确地传送测试模式信号,进而可以触发电路模块进行与测试模式信号携带的测试类型对应的测试。

下面结合图 3-图 5 说明图 2 所示的处理电路 2 的结构。

作为一种可实施的方式,图 3 为本申请实施例提供的一种测试电路的结构示意图,如图 3 所示,本实施例的测试电路中,处理电路 2 可以包括:第一地址锁存器 21、命令逻辑电路 22 和第二地址锁存器 23,其中,第一地址锁存器 21 用于接收第一内部地址,并输出

第一内部延迟地址，可以理解的是，第一内部延迟地址为延迟了预设时间的第一内部地址。命令逻辑电路 22 用于接收测试命令和第二内部地址，并输出测试模式命令。第二地址锁存器 23 用于接收第三内部地址和测试模式命令，并输出第三内部延迟地址。

作为一种可实施的方式，图 4 为本申请实施例提供的一种测试电路的结构示意图，如图 4 所示，本实施例的测试电路在图 3 所示测试电路的基础上，进一步地，还可以包括：控制逻辑电路 24、测试译码电路 25 和从属锁存器 26，其中，控制逻辑电路 24 用于接收第一内部延迟地址和测试模式命令，并输出测试模式使能主动信号和测试模式使能从属信号。

测试译码电路 25 用于接收第一内部延迟地址和第三内部延迟地址，并输出译码信号。
从属锁存器 26 用于接收第三内部地址和测试模式使能从属信号，并输出从属地址。

作为一种可实施的方式，图 5 为本申请实施例提供的一种测试电路的结构示意图，如图 5 所示，本实施例的测试电路在图 4 所示测试电路的基础上，进一步地，还可以包括：自测试电路 27，该自测试电路 27 用于接收测试模式使能主动信号、从属地址和译码信号，并输出测试模式信号至目标电路模块。

在一些实施例中，命令逻辑电路 22 用于：在第二内部地址的值为预设值时，根据测试命令产生测试模式命令，例如预设值为 1，即命令逻辑电路 22 用于在第二内部地址的值为 1 时，根据测试命令产生测试模式命令。

在一些实施例中，控制逻辑电路 24 用于：在第一内部延迟地址的值为第一值时，与测试模式命令进行逻辑运算产生测试模式使能主动信号；在第一内部延迟地址的值为第二值时，与测试模式命令进行逻辑运算产生测试模式使能从属信号。例如，第一值为“00/01/10”时，控制逻辑电路 24 用于将“00/01/10”取反之后与测试模式命令进行与运算产生测试模式使能主动信号。第二值为“11”时，控制逻辑电路 24 用于将“11”与测试模式命令进行与运算产生测试模式使能从属信号。

在一种可实施的方式中，测试译码电路 25 可以包括多个译码器，可选的，译码器可以包括 3-8 译码器或者 4-16 译码器等等，下面以 3-8 译码器为例示出测试译码电路的一种结构。

图 6 为本申请实施例提供的一种测试译码电路的结构示意图，如图 6 所示，本实施例的测试译码电路包括 3 个 3-8 译码器：第一 3-8 译码器、第二 3-8 译码器和第三 3-8 译码器，3 个 3-8 译码器用于接收第一内部延迟地址和第三内部延迟地址，相应地，译码信号包括第一译码信号、第二译码信号和第三译码信号。若第一内部地址为 2 比特（ $RAT<1:0>$ ），第三内部地址为 7 比特（ $RAD<6:0>$ ），相应地，第一 3-8 译码器接收第一地址：3 比特

(RAD<2:0>), 并输出第一译码信号; 第二 3-8 译码器接收第二地址: 3 比特(RAD<5:3>), 并输出第二译码信号; 第三 3-8 译码器接收第三地址: 3 比特 (RAD<6>和 RAD<5:3>), 并输出第三译码信号。

图 7 为一个 3-8 译码器的内部结构示意图, 如图 7 所示, 一个 3-8 译码器包括 3 个输入端口 (A、B 和 C) 和 8 个输出端口 (Y0-Y7), 每一输入端口连接两个反相器。

下面结合图 8 详细说明控制逻辑电路的结构。

作为一种可实施的方式, 图 8 为本申请实施例提供的一种控制逻辑电路的结构示意图, 如图 8 所示, 本实施例的控制逻辑电路可以包括第一与非门 241、第一反相器 242、第二与非门 243、第二反相器 244、第三与非门 245 和第三反相器 246, 其中, 第一与非门 241 的输出端与第一反相器 242 的输入端连接, 第二与非门 243 的输出端与第二反相器 244 的输入端连接, 第三与非门 245 的输出端与第三反相器 246 的输入端连接。

第一与非门 241 用于接收第一内部延迟地址, 并输出第一信号。第一反相器 242 用于接收第一信号, 并输出第二信号。

第二与非门 243 用于接收第一信号和测试模式命令, 并输出第三信号。第二反相器 244 用于接收第三信号, 并输出测试模式使能主动信号。第三与非门 245 用于接收第二信号和测试模式命令, 并输出第四信号。第三反相器 246 用于接收第四信号, 并输出测试模式使能从属信号。

下面结合图 9 详细说明自测试电路的结构。

作为一种可实施的方式, 图 9 为本申请实施例提供的一种自测试电路的结构示意图, 如图 9 所示, 本实施例的自测试电路可以包括第一测试子电路, 其中, 第一测试子电路包括第一逻辑控制子电路 271 和第一锁存器组 272, 第一逻辑控制子电路 271 与第一锁存器组 272 连接, 第一锁存器组 272 的每一个锁存器对应一个测试模式信号。可以理解的是, 自测试电路可以包括多个第一测试子电路。

作为一种可实施的方式, 第一逻辑控制子电路 271 的输入端连接控制逻辑电路 24 的输出端、测试译码电路 25 的输出端和从属锁存器 26 的输出端。

第一逻辑控制子电路 271 用于根据测试模式使能主动信号和译码信号进行逻辑运算, 产生时钟信号并输出时钟信号至第一锁存器组 272。

第一锁存器组 272 用于接收从属地址和时钟信号, 根据从属地址和时钟信号生成测试模式信号, 并输出测试模式信号至目标电路模块。

作为一种可实施的方式, 图 10 为本申请实施例提供的一种第一测试子电路的结构示意图, 如图 10 所示, 本实施例的第一测试子电路包括第一逻辑控制子电路 271 和第一锁

存器组 272, 其中, 第一逻辑控制子电路 271 包括第一 P 型晶体管 P1、第一 N 型晶体管 N1、第二 N 型晶体管 N2、第三 N 型晶体管 N3 和第四 N 型晶体管 N4。

第一 P 型晶体管 P1 的控制端与控制逻辑电路 24 的输出端连接, 第一 P 型晶体管 P1 的第一端连接电源端, 第一 P 型晶体管 P1 的第二端连接第一锁存器组的输入端和第一 N 型晶体管 N1 的第一端。

第一 N 型晶体管 N1 的控制端、第二 N 型晶体管 N2 的控制端和第三 N 型晶体管 N3 的控制端均与测试译码电路 25 的输出端连接。在一些实施例中, 第一 N 型晶体管 N1 的控制端接收第一译码信号, 第二 N 型晶体管 N2 的控制端接收第二译码信号, 第三 N 型晶体管 N3 的控制端接收第三译码信号。

第一 N 型晶体管 N1 的第二端与第二 N 型晶体管 N2 的第一端连接, 第二 N 型晶体管 N2 的第二端与第三 N 型晶体管 N3 的第一端连接, 第三 N 型晶体管 N3 的第二端与第四 N 型晶体管 N4 的第一端连接。

第四 N 型晶体管 N4 的控制端与控制逻辑电路的输出端连接, 第四 N 型晶体管 N4 的第一端与第三 N 型晶体管 N3 的第二端连接, 第四 N 型晶体管 N4 的第二端连接接地端。

在上述实施例中, 可选的, 第一内部地址可以为 2 比特 ($A<1:0>$), 第二内部地址可以为 1 比特 ($A<7>$), 第三内部地址可以为 7 比特 ($A<7:0>$)。

图 11 为图 5 所示的测试电路中各个单元的输入及输出信号的时序图, 如图 11 所示, 示出了图 5 所示的测试电路中各个单元的输入及输出信号在时间轴上的先后关系示意图。首先, 请参见图 5 和图 11, 本申请实施例中的测试电路在接收到测试电路使能信号后, 测试电路开始工作, 第一地址锁存器 21 接收第一内部地址 ($A<1:0>$), 先接收值为 “11” 的第一内部地址, 第一地址锁存器 21 输出值为 “11” 第一内部延迟地址 ($RAT<1:0>$)。命令逻辑电路 22 接收测试命令和第二内部地址 ($A<7>$), 并输出测试模式命令。第二地址锁存器 23 接收第三内部地址 ($A<7:0>$) 和测试模式命令, 并输出如图 11 所示的第三内部延迟地址 ($RAD<7:0>$)。

接着, 控制逻辑电路 24 将值为 “11” 的第一内部延迟地址 ($RAT<1:0>$) 与测试模式命令进行与运算产生如图 11 所示的测试模式使能从属信号, 并输出测试模式使能从属信号至从属锁存器 26。

接着, 从属锁存器 26 接收第三内部延迟地址 ($RAD<7:0>$) 和测试模式使能从属信号, 并输出如图 11 所示的从属地址。

接着, 第一地址锁存器 21 接收值为 “00/01/10” 的第一内部地址, 第一地址锁存器 21 输出值为 “00/01/10” 第一内部延迟地址 ($RAT<1:0>$)。控制逻辑电路 24 将值为 “00/01/10”

的第一内部延迟地址 (RAT<1:0>) 取反之后与测试模式命令进行与运算产生测试模式使能主动信号, 并输出测试模式使能主动信号至自测试电路 27。

接着, 测试译码电路 25 接收第一内部延迟地址 (RAT<1:0>) 和第三内部延迟地址 (RAD<7:0>), 并输出如图 11 所示的译码信号。

5 最后, 自测试电路 27 接收测试模式使能主动信号、从属地址和译码信号, 根据测试模式使能主动信号和译码信号进行逻辑运算, 产生如图 11 所示的时钟信号, 并根据从属地址和时钟信号生成如图 11 所示的测试模式信号, 最后输出测试模式信号至目标电路模块。

本申请实施例还提供一种存储器, 图 12 为本申请实施例提供的一种存储器的机构示意图, 如图 12 所示, 本实施例的存储器可以包括控制电路 31、至少一个电路模块 32 和上述任一实施例中的测试电路 33。

其中, 控制电路 31 用于向测试电路 33 发送输入信号。

测试电路 33 用于接收输入信号, 并根据输入信号向至少一个电路模块 32 中的一个电路模块发送测试模式信号。

15 本申请提供的存储器, 存储器中的测试电路可以向不同的电路模块准确地传送测试模式信号, 进而可以触发电路模块进行与测试模式信号携带的测试类型对应的测试。

最后应说明的是: 以上各实施例仅用以说明本申请的技术方案, 而非对其限制; 尽管参照前述各实施例对本申请进行了详细的说明, 本领域的普通技术人员应当理解: 其依然可以对前述各实施例所记载的技术方案进行修改, 或者对其中部分或者全部技术特征进行等同替换; 而这些修改或者替换, 并不使相应技术方案的本质脱离本申请各实施例技术方案的范围。

权 利 要 求 书

1. 一种测试电路，包括：
输入端、处理电路和输出端；
所述输入端用于接收输入信号，所述输入信号包括用于指示测试目标电路模块的
5 测试命令和所述目标电路模块的地址；
所述处理电路，用于根据所述测试命令和所述目标电路模块的地址确定测试模式
信号，所述测试模式信号携带测试类型，所述测试模式信号用于触发所述目标电路模
块进行与所述测试类型对应的测试；
所述输出端，用于根据所述目标电路模块的地址将所述测试模式信号发送至所述
10 目标电路模块。
2. 根据权利要求 1 所述的测试电路，其中，所述处理电路包括：
第一地址锁存器、命令逻辑电路和第二地址锁存器；
所述第一地址锁存器，用于接收第一内部地址，并输出第一内部延迟地址；
所述命令逻辑电路，用于接收所述测试命令和第二内部地址，并输出测试模式命
15 令；
所述第二地址锁存器，用于接收第三内部地址和所述测试模式命令，并输出第三
内部延迟地址。
3. 根据权利要求 2 所述的测试电路，其中，所述处理电路还包括：
控制逻辑电路、测试译码电路和从属锁存器；
20 所述控制逻辑电路，用于接收所述第一内部延迟地址和所述测试模式命令，并输
出测试模式使能主动信号和测试模式使能从属信号；
所述测试译码电路，用于接收所述第一内部延迟地址和所述第三内部延迟地址，
并输出译码信号；
所述从属锁存器，用于接收所述第三内部地址和所述测试模式使能从属信号，并
25 输出从属地址。
4. 根据权利要求 3 所述的测试电路，其中，所述处理电路还包括：
自测试电路，用于接收所述测试模式使能主动信号、所述从属地址和所述译码信
号，并输出所述测试模式信号至所述目标电路模块。
5. 根据权利要求 4 所述的测试电路，其中，所述命令逻辑电路用于：
30 在所述第二内部地址的值为预设值时，根据所述测试命令产生所述测试模式命令。

6. 根据权利要求 4 所述的测试电路, 其中, 所述控制逻辑电路用于:

在所述第一内部延迟地址的值为第一值时, 与所述测试模式命令进行逻辑运算产生所述测试模式使能主动信号;

5 在所述第一内部延迟地址的值为第二值时, 与所述测试模式命令进行逻辑运算产生所述测试模式使能从属信号。

7. 根据权利要求 4 所述的测试电路, 其中, 所述测试译码电路包括多个译码器。

8. 根据权利要求 7 所述的测试电路, 其中, 所述译码器包括 3-8 译码器。

9. 根据权利要求 4 所述的测试电路, 其中, 所述控制逻辑电路包括第一与非门、第一反相器、第二与非门、第二反相器、第三与非门和第三反相器;

10 所述第一与非门的输出端与所述第一反相器的输入端连接, 所述第二与非门的输出端与所述第二反相器的输入端连接, 所述第三与非门的输出端与所述第三反相器的输入端连接;

所述第一与非门用于接收所述第一内部延迟地址, 并输出第一信号;

所述第一反相器用于接收所述第一信号, 并输出第二信号;

15 所述第二与非门用于接收所述第一信号和所述测试模式命令, 并输出第三信号;

所述第二反相器用于接收所述第三信号, 并输出所述测试模式使能主动信号;

所述第三与非门用于接收所述第二信号和所述测试模式命令, 并输出第四信号;

所述第三反相器用于接收所述第四信号, 并输出所述测试模式使能从属信号。

10. 根据权利要求 4 所述的测试电路, 其中, 所述自测试电路包括第一测试子电路, 所述第一测试子电路包括第一逻辑控制子电路和第一锁存器组, 所述第一逻辑控制子电路与所述第一锁存器组连接, 所述第一锁存器组的每一个锁存器对应一个所述测试模式信号。

11. 根据权利要求 10 所述的测试电路, 其中, 所述第一逻辑控制子电路的输入端连接所述控制逻辑电路的输出端、所述测试译码电路的输出端和所述从属锁存器的输出端;

所述第一逻辑控制子电路用于根据所述测试模式使能主动信号和所述译码信号进行逻辑运算, 产生时钟信号并输出所述时钟信号至所述第一锁存器组。

12. 根据权利要求 11 所述的测试电路, 其中, 所述第一锁存器组用于接收所述从属地址和所述时钟信号, 根据所述从属地址和所述时钟信号确定所述测试模式信号, 并输出所述测试模式信号至所述目标电路模块。

13. 根据权利要求 10 所述的测试电路, 其中, 所述第一逻辑控制子电路包括第一

P 型晶体管、第一 N 型晶体管、第二 N 型晶体管、第三 N 型晶体管和第四 N 型晶体管；

所述第一 P 型晶体管的控制端与所述控制逻辑电路的输出端连接，所述第一 P 型晶体管的第一端连接电源端，所述第一 P 型晶体管的第二端连接所述第一锁存器组的
5 输入端和所述第一 N 型晶体管的第一端；

所述第一 N 型晶体管的控制端、所述第二 N 型晶体管的控制端和所述第三 N 型晶体管的控制端均与所述测试译码电路的输出端连接；

所述第一 N 型晶体管的第二端与所述第二 N 型晶体管的第一端连接，所述第二 N 型晶体管的第二端与所述第三 N 型晶体管的第一端连接，所述第三 N 型晶体管的第二
10 端与所述第四 N 型晶体管的第一端连接；

所述第四 N 型晶体管的控制端与所述控制逻辑电路的输出端连接，所述第四 N 型晶体管的第一端与所述第三 N 型晶体管的第二端连接，所述第四 N 型晶体管的第二端连接接地端。

14. 根据权利要求 4 所述的测试电路，其中，所述第一内部地址为 2 比特，所述
15 第二内部地址为 1 比特，所述第三内部地址为 7 比特。

15. 一种存储器，包括控制电路、至少一个电路模块和权利要求 1-14 任一项所述的测试电路；

所述控制电路用于向所述测试电路发送所述输入信号；

所述测试电路用于接收所述输入信号，并根据所述输入信号向所述至少一个电路
20 模块中的一个电路模块发送所述测试模式信号。