

测试电路、测试装置及其测试方法

本申请要求于 2020 年 8 月 31 日提交的申请号为 202010893028.8、名称为“测试电路、测试装置及其测试方法”的中国专利申请的优先权，其全部内容通
5 过引用结合在本申请中。

技术领域

本申请实施例涉及存储器技术领域，特别是涉及一种测试电路、测试装置及其测试方法。

10

背景技术

存储器是用于存储数据的器件，存储器通常包括多个存储阵列，每个存储阵列中包括多个存储单元，存储单元作为存储数据的基本单元结构，每个存储单元都具有数据存储的功能。

15 在对存储器进行读写操作时，需要由脉冲信号进行控制。示例性地，脉冲信号可以用于控制字线连接的晶体管对导通和断开，具体地，当脉冲信号有效时，存储单元进行读或写操作，当脉冲信号失效时，存储单元保持原来的数据。随着对存储器对读写速度对要求对不断提高，需要进一步提高脉冲信号的发送频率并减小脉冲宽度。为了保证脉冲信号对可靠性，需要通过测试电路对脉冲宽度进
20 行测试，以确保生成对脉冲信号与设计的信号相同。但是，随着脉冲宽度的不断缩窄，对脉冲宽度的测试电路和测试装置提出了更高的要求，目前的测试电路已经无法准确地测试不断缩窄的脉冲宽度。

发明内容

本申请一方面提供一种测试电路，包括：

信号处理模块，用于接收待测试的脉冲信号，并在控制信号的控制下输出处理信号；

- 5 采样模块，与所述信号处理模块的输出端连接，用于接收所述处理信号，并根据所述处理信号生成采样信号；

其中，所述采样信号包括第一采样脉冲和第二采样脉冲，所述第一采样脉冲和所述第二采样脉冲具有一脉冲宽度差，所述脉冲宽度差等于所述脉冲信号的脉冲宽度。

- 10 本申请另一方面提供一种测试装置，包括：

如上述的测试电路；

分析模块，与所述采样模块连接，用于根据所述第一采样脉冲和所述第二采样脉冲获取所述脉冲信号中所述脉冲的宽度。

本申请另一方面提供一种测试方法，基于如上述的测试装置，所述方法包括：

- 15 接收待测试的脉冲信号；

在控制信号的控制下输出处理信号；

根据所述处理信号生成采样信号，所述采样信号包括第一采样脉冲和第二采样脉冲；

- 20 根据所述第一采样脉冲和所述第二采样脉冲获取所述脉冲信号中所述脉冲的宽度；

其中，所述第一采样脉冲和所述第二采样脉冲具有一脉冲宽度差，所述脉冲宽度差等于所述脉冲信号的脉冲宽度。

本发明的各个实施例的细节将在下面的附图和描述中进行说明。根据说明

书、附图以及权利要求书的记载，本领域技术人员将容易理解本发明的其它特征、解决的问题以及有益效果。

附图说明

5 为了更好地描述和说明本申请的实施例，可参考一幅或多幅附图，但用于描述附图的附加细节或示例不应当被认为是对本申请的发明创造、目前所描述的实施例或优选方式中任何一者的范围的限制。

图 1 为第一实施例的测试电路的结构示意图；

图 2 为图 1 实施例对应的一示例性的信号时序图；

10 图 3 为图 1 实施例对应的另一示例性的信号时序图；

图 4 为图 1 实施例对应的又一示例性的信号时序图；

图 5 为第二实施例的测试电路的结构示意图；

图 6 为图 5 实施例对应的一示例性的信号时序图；

图 7 为第三实施例的测试电路的结构示意图；

15 图 8 为第四实施例的测试电路的结构示意图；

图 9 为图 8 实施例对应的一示例性的信号时序图；

图 10 为第五实施例的测试电路的结构示意图；

图 11 为第六实施例的测试电路的结构示意图；

图 12 为一实施例的测试装置的结构示意图；

20 图 13 为一实施例的测试方法的流程图。

具体实施方式

为了便于理解本申请实施例，下面将参照相关附图对本申请实施例进行更

全面的描述。附图中给出了本申请实施例的首选实施例。但是，本申请实施例可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本申请实施例的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请实施例的技术领域的技术人员通常理解的含义相同。本文中在本申请实施例的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本申请实施例。本文可能使用的术语“及/或”包括一个或多个相关的所列项目的任意的和所有的组合。

在本申请实施例的描述中，需要理解的是，可能存在的术语“上”、“下”、“竖直”、“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方法或位置关系，仅是为了便于描述本申请实施例和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请实施例的限制。

图1为第一实施例的测试电路10的结构示意图，参考图1，在本实施例中，测试电路10包括信号处理模块100和采样模块200。

其中，待测试的脉冲信号由脉冲发生器30产生，并被划分为至少两路，一路脉冲信号传输至测试电路10，以进行测试，另一路脉冲信号传输至存储阵列，以控制存储阵列的数据读写。在本申请实施例中，脉冲信号中包括多个脉冲，脉冲宽度是指每个脉冲的高电平的持续时间，即，一个脉冲的上升沿时刻和下降沿时刻的时间间隔为脉冲宽度。

信号处理模块100，用于接收待测试的脉冲信号，并在控制信号的控制下输出处理信号，所述处理信号分时为所述脉冲信号或反相的所述脉冲信号。

其中，处理信号分时为所述脉冲信号或反相的所述脉冲信号是指，在处理信

号的部分时间段内，处理信号的波形与脉冲信号的波形相吻合，在处理信号的剩余时间段内，处理信号的波形与反相的脉冲信号的波形相吻合。在本实施例中，处理信号用于传输至采样模块 200 的时钟驱动端，以作为时钟对采样模块 200 输入的信号进行采样，具体地，是根据处理信号的边沿对采样模块 200 输入的信号进行采样。

可以理解的是，一个采样模块 200 通常只对一种边沿进行采样，即只对上升沿进行采样或只对下降沿进行采样。因此，若需要采样模块 200 对不同的边沿进行采样，需要在采样模块 200 中设置结构复杂的多个触发器等结构，因此会造成采样模块 200 的内部结构和控制电路较为复杂。在本实施例中，通过控制处理信号分时为脉冲信号或反相的脉冲信号，可以使采样模块 200 只需对一种边沿进行采样，即通过对脉冲信号进行反相，以实现不同的边沿进行采样。示例性地，若采样模块 200 为上升沿采样，而采样信号的部分边沿是基于脉冲信号的下降沿生成的，则可以对脉冲信号的目标下降沿进行反相，从而将脉冲信号的下降沿转化为处理信号的上升沿，即可以实现采样模块 200 的简单、准确地采样，从而简化了采样模块 200 的内部结构。而且，相比多个触发器等结构的采样模块 200，实现反相功能的分时控制所需要的控制逻辑和电路都更加简单，因此，本实施例的信号处理模块 100 进而简化了测试电路 10 的整体电路结构。

采样模块 200，与所述信号处理模块 100 的输出端连接，用于接收所述处理信号，并根据所述处理信号生成采样信号，其中，所述采样信号包括第一采样脉冲和第二采样脉冲，所述第一采样脉冲和所述第二采样脉冲具有一脉冲宽度差，所述脉冲宽度差等于所述脉冲信号的脉冲宽度。其中，脉冲宽度差是指第一采样脉冲的脉冲宽度与第二采样脉冲的脉冲宽度之间的差值，采样模块 200 响应处理信号的边沿生成采样信号，因此，采样信号中的每个上升沿和每个下降沿都会

与处理信号中的一个边沿相对应，即，采样信号中的每个上升沿和每个下降沿也都会与脉冲信号中的一个边沿相对应。

在本实施例中，测试电路 10 包括：信号处理模块 100，用于接收待测试的脉冲信号，并在控制信号的控制下输出处理信号，所述处理信号分时为所述脉冲信号或反相的所述脉冲信号；采样模块 200，与所述信号处理模块 100 的输出端连接，用于接收所述处理信号，并根据所述处理信号生成采样信号；其中，所述采样信号包括第一采样脉冲和第二采样脉冲，所述第一采样脉冲和所述第二采样脉冲具有一脉冲宽度差，所述脉冲宽度差等于所述脉冲信号的脉冲宽度。在本实施例中，通过信号处理模块 100 对输入的脉冲信号进行处理，可以以结构较简单的采样模块 200 对脉冲信号的不同边沿进行采样，从而简化了测试电路 10 的硬件结构，并进一步通过采样模块 200 对处理信号进行采样，以生成第一采样脉冲和第二采样脉冲，即可通过第一采样脉冲和第二采样脉冲获取脉冲宽度，即实现了一种测试精度更高的测试电路 10。

在一些实施例中，所述采样模块 200 可以用于响应时序上的前两个所述脉冲的相同边沿生成所述第一采样脉冲，并响应时序上的后两个所述脉冲的不同边沿生成所述第二采样脉冲。图 2 为图 1 实施例对应的一示例性的信号时序图，参考图 1，在本实施例中，脉冲信号包括四个脉冲，采样模块 200 响应每个脉冲的上升沿和下降沿中的一个生成相应的边沿，具体地，采样信号的第一个上升沿响应第一个脉冲的下降沿生成，采样信号的第一个下降沿响应第二个脉冲的上升沿生成，采样信号的第二个上升沿响应第三个脉冲的上升沿生成，采样信号的第二个下降沿响应第四个脉冲的上升沿生成。第一个上升沿时刻 t_1 和第一个下降沿时刻 t_2 之间的时间间隔即为第一采样脉冲的宽度 A，第二个上升沿时刻 t_3 和第二个下降沿时刻 t_4 之间的时间间隔即为第二采样脉冲的宽度 B。因此，基

于本实施例的测试电路 10，只需对每个脉冲的一个边沿进行采样，即可获取输入的脉冲信号的脉冲宽度，从而降低了采样模块 200 的采样难度，从而提高了测试电路 10 的测试精度。

在其他实施例中，可以如图 3 所示的响应第三个脉冲的下降沿和第四个脉冲的下降沿生成第二采样脉冲。也可以如图 4 所示响应三个或三个以上脉冲生成第一采样脉冲，并响应另外的三个或三个以上脉冲生成第二采样脉冲。还可以脉冲信号中包括五个或五个以上脉冲，响应第一个脉冲和第二个脉冲生成第一采样脉冲，并响应第四个脉冲和第五个脉冲生成第二采样脉冲。需要说明的是，图 2 至图 4 实施例中的采样信号的生成方式仅用于示例性说明，而不用限于本申请的保护范围，只要生成的第一采样脉冲的脉冲宽度和第二采样脉冲的脉冲宽度之差等于待测试的脉冲信号的脉冲宽度，都属于本申请的保护范围。

图 5 为第二实施例的测试电路 10 的结构示意图，参考图 5，在本实施例中，所述采样模块 200 包括：第一暂存单元 210，所述第一暂存单元 210 的时钟驱动端与所述信号处理模块 100 连接，所述第一暂存单元 210 用于响应所述处理信号对待采样信号进行采样，以生成第一暂存信号，所述采样信号的边沿与所述第一暂存信号的边沿相对应。其中，第一暂存单元 210 的输入端与待采样信号源连接，待采样信号源用于输出待采样信号，示例性地，待采样信号可以是一个以预设时间间隔进行高电平和低电平切换的信号。

图 6 为图 5 实施例对应的一示例性的信号时序图，参考图 5，在本实施例中，所述脉冲信号可以包括时序上相邻的四个脉冲，所述信号处理模块 100 用于响应控制信号，对所述脉冲信号中时序上的首个所述脉冲进行反相，并对其余所述脉冲不进行反相。所述采样模块 200 用于响应时序上的前两个所述脉冲生成所述第一采样脉冲，并响应时序上的后两个所述脉冲生成所述第二采样脉冲，

具体地，待采样信号的周期为脉冲信号的周期的两倍，且待采样信号的边沿与脉冲信号的边沿相错开，从而确保根据处理信号的边沿对待采样信号进行采样的准确性。可以理解的是，只需处理信号的边沿时刻对应的待采样信号为稳定状态，即可进行准确的采样，因此，在本实施例中，测试电路 10 对待采样信号的时序
5 准确度要求也较低，即时序窗口较大，具有较高的时序可靠性。

进一步地，所述第一暂存单元 210 包括触发器、锁存器、寄存器中的一种或多种。在图 5 所示的实施例中，第一暂存单元 210 包括一个 D 触发器，D 触发器的时钟驱动端与信号处理模块 100 的输出端连接，D 触发器的输入端与待采样信号连接，D 触发器的输出端输出的信号即可作为采样信号。再进一步地，D 触发
10 器的置位端或复位端也可以连接至外部的电路，从而通过置位或复位的方式确定 D 触发器的初始状态，从而提升测试电路 10 的可靠性。在本实施例中，第一暂存单元 210 可以对处理信号的边沿进行采样和锁存，从而准确、稳定地输出采样信号。

图 7 为第三实施例的测试电路 10 的结构示意图，参考图 7，在本实施例中，
15 所述采样模块 200 还包括：第一反相器 220，与所述第一暂存单元 210 共同构成反馈环路，所述反馈环路用于响应所述处理信号生成反馈信号，所述反馈信号的边沿与所述处理信号的边沿相对应。可以理解的是，在前述实施例中，需要通过外设的待采样信号源，才能输出采样信号。在本实施例中，通过形成反馈环路，可以使第一暂存单元 210 的输入端的信号跟随于第一反相器 220 输出的反馈信
20 号，从而简化测试电路 10，并提高测试电路 10 的灵活性和可靠性。

具体地，所述第一反相器 220 的输入端与所述第一暂存单元 210 的输出端连接，所述第一反相器 220 的输出端与所述第一暂存单元 210 的输入端连接，所述第一反相器 220 用于对所述第一暂存信号进行反相，以生成反馈信号。示

例性地，当前处理信号周期的上升沿到达后，第一暂存单元 210 输出的第一暂存信号为 0 状态，经过第一反相器 220 的反相输出的反馈信号为 1 状态，则第一暂存单元 210 的输入端的信号也为 1 状态，在下一处理信号周期的上升沿到达后，第一暂存信号会切换为 1 状态，从而自动更新第一暂存单元 210 的输入端输入的反馈信号，即实现了结构更加简单、且能够自动采样的测试电路 10。

继续参考图 7，在其中一个实施例中，所述采样模块 200 还包括：第二反相器 230，所述第二反相器 230 的输入端与所述第一反相器 220 的输出端连接，所述第二反相器 230 用于接收所述反馈信号，并根据所述反馈信号生成所述采样信号。通过设置第二反相器 230 可以使采样模块 200 输出的信号与第一暂存单元 210 输出的信号相吻合。

图 8 为第四实施例的测试电路 10 的结构示意图，参考图 8，在本实施例中，测试电路 10 还包括：控制模块 300，分别与所述采样模块 200 和所述信号处理模块 100 连接，用于响应所述采样信号生成所述控制信号，所述控制信号的边沿与所述采样信号的边沿相对应。

具体地，控制模块 300 可以根据采样模块 200 输出的信号生成响应的控制信号，以实现信号处理模块 100 的输出信号的控制，即根据控制信号的电平状态控制信号处理模块 100 输出的处理信号。例如，图 9 为图 8 实施例对应的一示例性的信号时序图，参考图 9，在本实施例中，当控制信号的电平状态为高电平时，信号处理模块 100 输出脉冲信号；当控制信号的电平状态为低电平时，信号处理模块 100 输出反相的脉冲信号。

继续参考图 8，控制模块 300 可以包括第二暂存单元 310，所述第二暂存单元 310 的时钟驱动端与所述采样模块 200 的输出端连接，所述第二暂存单元 310 的输入端与预设电平信号发生器连接，以获取预设电平信号，所述第二暂存单元

310 的输出端与所述信号处理模块 100 连接, 所述第二暂存单元 310 用于响应所述采样信号对预设电平信号进行采样, 以生成第二暂存信号, 所述控制信号的边沿与所述第二暂存信号的边沿相对应。即预设电平信号发生器输出一恒定电平状态的信号, 例如可以为高电平信号, 在采样模块 200 运行前, 可以先对第二暂存单元 310 进行复位, 以使第二暂存单元 310 输出 0 状态, 并在目标时刻断开复位端的使能信号, 并根据采样信号对预设电平信号发生器输出的高电平信号进行采样, 以使第二暂存单元 310 输出的控制信号 Q 的状态切换为 1 状态, 从而实现对部分脉冲信号进行反相, 并保持剩余的脉冲信号的状态进行输出的目的。其中, 目标时刻可以通过第一暂存单元 210 的输出端连接的反相器的数量进行控制。

图 10 为第五实施例的测试电路 10 的结构示意图, 参考图 10, 在本实施例中, 所述控制模块 300 还包括: 第三反相器 320, 所述第三反相器 320 的输入端与所述第二暂存单元 310 的输出端连接, 所述第三反相器 320 用于接收所述第二暂存信号, 并根据所述第二暂存信号生成所述控制信号。在本实施例中, 通过第三反相器 320 可以生成控制信号 Q 和控制信号 QN, 即可以基于两个控制信号对信号处理模块 100 进行控制, 从而提高信号处理模块 100 的控制可靠性。

图 11 为第六实施例的测试电路 10 的结构示意图, 参考图 11, 在本实施例中, 信号处理模块 100 包括第四反相器 110 和多路选择器 120, 所述多路选择器 120 的第一输入端与所述第四反相器 110 的输出端连接, 所述多路选择器 120 的第二输入端与所述脉冲信号连接, 所述多路选择器 120 的输出端与所述第一暂存单元 210 连接, 所述多路选择器 120 用于接收所述控制信号, 并在所述控制信号的控制下选择导通所述第一输入端或所述第二输入端与所述输出端之间的通路。需要说明的是, 多路选择器 120 的结构不局限于图实施例中的结构, 其他

可以实现多路选择功能的多路选择器 120 也属于本申请的保护范围。

图 12 为一实施例的测试装置的结构示意图，参考图 12，在本实施例中，测试装置包括：如上述的测试电路 10；分析模块 20，与所述采样模块 200 连接，用于根据所述第一采样脉冲和所述第二采样脉冲获取所述脉冲信号中所述脉冲
5 的宽度。关于测试电路 10 的具体限定可以参见上文中对于的限定，在此不再赘述。在本实施例中，通过测试电路 10 和分析模块 20 实现了一种脉冲宽度测试准确的测试装置。

图 13 为一实施例的测试方法的流程图，本实施例的测试方法基于如上述的测试装置，参考图 13，在本实施例中，所述方法包括 S100 至 S400。

10 S100：接收待测试的脉冲信号；

S200：在控制信号的控制下输出处理信号；

S300：根据所述处理信号生成采样信号，所述采样信号包括第一采样脉冲和第二采样脉冲；

15 S400：根据所述第一采样脉冲和所述第二采样脉冲获取所述脉冲信号中所述脉冲的宽度。

需要说明的是，关于测试方法的具体限定可以参见上文中对于测试装置的限定，在此不再赘述。应该理解的是，虽然图 13 的流程图中的各个步骤按照箭头的指示依次显示，但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，这些步骤可以
20 以其它的顺序执行。而且，图 13 中的至少一部分步骤可以包括多个子步骤或者多个阶段，这些子步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，这些子步骤或者阶段的执行顺序也不必然是依次进行，而是可以与其它步骤或者其它步骤的子步骤或者阶段的至少一部分轮流或者交替地执行。

以上所述实施例的各技术特征可以进行任意的组合,为使描述简洁,未对上述实施例中的各个技术特征所有可能的组合都进行描述,然而,只要这些技术特征的组合不存在矛盾,都应当认为是本说明书记载的范围。

5 以上所述实施例仅表达了本申请实施例的几种实施方式,其描述较为具体和详细,但并不能因此而理解为对发明专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本申请实施例构思的前提下,还可以做出若干变形和改进,这些都属于本申请实施例的保护范围。因此,本申请实施例专利的保护范围应以所附权利要求为准。