

半导体结构及其形成方法

相关申请引用说明

本申请要求于 2022 年 06 月 21 日递交的中国专利申请号 202210706322.2、申请名为“半导体结构及其形成方法”的优先权，其全部内容以引用的形式附录于此。

技术领域

本公开涉及半导体制造技术领域，尤其涉及一种半导体结构及其形成方法。

背景技术

动态随机存储器(Dynamic Random Access Memory, DRAM)是计算机等电子设备中常用的半导体装置，其由多个存储单元构成，每个存储单元通常包括晶体管和电容器。所述晶体管的栅极与字线电连接、源极与位线电连接、漏极与电容器电连接，字线上的字线电压能够控制晶体管的开启和关闭，从而通过位线能够读取存储在电容器中的数据信息，或者将数据信息写入到电容器中。

具有 TOC (Transistor on Capacitor, 电容器上晶体管) 结构的 DRAM 等半导体结构由于其本身结构的限制，难以与外围电路兼容，且在电容器与衬底之间易出现漏电的问题。另外，DRAM 等半导体结构的制程工艺较为复杂，制造成本较高。

因此，如何改善半导体结构的性能，降低半导体制程工艺的难度，是当前亟待解决的技术问题。

发明内容

本公开一些实施例提供的半导体结构及其形成方法，用于改善半导体结构的性能，降低半导体制程工艺的难度。

根据一些实施例，本公开提供了一种半导体结构，包括：

衬底；

电容结构，位于所述衬底的顶面上，包括沿第一方向和第二方向呈阵列排布的多个电容器，所述第一方向和所述第二方向均为平行于所述衬底的顶面的方向，且所述第一方向与所述第二方向相交；

晶体管结构，位于所述电容结构上方，包括多个有源柱和多条字线，所述有源柱与所述电容器电连接，所述字线沿所述第二方向延伸、且连续覆盖沿所述第二方向间隔排布的所述有源柱；

位线结构，位于所述晶体管结构上方，包括多条位线，所述位线沿所述第一方向延伸、且与沿所述第一方向间隔排布的所述有源柱电连接。

在一些实施例中，还包括：

衬底隔离层，位于所述衬底与所述电容结构之间。

在一些实施例中，所述电容器包括：

下电极，包括导电柱、以及覆盖于所述导电柱表面的导电层，所述导电柱的顶面与所述有源柱接触电连接；

电介质层，覆盖于所述导电层的表面；

上电极，覆盖于所述电介质层的表面。

在一些实施例中，所述衬底隔离层包括：

第一子衬底隔离层，连续分布于多个所述导电柱下方；

第二子衬底隔离层，覆盖于所述第一子衬底隔离层表面。

在一些实施例中，所述电介质层的材料为钛酸锶、氧化铝、氧化锆、氧化铪中任一种或者多种，所述导电层和所述上电极的材料为钛、钽、氧化钽、氮化钛中的任一种或者多种。

在一些实施例中，所述导电柱的材料为包括第一掺杂离子的硅化物材料。

在一些实施例中，多条所述字线沿所述第一方向间隔排布；所述晶体管结构还包括：

字线隔离层，位于相邻的所述字线之间。

在一些实施例中，每个所述有源柱包括沟道区、以及沿垂直于所述衬底的顶面的方向分布于所述沟道区相对两侧的漏极区和源极区；

在沿所述第一方向和所述第二方向上，所述源极区的宽度均大于所述沟道区的宽度，且所述漏极区的宽度均大于所述沟道区的宽度。

在一些实施例中，所述晶体管结构还包括：

保护层，位于所述字线隔离层与所述有源柱之间、且覆盖于所述源极区的侧壁，在沿所述第一方向上，所述保护层的边缘与所述字线的边缘平齐。

在一些实施例中，所述晶体管结构还包括位于所述有源柱顶面的源电极；所述位线结构还包括：位线插塞，所述位线插塞的底面与所述源电极接触连接，所述位线插塞的顶面与所述位线电连接。根据另一些实施例，本公开还提供了一种半导体结构的形成方法，包括如下步骤：

提供初始衬底；

于所述初始衬底中形成衬底以及位于所述衬底顶面上的电容结构，所述电容结构包括沿第一方向和第二方向呈阵列排布的多个电容器，所述第一方向和所述第二方向均为平行于所述衬底的顶面的方向，且所述第一方向与所述第二方向相交；

于所述初始衬底中形成位于所述电容结构上方的晶体管结构，所述晶体管结构包括多个有源柱和多条字线，所述有源柱与所述电容器电连接，所述字线沿所述第二方向延伸、且连续覆盖沿所述第二方向间隔排布的所述有源柱；

于所述晶体管结构上方形成位线结构，所述位线结构包括多条位线，所述位线沿所述第一方向延伸、且与沿所述第一方向间隔排布的所述有源柱电连接。

在一些实施例中，于所述初始衬底中形成衬底以及位于所述衬底顶面上的电容结构的具体步骤包括：

刻蚀所述初始衬底，形成沿所述第一方向和第二方向呈阵列排布的多个半导体柱、位于相邻所述半导体柱之间的刻蚀孔、以及与多个所述刻蚀孔一一连通且位于所述刻蚀孔下方的多个凹槽；

形成连通相邻的所述凹槽且填充满所述凹槽的衬底隔离层，残留于所述衬底隔离层下方的所述初始衬底作为衬底；

形成电容器于所述刻蚀孔内。

在一些实施例中，形成沿所述第一方向和第二方向呈阵列排布的多个半导体柱、位于相邻所述半导体柱之间的刻蚀孔、以及与多个所述刻蚀孔一一连通且位于所述刻蚀孔下方的多个凹槽的具体步骤包括：

刻蚀所述初始衬底，形成多个第一刻蚀槽，每个所述第一刻蚀槽沿所述第一方向延伸，且多个所述第一刻蚀槽沿所述第二方向间隔排布；

刻蚀所述初始衬底，形成多个第二刻蚀槽，每个所述第二刻蚀槽沿所述第二方向延伸，且多个所述第二刻蚀槽沿所述第一方向间隔排布；

刻蚀所述第二刻蚀槽底部的所述初始衬底，在第一方向上，形成宽度大于所述第二刻蚀槽的所述凹槽；

连通所述第一刻蚀槽和所述第二刻蚀槽，形成多个所述刻蚀孔、以及位于相邻的所述刻蚀孔之间的所述半导体柱。

在一些实施例中，形成宽度大于所述第二刻蚀槽的所述凹槽的具体步骤包括：

采用博世刻蚀工艺刻蚀所述第二刻蚀槽底部的所述初始衬底，形成所述凹槽。

在一些实施例中，于所述初始衬底中形成衬底以及位于所述衬底顶面上的电容结构的具体步骤还包括：

形成填充满所述刻蚀孔和所述凹槽的牺牲层；

自所述初始衬底的顶面回刻蚀部分的所述牺牲层，暴露所述半导体柱的上部；

于所述牺牲层的顶面形成覆盖暴露的所述半导体柱的支撑层。

在一些实施例中，于所述牺牲层的顶面形成覆盖暴露的所述半导体柱的支撑层之后，还包括如下步骤：

去除所述牺牲层；

氧化相邻所述凹槽之间的所述半导体柱，形成第一子衬底隔离层；

填充绝缘材料于所述凹槽内，形成第二子衬底隔离层，所述第一子衬底隔离层和所述第二子衬底隔离层共同作为所述衬底隔离层。

在一些实施例中，位于所述衬底隔离层与所述支撑层之间的所述刻蚀孔作为电容孔，所述初始衬底的材料为硅；形成电容器于所述刻蚀孔内的具体步骤包括：

注入第一掺杂离子至相邻所述电容孔之间的所述半导体柱中，形成初始导电柱；

沉积金属材料于所述初始导电柱上，形成材料包括硅化物的导电柱；

依次形成覆盖所述导电柱侧壁的导电层、覆盖所述导电层的侧壁的电介质层、以及覆盖所述电介质层表面的上电极。

在一些实施例中，形成覆盖所述导电柱侧壁的导电层的具体步骤包括：

采用选择性原子层沉积工艺直接形成仅覆盖所述导电柱侧壁的所述导电层。

在一些实施例中，所述电介质层的材料为钛酸锶、氧化铝、氧化锆、氧化钪中任一种或者多种，所述导电层和所述上电极的材料为钛、钌、氧化钌、氮化钛中的任一种或者多种。

在一些实施例中，于所述初始衬底中形成位于所述电容结构上方的晶体管结构的具体步骤包括：

去除所述支撑层，暴露所述刻蚀孔的上部和所述半导体柱的上部，以暴露的所述半导体柱作为有源柱，并于所述有源柱中定义沟道区、位于所述沟道区下方且与所述导电柱接触的漏极区、以及位于所述沟道区上方的源极区；

缩小所述沟道区沿所述第一方向和所述第二方向的宽度；

形成沿所述第二方向延伸、且连续覆盖沿所述第二方向间隔排布的多个所述沟道区的所述字线。

在一些实施例中，缩小所述沟道区沿所述第一方向和所述第二方向的宽度的具体步骤包括：

形成填充相邻所述有源柱之间的所述刻蚀孔的填充层；

回刻蚀部分的所述填充层，暴露所述源极区；

形成覆盖所述源极区的侧壁的保护层；

再次回刻蚀部分的所述填充层，暴露所述沟道区，残留于所述漏极区侧壁的所述填充层作为初始隔离层；

改性处理暴露的所述沟道区的侧壁，形成改性层；

去除所述改性层，缩小所述沟道区沿所述第一方向和所述第二方向的宽度。

在一些实施例中，所述改性处理为热氧化处理，所述改性层为氧化层。

在一些实施例中，形成沿所述第二方向延伸、且连续覆盖沿所述第二方向间隔排布的多个所述沟道区的所述字线之后，还包括：

注入第二掺杂离子至所述源极区、所述沟道区和所述漏极区，所述第二掺杂离子与所述第一掺杂离子的离子类型相同。

在一些实施例中，注入第二掺杂离子至所述源极区、所述沟道区和所述漏极区之后，还包括如下步骤：

沉积金属材料于所述源极区的表面，形成材料包括硅化物的源电极。

在一些实施例中，于所述晶体管结构上方形成位线结构的具体步骤包括：

形成分别位于多个所述源电极的顶面的多个位线插塞；

形成多条位线于所述位线插塞上方，且多条所述位线沿所述第二方向间隔排布，每条所述位线沿所述第一方向延伸、且与沿所述第一方向间隔排布的多个所述位线插塞接触电连接。

本公开一些实施例提供的半导体结构及其形成方法，将晶体管结构设置在电容结构之上，且将位线结构设置在晶体管结构之上，形成具有 TOC 结构的半导体结构，无需通过深孔刻蚀工艺于晶体管结构的下方形成位线结构，从而可以降低位线的制造工艺难度，降低所述半导体结构的制造成本。并且，由于所述位线结构位于所述晶体管结构的上方，因此，可以采用多种材料（例如金属材料）制造位线，有助于降低位线电阻，改善半导体结构的性能，能够与后续的外围电路工艺更好的兼容。

附图说明

附图 1 是本公开具体实施方式中半导体结构的示意图；

附图 2 是本公开具体实施方式中半导体结构的形成方法流程图；

附图 3-图 15 是本公开具体实施方式在形成半导体结构的过程中主要的工艺结构示意图。

具体实施方式

下面结合附图对本公开提供的半导体结构及其形成方法的具体实施方式做详细说明。

本具体实施方式提供了一种半导体结构，附图 1 是本公开具体实施方式中半导体结构的示意图。本

具体实施方式中所述的半导体结构可以是但不限于 DRAM。如图 1 所示，本具体实施方式提供的半导体结构，包括：

衬底 10；

电容结构，位于所述衬底 10 的顶面上，包括沿第一方向 D1 和第二方向 D2 呈阵列排布的多个电容器，所述第一方向 D1 和所述第二方向 D2 均为平行于所述衬底 10 的顶面的方向，且所述第一方向 D1 与所述第二方向 D2 相交；

晶体管结构，位于所述电容结构上方，包括多个有源柱 13 和多条字线 15，所述有源柱 13 与所述电容器电连接，所述字线 15 沿所述第二方向 D2 延伸、且连续覆盖沿所述第二方向 D2 间隔排布的所述有源柱 13；

位线结构，位于所述晶体管结构上方，包括多条位线 18，所述位线 18 沿所述第一方向 D1 延伸、且与沿所述第一方向 D1 间隔排布的所述有源柱 13 电连接。

具体来说，所述衬底 10 以是但不限于硅衬底，本具体实施方式以所述衬底 10 为硅衬底为例进行说明。在其他示例中，所述衬底 10 可以为氮化镓、砷化镓、碳化镓、碳化硅或 SOI 等半导体衬底。所述衬底 10 用于支撑在其上的器件结构。所述衬底 10 的顶面是指所述衬底 10 上形成有所述电容结构的表面。

所述电容结构包括沿所述第一方向 D1 和所述第二方向 D2 呈二维阵列排布的多个所述电容器。每个所述电容器沿第三方向 D3 延伸，所述第三方向 D3 是与所述衬底 10 的顶面垂直的方向。所述晶体管结构位于所述电容结构上方，且所述晶体管结构包括沿所述第一方向 D1 和所述第二方向 D2 呈二维阵列排布的多个所述有源柱 13，所述有源柱 13 包括沟道区、以及沿所述第三方向 D3 分布于所述沟道区相对两侧的漏极区和源极区，所述电容器与所述漏极区接触电连接。所述晶体管结构中还包括多条字线 15、以及位于相邻两条所述字线 15 之间的字线隔离层 19，所述字线 15 沿所述第二方向 D2 延伸、且连续覆盖沿所述第二方向 D2 间隔排布的所述有源柱 13，形成沟道全环绕结构的所述字线 15。所述位线结构包括多条所述位线 18，所述位线 18 位于所述晶体管结构的上方，从而可以采用金属钨等金属材料来形成所述位线 18，从而降低了位线的电阻、并降低了位线制造工艺的难度。而且，将所述位线 18 设置在所述晶体管结构的上方，可以使得所述位线能够与 CORE（处理器核）、SA（灵敏放大器）以及 I/O（输入/输出）等外围电路工艺兼容。

在一些实施例中，所述电容器包括：

下电极，包括导电柱 121、以及覆盖于所述导电柱 121 表面的导电层 122，所述导电柱 121 的顶面与所述有源柱 13 接触电连接；

电介质层 123，覆盖于所述导电层 122 的表面；

上电极 124，覆盖于所述电介质层 123 的表面。

具体来说，所述电容器中的所述下电极包括沿所述第三方向 D3 延伸的所述导电柱 121、以及覆盖于所述导电柱 121 侧壁的所述导电层 122，所述电介质层 123 覆盖于所述导电层 122 的侧壁、所述衬底隔离层 11 的表面、以及所述字线隔离层 19 的底面，所述上电极 124 覆盖所述电介质层 123 的表面。

在一些实施例中，所述电介质层 123 的材料为钛酸锶、氧化铝、氧化锆、氧化钪中任一种或者多种，所述导电层 122 和所述上电极 124 的材料为钛、钽、氧化钽、氮化钛中的任一种或者多种。

具体来说，所述电介质层 123 可以采用具有高介电常数（HK）的 STO（钛酸锶）材料制成，采用钽或者氧化钽等形成所述导电层 122 和所述上电极 124，从而可以降低所述电容器沿所述第三方向 D3 的高度，进而降低刻蚀用于形成所述电容器的电容孔时的刻蚀深度，以进一步降低工艺难度。在其他示例中，也可以采用氧化铝、氧化锆、氧化钪中任一种或者多种来形成所述电介质层 123，相应的，采用 TiN 等形成所述导电层 122 和所述上电极 124，以降低所述半导体层结构的制造成本。

在一些实施例中，所述导电柱 121 的材料为包括第一掺杂离子的硅化物材料，以增强所述导电柱 121 的导电性。在一实施例中，所述漏极区包括第二掺杂离子，所述第二掺杂离子的类型与所述第一掺杂离子的类型相同，以进一步降低所述导电柱 121 与所述漏极区之间的接触电阻。

在一些实施例中，所述半导体结构还包括：

衬底隔离层 11，位于所述衬底 10 与所述电容结构之间。

具体来说，所述衬底隔离层 11 的材料可以是但不限于氧化物（例如二氧化硅）等绝缘材料。通过在

所述衬底 10 与所述电容结构之间形成所述衬底隔离层 11，从而隔绝所述电容器底部至所述衬底 10 的漏电通道，以减少所述电容器与所述衬底 10 之间的漏电问题。

在一些实施例中，所述衬底隔离层 11 包括：

第一子衬底隔离层，连续分布于多个所述导电柱 121 下方；

第二子衬底隔离层，覆盖于所述第一子衬底隔离层表面。

具体来说，所述衬底隔离层 11 包括连续分布于多个所述导电柱 121 下方的所述第一子衬底隔离层、以及覆盖于所述第一子衬底隔离层表面的所述第二子衬底隔离层，从而能够在形成所述电容孔的同时进行所述衬底隔离层的形成工艺，确保所述衬底隔离层直接形成于所述电容器的下方，进而确保所述衬底隔离层能够充分与电容器底部对准，在简化所述半导体结构的制造工艺、降低半导体结构的工艺难度的同时，能够进一步提高所述电容器与衬底的电性隔离效果。

在其他示例中，所述衬底隔离层 11 也可以为单层结构，例如所述衬底隔离层 11 为位于所述衬底 10 与所述电容结构之间的单一氧化层。

在一些实施例中，每个所述有源柱 13 包括沟道区、以及沿垂直于所述衬底 10 的顶面的方向分布于所述沟道区相对两侧的漏极区和源极区；

在沿所述第一方向 D1 和所述第二方向 D2 上，所述源极区的宽度均大于所述沟道区的宽度，且所述漏极区的宽度均大于所述沟道区的宽度。

具体来说，在沿所述第三方向 D3 上，所述漏极区位于所述沟道区下方，所述源极区位于所述沟道区上方，所述漏极区与所述电容器的下电极电连接。在沿所述第一方向 D1 和所述第二方向 D2 上，所述源极区和所述漏极区的宽度均大于所述沟道区的宽度，从而为所述字线 15 的形成提供更大的空间，不仅有助于简化所述半导体结构的制造工艺，而且还有助于所述半导体结构尺寸的进一步缩小，以适应不同领域的应用需求。

在一些实施例中，多条所述字线 15 沿所述第一方向 D1 间隔排布；所述晶体管结构还包括：

字线隔离层 19，位于相邻的所述字线 15 之间。

在一些实施例中，所述晶体管结构还包括：

保护层 16，位于所述字线隔离层 19 与所述有源柱 13 之间、且覆盖于所述源极区的侧壁，在沿所述第一方向 D1 上，所述保护层 16 的边缘与所述字线 15 的边缘平齐。

具体来说，所述保护层 16 的材料可以是但不限于氮化物（例如氮化硅）等绝缘材料。所述保护层 16 不仅可以用于电性隔离相邻的两个所述源极区，还可以作为形成所述字线 15 时的掩模层，从而减少掩模版数量，进一步减低所述半导体结构的制造成本。

在一些实施例中，所述晶体管结构还包括位于所述有源柱 13 顶面的源电极 20；所述位线结构还包括：

位线插塞 17，所述位线插塞 17 的底面与所述源电极 20 接触连接，所述位线插塞 17 的顶面与所述位线 18 电连接。

具体来说，所述位线插塞 17 一端电连接所述源电极 20、另一端电连接所述位线 18。所述位线 18 沿所述第一方向 D1 延伸，且多条所述位线 18 沿所述第二方向 D2 间隔排布，每条所述位线 18 与沿所述第一方向 D1 间隔排布的多个所述源电极 20 通过所述位线插塞 17 电连接。所述位线插塞 17 的材料可以与所述位线 18 的材料相同，例如均为金属钨或者金属钼。

本具体实施方式还提供了一种半导体结构的形成方法，附图 2 是本公开具体实施方式中半导体结构的形成方法流程图，附图 3-图 15 是本公开具体实施方式在形成半导体结构的过程中主要的工艺结构示意图。本具体实施方式形成的半导体结构的示意图可以参见图 1。如图 1-图 15 所示，所述半导体结构的形成方法，包括如下步骤：

步骤 S21，提供初始衬底 30，如图 3 所示。

具体来说，所述初始衬底 30 以是但不限于硅衬底，本具体实施方式以所述初始衬底 30 为包括 P 型掺杂离子的硅衬底为例进行说明。在其他示例中，所述初始衬底 30 可以为氮化镓、砷化镓、碳化镓、碳化硅或 SOI 等半导体衬底。

步骤 S22，于所述初始衬底 30 中形成衬底 10 以及位于所述衬底 10 顶面上的电容结构，所述电容结

构包括沿第一方向 D1 和第二方向 D2 呈阵列排布的多个电容器, 所述第一方向 D1 和所述第二方向 D2 均为平行于所述衬底 10 的顶面的方向, 且所述第一方向 D1 与所述第二方向 D2 相交, 如图 10 和图 15 所示。

在一些实施例中, 于所述初始衬底 30 中形成衬底 10 以及位于所述衬底 10 顶面上的电容结构的具体步骤包括:

刻蚀所述初始衬底 30, 形成沿所述第一方向 D1 和所述第二方向 D2 呈阵列排布的多个半导体柱 34、位于相邻所述半导体柱 34 之间的刻蚀孔 41、以及与多个所述刻蚀孔 41 一一连通且位于所述刻蚀孔 41 下方的多个凹槽 35, 如图 7 所示;

形成连通相邻的所述凹槽 35 且填满所述凹槽 35 的衬底隔离层 11, 残留于所述衬底隔离层 11 下方的所述初始衬底 30 作为衬底 10, 如图 9 所示;

形成电容器于所述刻蚀孔 41 内, 如图 10 所示。

在一些实施例中, 形成沿所述第一方向 D1 和所述第二方向 D2 呈阵列排布的多个半导体柱 34、位于相邻所述半导体柱 34 之间的刻蚀孔 41、以及与多个所述刻蚀孔 41 一一连通且位于所述刻蚀孔 41 下方的多个凹槽 35 的具体步骤包括:

刻蚀所述初始衬底 30, 形成多个第一刻蚀槽 31, 每个所述第一刻蚀槽 31 沿所述第一方向 D1 延伸, 且多个所述第一刻蚀槽 31 沿所述第二方向 D2 间隔排布, 如图 3 所示;

刻蚀所述初始衬底 30, 形成多个第二刻蚀槽 33, 每个所述第二刻蚀槽 33 沿所述第二方向 D2 延伸, 且多个所述第二刻蚀槽 33 沿所述第一方向 D1 间隔排布;

刻蚀所述第二刻蚀槽 33 底部的所述初始衬底 30, 在第一方向 D1 上, 形成宽度大于所述第二刻蚀槽 33 的所述凹槽 35, 如图 4 所示;

连通所述第一刻蚀槽 31 和所述第二刻蚀槽 33, 形成多个所述刻蚀孔 41、以及位于相邻的所述刻蚀孔 41 之间的所述半导体柱 34。

在一些实施例中, 形成宽度大于所述第二刻蚀槽 33 的所述凹槽 35 的具体步骤包括:

采用博世刻蚀工艺刻蚀所述第二刻蚀槽 33 底部的所述初始衬底 30, 形成所述凹槽 35。

具体来说, 采用光刻工艺沿所述第三方向 D3 对所述初始衬底 30 进行刻蚀, 形成多个未贯穿所述初始衬底 30 的第一刻蚀槽 31, 每个所述第一刻蚀槽 31 沿所述第一方向 D1 延伸, 且多个所述第一刻蚀槽 31 沿所述第二方向 D2 间隔排布。所述第一刻蚀槽 31 沿所述第三方向 D3 的深度为 500nm~1200nm。接着, 采用氧化物 (例如二氧化硅) 等材料填满所述第一刻蚀槽 31, 形成第一介质层 32, 如图 4 所示。所述第一介质层 32 用于支撑所述初始衬底 30, 避免所述初始衬底 30 在形成所述第二刻蚀槽 33 的过程中出现倾倒或者坍塌。形成所述第一介质层 32 之后, 可以采用光刻工艺沿所述第三方向 D3 再次对所述初始衬底 30 进行刻蚀, 形成多个未贯穿所述初始衬底 30 的第二刻蚀槽 33, 每个所述第二刻蚀槽 33 沿所述第二方向 D2 延伸, 且多个所述第二刻蚀槽 33 沿所述第一方向 D1 间隔排布。所述第二刻蚀槽 33 沿所述第三方向 D3 的深度可以小于所述第一刻蚀槽 31, 以便于后续在所述第二刻蚀槽 33 下方形成所述凹槽 35。形成所述第二刻蚀槽 33 之后, 采用博世刻蚀工艺刻蚀所述第二刻蚀槽 33 底部的所述初始衬底 30, 形成与所述第二刻蚀槽 33 连通、且内径大于所述第二刻蚀槽 33 的所述凹槽 35, 如图 4 所示。由于所述凹槽 35 的内径大于所述第二刻蚀槽 33 的内径, 因此, 在沿所述第一方向 D1 上, 相邻所述第二刻蚀槽 33 之间的所述半导体柱 34 的宽度大于相邻所述凹槽 35 之间的所述半导体柱 34 的宽度。

本具体实施方式是在形成所述第二刻蚀槽 33 之后、再采用博世刻蚀工艺来形成所述凹槽 25, 以简化所述半导体结构的形成工艺。在其他具体实施方式中, 本领域技术人员也可以根据需要选择其他刻蚀工艺来形成所述第二刻蚀槽 33、以及与所述第二刻蚀槽 33 连通的所述凹槽 35。

在一些实施例中, 于所述初始衬底 30 中形成衬底 10 以及位于所述衬底 10 顶面上的电容结构的具体步骤还包括:

形成填满所述刻蚀孔 41 和所述凹槽 35 的牺牲层 37;

自所述初始衬底 30 的顶面回刻蚀部分的所述牺牲层 37, 暴露所述半导体柱 34 的上部, 如图 5 所示; 于所述牺牲层 37 的顶面形成覆盖暴露的所述半导体柱 34 的支撑层 38, 如图 6 所示。

具体来说, 形成所述凹槽 35 之后, 沉积氧化物 (例如二氧化硅) 等材料于所述第二刻蚀槽 33 和所

述凹槽 35 内, 形成填充满所述第二刻蚀槽 33 和所述凹槽 35 的第二介质层。所述第一介质层 32 和所述第二介质层共同构成所述牺牲层 37。之后, 回刻蚀部分的所述牺牲层 37, 暴露所述半导体柱 34 的上部, 如图 5 所示。其中, 暴露的所述半导体柱 34 沿所述第三方向 D3 的高度可以为 50nm~200nm。接着, 沉积支撑材料于所述牺牲层 37 的顶面, 形成覆盖暴露的所述半导体柱 34 的支撑层 38。对所述支撑层 38 进行平坦化处理之后, 于所述支撑层 38 的顶面形成第一掩模层 39, 如图 6 所示。其中, 所述支撑材料可以是但不限于氮化物材料 (例如氮化硅)。所述第一掩模层 39 的材料可以为但不限于多晶硅等硬掩模材料。所述支撑层 38 一方面对所述半导体柱 34 的上部进行保护, 避免后续形成电容器的工艺对所述半导体柱 34 的上部造成损伤; 另一方面, 所述支撑层 38 还用于支撑所述半导体柱 34, 避免后续去除所述牺牲层 37 之后、所述半导体柱 34 出现倾倒。

在一些实施例中, 于所述牺牲层 37 的顶面形成覆盖暴露的所述半导体柱 34 的支撑层 38 之后, 还包括如下步骤:

去除所述牺牲层 37, 如图 7 所示;

氧化相邻所述凹槽 35 之间的所述半导体柱 34, 形成第一子衬底隔离层 36;

填充绝缘材料于所述凹槽 35 内, 形成第二子衬底隔离层 42, 所述第一子衬底隔离层 36 和所述第二子衬底隔离层 42 共同作为所述衬底隔离层 11, 如图 9 所述。

具体来说, 通过光刻工艺对所述第一掩模层 39 进行图案化处理, 于所述第一掩模层 39 中形成多个贯穿所述第一掩模层 39、并暴露所述支撑层 38 的第一开口。可以采用形成所述第一刻蚀槽 31 和所述第二刻蚀槽 33 的掩模版来对所述第一掩模层 39 进行图案化处理, 使得形成的多个所述第一开口的位置与多个所述刻蚀孔分别对准。沿所述第一开口向下刻蚀所述支撑层 38, 于所述支撑层 38 中形成暴露所述牺牲层 37 的第二开口 40。去除所述第一掩模层 39 之后, 沿所述第二开口 40 刻蚀掉所述牺牲层 37, 得到如图 7 所示的结构。

在去除所述牺牲层 37 之后, 可以采用原位氧化位于所述支撑层 38 下方的所述半导体柱 34, 例如采用原位水汽生成的方法氧化所述支撑层 38 下方的所述半导体柱 34。由于所述凹槽 35 的内径大于所述第二刻蚀槽 33 的内径, 因此, 在沿所述第一方向 D1 上, 相邻所述第二刻蚀槽 33 之间的所述半导体柱 34 的宽度大于相邻所述凹槽 35 之间的所述半导体柱 34 的宽度, 因此, 能够通过控制氧化参数 (例如氧化时间、氧化剂量等), 使得相邻所述凹槽 35 之间的所述半导体柱 34 能够完全被氧化、相邻所述刻蚀孔 41 之间的所述半导体柱 34 表面被氧化, 从而形成覆盖所述刻蚀孔 41 侧壁、以及位于相邻的所述凹槽 35 之间且覆盖所述凹槽 35 的底面的所述第一子衬底隔离层 36。之后, 沿所述第二开口 40 沉积所述第二子衬底隔离层 42, 形成如图 8 所示的结构。接着, 回刻蚀去除位于所述刻蚀孔 41 内的所述第一子衬底隔离层 36 和所述第二子衬底隔离层 42, 残留的所述第一子衬底隔离层 36 和所述第二子衬底隔离层 42 共同作为所述衬底隔离层 11, 如图 9 所示。

在一些实施例中, 位于所述衬底隔离层 11 与所述支撑层 38 之间的所述刻蚀孔 41 作为电容孔, 所述初始衬底 30 的材料为硅; 形成电容器于所述刻蚀孔 41 内的具体步骤包括:

注入第一掺杂离子至相邻所述电容孔之间的所述半导体柱 34 中, 形成初始导电柱;

沉积金属材料于所述初始导电柱上, 形成材料包括硅化物的导电柱 121, 如图 9 所示;

依次形成覆盖所述导电柱 121 侧壁的导电层 122、覆盖所述导电层 122 的侧壁的电介质层 123、以及覆盖所述电介质层 123 表面的上电极 124, 如图 10 所示。

具体来说, 回刻蚀去除位于所述刻蚀孔 41 内的所述第一子衬底隔离层 36 和所述第二子衬底隔离层 42 之后, 可以采用等离子注入或者气相扩散的方式注入所述第一掺杂离子 (例如 N 型离子) 至相邻所述电容孔之间的所述半导体柱 34 中, 形成初始导电柱, 以增强所述初始导电柱的导电性能。之后, 采用原子层沉积工艺沉积镍等金属材料于所述初始导电柱表面, 接着通过热处理, 形成材料为金属硅化物的所述导电柱 121, 以进一步增强所述导电柱 121 的导电性能。然后, 依次形成覆盖所述导电柱 121 侧壁的导电层 122、覆盖所述导电层 122 的侧壁的电介质层 123、以及覆盖所述电介质层 123 表面的上电极 124, 形成包括所述导电柱 121、所述导电层 122、所述电介质层 123 和所述上电极 124 的电容器。

为了减少刻蚀步骤, 进一步简化所述半导体结构的制程工艺, 在一些实施例中, 形成覆盖所述导电柱 121 侧壁的导电层 122 的具体步骤包括:

采用选择性原子层沉积工艺直接形成仅覆盖所述导电柱 121 侧壁的所述导电层 122。

在一些实施例中，所述电介质层 123 的材料为钛酸锶、氧化铝、氧化锆、氧化钪中任一种或者多种，所述导电层 122 和所述上电极的材料为钛、钇、氧化钇、氮化钛中的任一种或者多种。

具体来说，所述电介质层 123 可以采用具有高介电常数（HK）的 STO（钛酸锶）材料制成，采用钇或者氧化钇等形成所述导电层 122 和所述上电极 124，从而可以降低所述电容器沿所述第三方向 D3 的高度，进而降低刻蚀用于形成所述电容器的电容孔时的刻蚀深度，从而进一步降低工艺难度。在其他示例中，也可以采用氧化铝、氧化锆、氧化钪中任一种或者多种来形成所述电介质层 123，相应的，采用 TiN 等形成所述导电层 122 和所述上电极 124，以降低所述半导体层结构的制造成本。

步骤 S23，于所述初始衬底 30 中形成位于所述电容结构上方的晶体管结构，所述晶体管结构包括多个有源柱 13 和多条字线 15，所述有源柱 13 与所述电容器电连接，所述字线 15 沿所述第二方向 D2 延伸、且连续覆盖沿所述第二方向 D2 间隔排布的所述有源柱 13，如图 14 所示。

在一些实施例中，于所述初始衬底 30 中形成位于所述电容结构上方的晶体管结构的具体步骤包括：

去除所述支撑层 38，暴露所述刻蚀孔 41 的上部和所述半导体柱 34 的上部，以暴露的所述半导体柱 34 作为有源柱 13，并于所述有源柱 13 中定义沟道区、位于所述沟道区下方且与所述导电柱 121 接触的漏极区、以及位于所述沟道区上方的源极区，如图 11 所示；

缩小所述沟道区 451 沿所述第一方向 D1 和所述第二方向 D2 的宽度，如图 13 所示；

形成沿所述第二方向 D2 延伸、且连续覆盖沿所述第二方向 D2 间隔排布的多个所述沟道区的所述字线 15，如图 14 所示。

在一些实施例中，缩小所述沟道区沿所述第一方向 D1 和所述第二方向 D2 的宽度的具体步骤包括：

形成填充相邻所述有源柱 13 之间的所述刻蚀孔 41 的填充层 46，如图 12 所示；

回刻蚀部分的所述填充层 46，暴露所述源极区；

形成覆盖所述源极区的侧壁的保护层 16，如图 12 所示；

再次回刻蚀部分的所述填充层 46，暴露所述沟道区 451，残留于所述漏极区侧壁的所述填充层 46 作为第一初始隔离层；

改性处理暴露的所述沟道区 451 的侧壁，形成改性层；

去除所述改性层，缩小所述沟道区 451 沿所述第一方向 D1 和所述第二方向 D2 的宽度。

具体来说，在形成所述保护层 16 之后，继续回刻蚀部分的所述填充层 46，暴露所述有源柱 13 中的所述沟道区 451。回刻蚀的过程中，为了避免所述填充层 46 穿通，可以采用一步刻蚀工艺或者两步刻蚀工艺、并选择合适的刻蚀参数（例如温度、压力等参数），使得能够残留一定厚度的所述第一初始隔离层。由于所述有源柱 13 中的所述源极区的侧壁被所述保护层 16 覆盖、所述漏极区的侧壁被所述初始隔离层覆盖，因此，对所述沟道区 451 的改性处理不会对所述源极区和所述漏极区造成损伤。本具体实施方式中通过对所述沟道区 451 的侧壁进行改性处理，使得所述沟道区 451 的侧壁与被所述沟道区 451 的侧壁包围的所述沟道区 451 的内部之间具有较高的刻蚀选择比（例如刻蚀选择比大于 3），以便于后续能够通过选择性刻蚀去除被改性处理的所述沟道区 451 的侧壁，从而减小所述沟道区 451 的宽度、扩大位于相邻的所述沟道区 451 之间的间隙宽度，为后续形成所述字线 15 预留较大的空间。

由于热氧化处理操作工艺相对简单，在一些实施例中，所述改性处理为热氧化处理，所述改性层为氧化层。

在缩小所述沟道区 451 沿所述第一方向 D1 和所述第二方向 D2 的宽度之后，氧化所述沟道区的侧壁，形成栅极介质层 14。之后，采用选择性原子层沉积工艺直接形成仅沿所述第二方向 D2 延伸的所述字线 15。接着，沉积第二初始隔离层于相邻的两个所述有源柱 13 之间，形成包括所述第一初始隔离层和所述第二初始隔离层的字线隔离层 19。

在其他示例中，也可以在采用原子层沉积工艺沉积字线材料之后，通过回刻蚀工艺刻蚀所述字线材料，来形成仅沿所述第二方向 D2 延伸的所述字线 15。

在一些实施例中，形成沿所述第二方向 D2 延伸、且连续覆盖沿所述第二方向 D2 间隔排布的多个所述沟道区的所述字线 15 之后，还包括：

注入第二掺杂离子至所述源极区、所述沟道区和所述漏极区，所述第二掺杂离子与所述第一掺杂离

子的离子类型相同。

在一些实施例中，注入第二掺杂离子至所述源极区、所述沟道区和所述漏极区之后，还包括如下步骤：

沉积金属材料于所述源极区的表面，形成材料包括硅化物的源电极 20，如图 14 所示。

步骤 S24，于所述晶体管结构上方形成位线结构，所述位线结构包括多条位线 18，所述位线 18 沿所述第一方向 D1 延伸、且与沿所述第一方向 D1 间隔排布的所述有源柱 13 电连接，如图 15 所示。

在一些实施例中，于所述晶体管结构上方形成位线结构的具体步骤包括：

形成分别位于多个所述源电极 20 的顶面的多个位线插塞 17；

形成多条位线 18 于所述位线插塞 17 上方，且多条所述位线 18 沿所述第二方向 D2 间隔排布，每条所述位线 18 沿所述第一方向 D1 延伸、且与沿所述第一方向 D1 间隔排布的多个所述位线插塞 17 接触电连接。

本具体实施方式一些实施例提供的半导体结构及其形成方法，将晶体管结构设置在电容结构之上，且将位线结构设置在晶体管结构之上，形成具有 TOC 结构的半导体结构，无需通过深孔刻蚀工艺于晶体管结构的下方形成位线结构，从而可以降低位线的制造工艺难度，降低所述半导体结构的制造成本。并且，由于所述位线结构位于所述晶体管结构的上方，因此，可以采用多种材料（例如金属材料）制造位线，有助于降低位线电阻，改善半导体结构的性能，能够与后续的外围电路工艺更好的兼容。

以上所述仅是本公开的优选实施方式，应当指出，对于本技术领域的普通技术人员，在不脱离本公开原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本公开的保护范围。

权利要求书

1. 一种半导体结构, 包括:
衬底;
电容结构, 位于所述衬底的顶面上, 包括沿第一方向和第二方向呈阵列排布的多个电容器, 所述第一方向和所述第二方向均为平行于所述衬底的顶面的方向, 且所述第一方向与所述第二方向相交;
晶体管结构, 位于所述电容结构上方, 包括多个有源柱和多条字线, 所述有源柱与所述电容器电连接, 所述字线沿所述第二方向延伸、且连续覆盖沿所述第二方向间隔排布的所述有源柱;
位线结构, 位于所述晶体管结构上方, 包括多条位线, 所述位线沿所述第一方向延伸、且与沿所述第一方向间隔排布的所述有源柱电连接。
2. 根据权利要求1所述的半导体结构, 还包括:
衬底隔离层, 位于所述衬底与所述电容结构之间。
3. 根据权利要求2所述的半导体结构, 其中, 所述电容器包括:
下电极, 包括导电柱、以及覆盖于所述导电柱表面的导电层, 所述导电柱的顶面与所述有源柱接触电连接;
电介质层, 覆盖于所述导电层的表面;
上电极, 覆盖于所述电介质层的表面。
4. 根据权利要求3所述的半导体结构, 其中, 所述衬底隔离层包括:
第一子衬底隔离层, 连续分布于多个所述导电柱下方;
第二子衬底隔离层, 覆盖于所述第一子衬底隔离层表面。
5. 根据权利要求3所述的半导体结构, 其中, 所述电介质层的材料为钛酸锶、氧化铝、氧化锆、氧化铪中任一种或者多种, 所述导电层和所述上电极的材料为钛、钌、氧化钌、氮化钛中的任一种或者多种。
6. 根据权利要求3所述的半导体结构, 其中, 所述导电柱的材料为包括第一掺杂离子的硅化物材料。
7. 根据权利要求3所述的半导体结构, 其中, 多条所述字线沿所述第一方向间隔排布; 所述晶体管结构还包括:
字线隔离层, 位于相邻的所述字线之间。
8. 根据权利要求7所述的半导体结构, 其中, 每个所述有源柱包括沟道区、以及沿垂直于所述衬底的顶面的方向分布于所述沟道区相对两侧的漏极区和源极区;
在沿所述第一方向和所述第二方向上, 所述源极区的宽度均大于所述沟道区的宽度, 且所述漏极区的宽度均大于所述沟道区的宽度。
9. 根据权利要求8所述的半导体结构, 其中, 所述晶体管结构还包括:
保护层, 位于所述字线隔离层与所述有源柱之间、且覆盖于所述源极区的侧壁, 在沿所述第一方向上, 所述保护层的边缘与所述字线的边缘平齐。
10. 根据权利要求1所述的半导体结构, 其中, 所述晶体管结构还包括位于所述有源柱顶面的源电极; 所述位线结构还包括:
位线插塞, 所述位线插塞的底面与所述源电极接触连接, 所述位线插塞的顶面与所述位线电连接。
11. 一种半导体结构的形成方法, 包括如下步骤:
提供初始衬底;
于所述初始衬底中形成衬底以及位于所述衬底顶面上的电容结构, 所述电容结构包括沿第一方向和第二方向呈阵列排布的多个电容器, 所述第一方向和所述第二方向均为平行于所述衬底的顶面的方向, 且所述第一方向与所述第二方向相交;
于所述初始衬底中形成位于所述电容结构上方的晶体管结构, 所述晶体管结构包括多个有源柱和多条字线, 所述有源柱与所述电容器电连接, 所述字线沿所述第二方向延伸、且连续覆盖沿所述第二方向间隔排布的所述有源柱;
于所述晶体管结构上方形成位线结构, 所述位线结构包括多条位线, 所述位线沿所述第一方向延伸、且与沿所述第一方向间隔排布的所述有源柱电连接。
12. 根据权利要求11所述的半导体结构的形成方法, 其中, 于所述初始衬底中形成衬底以及位于所述衬

底顶面上的电容结构的具体步骤包括：

刻蚀所述初始衬底，形成沿所述第一方向和所述第二方向呈阵列排布的多个半导体柱、位于相邻所述半导体柱之间的刻蚀孔、以及与多个所述刻蚀孔一一连通且位于所述刻蚀孔下方的多个凹槽；
形成连通相邻的所述凹槽且填充所述凹槽的衬底隔离层，残留于所述衬底隔离层下方的所述初始衬底作为衬底；
形成电容器于所述刻蚀孔内。

13. 根据权利要求 12 所述的半导体结构的形成方法，其中，形成沿所述第一方向和所述第二方向呈阵列排布的多个半导体柱、位于相邻所述半导体柱之间的刻蚀孔、以及与多个所述刻蚀孔一一连通且位于所述刻蚀孔下方的多个凹槽的具体步骤包括：

刻蚀所述初始衬底，形成多个第一刻蚀槽，每个所述第一刻蚀槽沿所述第一方向延伸，且多个所述第一刻蚀槽沿所述第二方向间隔排布；

刻蚀所述初始衬底，形成多个第二刻蚀槽，每个所述第二刻蚀槽沿所述第二方向延伸，且多个所述第二刻蚀槽沿所述第一方向间隔排布；

刻蚀所述第二刻蚀槽底部的所述初始衬底，在第一方向上，形成宽度大于所述第二刻蚀槽的所述凹槽；

连通所述第一刻蚀槽和所述第二刻蚀槽，形成多个所述刻蚀孔、以及位于相邻的所述刻蚀孔之间的所述半导体柱。

14. 根据权利要求 13 所述的半导体结构的形成方法，其中，形成宽度大于所述第二刻蚀槽的所述凹槽的具体步骤包括：

采用博世刻蚀工艺刻蚀所述第二刻蚀槽底部的所述初始衬底，形成所述凹槽。

15. 根据权利要求 14 所述的半导体结构的形成方法，其中，于所述初始衬底中形成衬底以及位于所述衬底顶面上的电容结构的具体步骤还包括：

形成填充所述刻蚀孔和所述凹槽的牺牲层；

自所述初始衬底的顶面回刻蚀部分的所述牺牲层，暴露所述半导体柱的上部；

于所述牺牲层的顶面形成覆盖暴露的所述半导体柱的支撑层。

16. 根据权利要求 15 所述的半导体结构的形成方法，其中，于所述牺牲层的顶面形成覆盖暴露的所述半导体柱的支撑层之后，还包括如下步骤：

去除所述牺牲层；

氧化相邻所述凹槽之间的所述半导体柱，形成第一子衬底隔离层；

填充绝缘材料于所述凹槽内，形成第二子衬底隔离层，所述第一子衬底隔离层和所述第二子衬底隔离层共同作为所述衬底隔离层。

17. 根据权利要求 16 所述的半导体结构的形成方法，其中，位于所述衬底隔离层与所述支撑层之间的所述刻蚀孔作为电容孔，所述初始衬底的材料为硅；形成电容器于所述刻蚀孔内的具体步骤包括：

注入第一掺杂离子至相邻所述电容孔之间的所述半导体柱中，形成初始导电柱；

沉积金属材料于所述初始导电柱上，形成材料包括硅化物的导电柱；

依次形成覆盖所述导电柱侧壁的导电层、覆盖所述导电层的侧壁的电介质层、以及覆盖所述电介质层表面的上电极。

18. 根据权利要求 17 所述的半导体结构的形成方法，其中，形成覆盖所述导电柱侧壁的导电层的具体步骤包括：

采用选择性原子层沉积工艺直接形成仅覆盖所述导电柱侧壁的所述导电层。

19. 根据权利要求 17 所述的半导体结构的形成方法，其中，所述电介质层的材料为钛酸锶、氧化铝、氧化锆、氧化钪中任一种或者多种，所述导电层和所述上电极的材料为钛、钪、氧化钪、氮化钛中的任一种或者多种。

20. 根据权利要求 17 所述的半导体结构的形成方法，其中，于所述初始衬底中形成位于所述电容结构上方的晶体管结构的具体步骤包括：

去除所述支撑层，暴露所述刻蚀孔的上部和所述半导体柱的上部，以暴露的所述半导体柱作为有源

柱，并于所述有源柱中定义沟道区、位于所述沟道区下方且与所述导电柱接触的漏极区、以及位于所述沟道区上方的源极区；

缩小所述沟道区沿所述第一方向和所述第二方向的宽度；

形成沿所述第二方向延伸、且连续覆盖沿所述第二方向间隔排布的多个所述沟道区的所述字线。

21. 根据权利要求 20 所述的半导体结构的形成方法，其中，缩小所述沟道区沿所述第一方向和所述第二方向的宽度的具体步骤包括：

形成填充相邻所述有源柱之间的所述刻蚀孔的填充层；

回刻蚀部分的所述填充层，暴露所述源极区；

形成覆盖所述源极区的侧壁的保护层；

再次回刻蚀部分的所述填充层，暴露所述沟道区，残留于所述漏极区侧壁的所述填充层作为初始隔离层；

改性处理暴露的所述沟道区的侧壁，形成改性层；

去除所述改性层，缩小所述沟道区沿所述第一方向和所述第二方向的宽度。

22. 根据权利要求 21 所述的半导体结构的形成方法，其中，所述改性处理为热氧化处理，所述改性层为氧化层。

23. 根据权利要求 20 所述的半导体结构的形成方法，其中，形成沿所述第二方向延伸、且连续覆盖沿所述第二方向间隔排布的多个所述沟道区的所述字线之后，还包括：

注入第二掺杂离子至所述源极区、所述沟道区和所述漏极区，所述第二掺杂离子与所述第一掺杂离子的离子类型相同。

24. 根据权利要求 23 所述的半导体结构的形成方法，其中，注入第二掺杂离子至所述源极区、所述沟道区和所述漏极区之后，还包括如下步骤：

沉积金属材料于所述源极区的表面，形成材料包括硅化物的源电极。

25. 根据权利要求 24 所述的半导体结构的形成方法，其中，于所述晶体管结构上方形成位线结构的具体步骤包括：

形成分别位于多个所述源电极的顶面的多个位线插塞；

形成多条位线于所述位线插塞上方，且多条所述位线沿所述第二方向间隔排布，每条所述位线沿所述第一方向延伸、且与沿所述第一方向间隔排布的多个所述位线插塞接触电连接。