

明 細 書

CMOS集積回路

技術分野

この発明は、CMOS（相補絶縁ゲート形半導体素子、Complementary Metal-Oxide Semiconductor）で構成された半導体集積回路（CMOS・Integrated circuit、CMOS・IC）に関し、特定すると、CMOSの超大規模集積回路（ULSI、Ultra-Large Scale Integrated circuit）内の信号伝送路の改良に関する。

背景技術

良く知られているように、1つの大規模集積回路（LSI）として形成された半導体素子や論理回路等は配線によって所定の電氣的接続が行なわれている。CMOSで構成された超大規模集積回路も同様に、配線によってCMOSやCMOS論理回路等が電氣的に接続されている。この配線は、例えば集積回路の表面に形成された所定のパターンの導電路（導体）よりなることがしばしばである。

図6は従来のCMOSの超大規模集積回路の内部回路の一例を示す。この例は1つのCMOSよりなる送信側ゲート11と同じく1つのCMOSよりなる受信側ゲート18が信号伝送路、この例では導電路（導体）15によって電氣的に接続されている事例を示す。送信側ゲート11及び受信側ゲート18は共にこの例ではCMOSインバータとして構成されている。

送信側ゲート11はpチャネルのMOSFET（MOS電界効果トランジスタ、Field Effect Transistor）12のゲートとnチャネルのMOSFET13のゲートとが互いに接続されて入力端子14に接続され、pチャネルのFET12のドレイン及びnチャネルのFET13のドレインが互いに接続されて導電路15の一端（入力端）に接続され、pチャネルのFET12のソースは+VDD（正電位）の電源端子16に、nチャネルのFET13のソースは-VSS（負電位）の電源端子17（共通電位点又は接地点に接続される場合もある）にそれ

2

ぞれ接続されている。

一方、受信側ゲート18はpチャネルのMOSFET21のゲートとnチャネルのMOSFET22のゲートとが互いに接続されて入力端子23に接続され、pチャネルのFET21のドレイン及びnチャネルのFET22のドレインが互いに接続されて出力端子（図示せず）に接続され、pチャネルのFET21のソースは+VDDの電源端子16に、nチャネルのFET13のソースは-VSSの電源端子17にそれぞれ接続されている。導電路15の他端（出力端）は入力端子23に接続されている。

このような回路構成においては、導電路15の分布容量CL（破線で示す）と、受信側ゲート18の入力容量CG（同じく破線で示す）が存在するから、送信側ゲート11からこの導電路15を通じて受信側ゲート18へ信号が伝送される際に、この信号によって導電路15の分布容量CLと、受信側ゲート18の入力容量CGが充電されることになる。送信側ゲート11の等価出力抵抗を R_0 とすると、受信側ゲート18の入力電圧波形の遷移時間は $R_0 \times (CL + CG)$ となる。

実際には導電路15の分布抵抗によっても遷移時間は影響を受けるが、通常、この分布抵抗に対し等価出力抵抗 R_0 が支配的であるから、この分布抵抗の影響を省略した。また、等価出力抵抗 R_0 は非線形な性質を有しており、電圧と共に抵抗値が変化するが、この点も説明を簡単にするために無視した。

近年、集積回路（IC）は高集積化、大規模化の一途をたどっており、チップサイズも大きくなってきている。例えば、図7に示すようにチップ24の一辺の長さが15mmを超えるような超大規模集積回路も珍しくない。このような大きなチップではその内部に形成された回路や素子間を相互接続する配線（導電路）の長さも長くなり、20mmを超える配線もある。ある超大規模集積回路の見積りによれば20mmを超える配線の本数が全体の5%以上となった。

図7はCMOSにより構成された超大規模集積回路の内部の回路構成の一例を示し、多数のゲートと、それら間を接続する配線、即ち、導電路25、26、27を模式的に示す。図示するように、比較的短い（200 μ m程度の）導電路25以外に、非常に長い（20mm以上の）導電路26や、非常に長く（20mm

以上で)、かつ多数のゲートを負荷としている導電路27が存在する。この導電路27はクロック信号の分配やバス信号の伝送などに用いられ、これらの信号はチップ全体の性能(動作速度)を左右する。

図7において、送信側ゲート(図の左側の3つのゲート)より導電路25、26、27を通じてステップ波形を伝送したときの対応するそれぞれの受信側ゲートの入力波形はそれぞれ図8Aの曲線25a、26a、27aのようになり、インパルスを送信したときの応答はそれぞれ図8Bの曲線25b、26b、27bに示すようにする。これら波形から明瞭なように、短い導電路25に対し、長い導電路26、27はそれらの遷移時間が非常に長いため、ステップ応答では伝搬遅延が著しく長くなり、パルス応答では、パルス幅が狭いとパルスが消失してしまう。このため周波数が高い(繰り返し周期の短い)クロック信号は長い導電路を通過することができない。換言すれば、チップ全体の性能(動作速度)を高くすることができないという重大な欠点がある。

また、高集積化、低電力化のためCMOSの微細化が進むにつれ、ゲート単体の動作速度は向上するが、等価出力抵抗 R_0 が高くなり、単位長当たりの配線容量は変化しないどころか、かえって増加する傾向にある。このため、遷移時間がさらに長くなり、チップの動作速度をより一層制限するという欠点があった。

このような点から、チップ内配線のスループットを向上させるために、近年、光を用いたチップ内信号伝送方法が研究されている。しかし、シリコンチップ上に化合物半導体による発光・受光素子を構成したり、電気配線層とは別に光導波路を構成する必要がある、実用化は現在困難であり、また、実現したとしてもサイズ、コストの上昇が大きなものとなる。

発明の開示

この発明の目的は、高速で信号を伝送することができるCMOS構造の大規模集積回路を提供することである。

この発明においては、CMOSで構成された集積回路において、上記集積回路の信号伝送路の受信側ゲートとして、入力インピーダンスが著しく低く、入力電流の大小に応じた出力電圧を発生する電流入力形ゲートを用いたCMOS集積回

路が提供され、上記目的は達成される。

好ましい一実施例においては、上記電流入力形ゲートは、入力端子がpチャネルMOSFETよりなる第1のカレントミラー回路を通じて正の電源端子に接続され、かつ上記入力端子がnチャネルMOSFETよりなる第2のカレントミラー回路を通じて負の電源端子に接続されている。

第1の変形例においては、上記電流入力形ゲートは、入力端と出力端が短絡接続されたCMOSインバータを含み、このインバータの入力端が上記入力端子に接続され、上記インバータの両電源接続端が上記第1のカレントミラー回路の入力側及び上記第2のカレントミラー回路の入力側にそれぞれ接続されている。

また、第2の変形例においては、上記電流入力形ゲートは、上記CMOSインバータの出力端が上記入力端子に接続され、上記CMOSインバータの入力端に、上記正の電源端子及び上記負の電源端子の midpoint 電位が与えられ、上記CMOSインバータの両電源接続端が上記第1のカレントミラー回路の入力側及び上記第2のカレントミラー回路の入力側にそれぞれ接続されている。

また、第3の変形例においては、上記電流入力形ゲートは、上記入力端子と上記第1のカレントミラー回路の入力側との間に直列に挿入されたnチャネルMOSFETと、上記入力端子と上記第2のカレントミラー回路の入力側との間に挿入されたpチャネルMOSFETとを含み、上記nチャネルMOSFETのゲートに、上記両電源端子間の midpoint 電位と上記nチャネルMOSFETのしきい値電圧とを加算した電位が印加され、上記pチャネルMOSFETのゲートに、上記両電源端子間の midpoint 電位から、上記pチャネルMOSFETのしきい値電圧を引いた電位が印加される。

好ましい他の実施例においては、上記電流入力形ゲートは、1つの差動増幅器の反転入力端を上記入力端子に接続し、この差動増幅器の反転入力端と出力端との間に負帰還コンデンサを接続し、上記差動増幅器の非反転入力端に、入力論理信号の midpoint 電位を印加した構成を有する。

各実施例及び各変形例において、上記信号伝送路の送信側ゲートは電流出力形ゲートであり、そしてこの電流出力形ゲートはCMOSインバータであることが好ましい。

また、一実施例においては、上記電流出力形ゲートは、CMOSインバータの出力端がコンデンサを通じて接地され、上記インバータの両電源接続端がそれぞれpチャネルMOSFETよりなる第1のカレントミラー回路及びnチャネルMOSFETよりなる第2のカレントミラー回路を通じて、正電源端子及び負電源端子にそれぞれ接続され、これら両カレントミラー回路の出力端が上記信号伝送路に接続されている構成を有する。なお、上記コンデンサと並列に電流保持用抵抗素子を接続してもよい。

上記この発明の構成によれば、受信側ゲートとして低入力インピーダンスの電流入力形のゲートを用いているため、配線容量CL、ゲート入力容量CGを急速に充電することができ、信号の遷移時間が著しく短くなる。従って、周波数が高い（繰り返し周期の短い）クロック信号でもCMOS・IC内の長い導電路を通過することが可能となり、CMOSチップ全体の性能（動作速度）を高くすることができる。

図面の簡単な説明

図1はこの発明によるCMOS大規模集積回路の第1の実施例の内部回路の一例を示す回路接続図である。

図2A及び図2Bは図1に示された電荷感应形ゲートの回路例をそれぞれ示す回路接続図である。

図3A、図3B及び図3Cは定常電流を零にすることができる電荷感应形ゲートの回路例をそれぞれ示す回路接続図である。

図4はこの発明によるCMOS大規模集積回路の第2の実施例の内部回路の一例を示す回路接続図である。

図5はこの発明によるCMOS大規模集積回路の第3の実施例の内部回路の一例を示す回路構成図である。

図6は従来のCMOS大規模集積回路の内部回路の一例を示す回路接続図である。

図7はCMOS大規模集積回路内の信号伝送路の各種の例を示す模式図である。

図8A及び図8Bは図7に示す種々の長さの伝送路にステップ波形及びインパ

ルスを伝送したときの受信側ゲートの応答をそれぞれ示す波形図である。

発明を実施するための最良の形態

以下、図1～図5を参照してこの発明の実施例について詳細に説明する。

図1はこの発明によるCMOS大規模集積回路の第1の実施例の内部回路を示す。なお、図1～図5において、図6と対応する部分、素子には同一符号を付けて示し、必要のない限りそれらの説明を省略する。

この第1の実施例においても送信側ゲート11はpチャネルのMOSFET12とnチャネルのMOSFET13よりなるCMOS構成のインバータであり、図6に示した従来技術の送信側ゲート11と同じ構成であるので、その説明を省略する。

一方、導電路15の出力端に接続される受信側のゲート31は、電流入力形で、かつ低入力インピーダンスのゲート（以下、電荷感应形ゲートと呼ぶ）31によって構成される。この電荷感应形ゲート31の入力インピーダンス R_{in} は送信側のゲート11の等価出力抵抗 R_0 に対して十分小さく、従って、この電荷感应形ゲート31は入力電圧の振幅をほぼ零とし、負荷容量への電流の流入を実質的にゼロにして、入力電流に応じた出力電圧を発生するように動作する。

電荷感应形ゲート31の回路構成の一例を図2Aに示す。この電荷感应形ゲート31は、pチャネルMOSFET33とnチャネルMOSFET34とからなるインバータ35と、pチャネルMOSFET33のソースと+VDD電源端子16との間に接続されたpチャネルMOSFET37と、nチャネルFET34のソースと-VSS電源端子（又は接地端子）17との間に接続されたnチャネルMOSFET38と、これらMOSFET37及び38のゲートにそれぞれのゲートが接続されたpチャネルMOSFET39及びnチャネルMOSFET41とを含む。

インバータ35の入力端（共通接続のゲート）と出力端（共通接続のドレイン）は互いに短絡接続されて入力端子36に接続され、pチャネルFET33のソースがpチャネルFET37のドレイン-ソースを通じて+VDD電源端子16に接続され、nチャネルFET34のソースがnチャネルFET38のドレイン-

ソースを通じて $-VSS$ 電源端子（又は接地端子）17に接続される。FET37及び38の各ドレインとゲート間はそれぞれ短絡接続され、また、FET39及び41の各ドレインは互いに接続されて出力端子42に接続され、それらの各ソースはそれぞれ電源端子16及び17に接続される。つまり、インバータ35の両電源接続端はpチャネルMOSFETカレントミラー（current Miller）回路及びnチャネルMOSFETカレントミラー回路の各入力側にそれぞれ接続されている。

上記構成によれば、インバータ35の入力端と出力端が短絡されているため、入力端子36より見たインピーダンス R_{in} は著しく小さなものとなり、かつ入力端子36の電位は $+VDD$ と $-VSS$ （又は0V）のほぼ midpoint の電位となる。つまり、入力端子36の電位はインバータ35のしきい値電圧、即ち、出力の論理が反転するときの入力電圧となり、両FET33、34のゲートソース間がこのしきい値電圧によってそれぞれ自己バイアスされる。

このように入力端子36の電位はインバータ35が反転する電位レベルであるから、両FET33及び34の各ドレインソース間のインピーダンスは十分小さく、入力端子36のインピーダンスはこれらドレインソース間インピーダンスの並列の値となり、最も小さくなる。加えて、負帰還の効果によりインピーダンスはさらに小さくなり、しかも、その最小インピーダンス点からずれようとすると元に戻す作用が働く。

さらに、FET37と39、FET38と41はそれぞれカレントミラー回路を構成しており、これらカレントミラー回路の入力インピーダンス、つまり、FET37、38のドレインのインピーダンスが等しくしてあり、加えてFET33、34のベータ（ β ）比を1:1とし、かつFET33、34のしきい値電圧が等しくなるように設計してある。これにより、入力端子36の電圧は電源電圧 $+VDD$ と $-VSS$ との midpoint に丁度なる。

なお、このゲート回路は入力がオープン（開放状態）でもFET33、34、37、38に定常的な貫通電流が流れる。従って、消費電力をなるべく小とする点から、FET33、34、37、38のサイズ、つまり、ゲート幅を小さくすることが望ましいが、実際には動作速度とのトレードオフ（trade off）により

ゲート幅は決定される。

送信側ゲート 11 から入力端子 36 に流れる電流は全てカレントミラー回路の FET 37 又は 38 に流れ、FET 33、34 からそれぞれ FET 37、38 側を見たインピーダンスは電流入力であるために著しく小さい。この場合、電流が送信側ゲート 11 から入力端子 36 の方向に流れる (図 1 の I_H 参照) ときには FET 38 に流れ、その逆方向に流れる (図 1 の I_L 参照) ときには FET 37 に流れる。このとき、FET 37、38 にそれぞれ流れる電流の差に比例した電流の差が FET 39、41 を流れる電流に現れる。FET 39 の方に多く電流が流れるときには、出力端子 42 の電位が上昇し、ほぼ $+V_{DD}$ となり、逆に FET 41 の方に多く電流が流れるときには出力端子 42 の電流は低下し、ほぼ $-V_{SS}$ となる。

図 1 中の電荷感応形ゲート 31 は、このように入力インピーダンス R_{in} が著しく小さいため、配線容量 C_L 及びゲート入力容量 C_G は、共にゲート 31 の小さい入力インピーダンスで短絡に近い状態となっている。このため、送信側ゲート 11 から出力される信号が配線容量 C_L 及びゲート入力容量 C_G を充電する必要が殆どなく、遷移時間は著しく小さくなる。つまり、送信側ゲート 11 から出力される信号の変化が受信側ゲート 31 の入力端子 36 に高速で到達する。しかも、送信側ゲート 11 の出力が高レベルになれば、図 2 A の回路例では、受信側ゲート 31 の出力端子 42 の電位はほぼ $-V_{SS}$ になり、逆に送信側ゲート 11 の出力が低レベルになれば受信側ゲート 31 の出力端子 42 の電位はほぼ $+V_{DD}$ となるから、送信側ゲート 11 の出力が反転されて受信側ゲート 31 の出力 42 に現れる。

電荷感応形ゲート 31 としては、図 2 B に示すように、図 2 A 中のインバータ 35 を省略して、入力端子 36 を FET 37、38 の各ドレインに直接接続してもよい。この第 1 の変形例においても、入力端子 36 の電位が $+V_{DD}$ と $-V_{SS}$ の中点となり、かつカレントミラー回路への電流入力であるので入力インピーダンスが小さい。このため、図 2 A に示した電荷感応形ゲート回路と同様の作用効果が得られる。ただし、図 2 A の場合よりも入力インピーダンスが大きく、かつ貫通電流も大きい難点があるが、FET の素子数が図 2 A のものより少ないと

いう利点がある。

図3Aは電荷感応形ゲート31の第2の変形例を示す。この第2の変形例は、図2A中のインバータ35の代わりに、nチャネルMOSFET44とpチャネルMOSFET45の各ソースを入力端子36に接続し、両FET44及び45のゲートを端子46に接続し、両ドレインをそれぞれFET37及び38のドレインに接続し、端子46に+VDD電源端子16と-VSS電源端子17の midpoint 電位 V_c を印加するように構成したものである。

上記構成において、入力端子36の電位が $V_c \pm V_{th}$ (V_{th} は両FET44、45のしきい値電圧) の範囲にある場合には、FET44、45にソース電流が流れず、従って、入力インピーダンスは高インピーダンス状態となる。入力がオープン状態では定常的な貫通電流は流れない。

入力端子36の入力電圧が $V_c \pm V_{th}$ の範囲より僅かでも外れると、FET44又は45が導通し、これに応じて出力端子42の出力電圧が+VDD又は-VSSに近づく。 V_{th} は電源電圧の1割程度に取られることが多いので、入力端子36の電圧振幅が電源電圧の20%位で済み、この程度なら通常、十分な高速化が期待できる。具体的に説明すると、入力電圧の振幅を $2V_{th}$ 程度の小さなものとすることができるから、配線容量CL、ゲート入力容量CGにそれ程影響されずに信号を伝送することができる。即ち、従来より遷移時間を著しく小さくすることができる。なお、実際には V_{th} はpチャネルFETとnチャネルFETとで多少異なるが、理解を容易にするために等しいものとした。

定常貫通電流をゼロとし、しかも、入力端子36の電圧の振幅をさらに小さくしたい場合には、図3Bに示すようにFET44及び45のゲートを互いに分離し、それぞれのゲートに、 $V_c + V_{th}(n)$ ($V_{th}(n)$ はnチャネルFET44のしきい値電圧) 及び $V_c - V_{th}(p)$ ($V_{th}(p)$ はpチャネルFET45のしきい値電圧) をそれぞれ印加する。この状態ではFET44はそのゲートに $V_c + V_{th}(n)$ が与えられており、FET45はそのゲートに $V_c - V_{th}(p)$ が与えられているから、入力端子36の電位が V_c より僅かでも下がると、FET44に電流が流れ、逆に入力端子36の電位が V_c より僅かでも上がると、FET45に電流が流れることになる。

電荷感応形ゲート 31 としては、図 3C に示すように、高利得、広帯域、高速動作の差動増幅器 48 の反転入力端子を入力端子 36 に接続し、その出力端子を出力端子 42 に接続し、これら出力端子と反転入力端子間に負帰還コンデンサ 49 を接続し、差動増幅器 48 の非反転入力端子に中点電位 V_c を印加した構成としてもよい。

この差動増幅器 48 は入力端子 36 に流れ込む電流を積分し、それに比例した出力電圧を極性反転して出力する。従って、入力端子 36 の電位が V_c よりも僅かでも上昇すると、この差をなくすようにコンデンサ 49 に負帰還電流による充電が急速になされ、出力端子 42 の出力電位が低下する。また、入力端子 36 の電位が V_c よりも僅かでも低下すると、コンデンサ 49 に逆極性の負帰還電流による充電が急速になされて出力端子 42 の出力電位が上昇する。よって、入力端子 36 の電位は V_c に保持され、入力インピーダンスはほぼゼロになる。

このように入力インピーダンスがほぼゼロになり、かつ差動増幅器 48 の利得が大きく、広帯域動作であるから、入力端子 36 に供給される入力電流の積分を急速に行うことができる。よって、配線容量 C_L 、入力ゲート容量 C_G を急速に充電することができるから、遷移時間は非常に短くなり、高速動作が可能になる。なお、次段の入力電圧範囲に合わせるために、出力端子 42 に必要に応じて出力電圧の振幅を制限する回路を接続する。

図 2A 及び図 2B に示した電荷感応形ゲート 31 は定常的に電力を消費する。送信側ゲート 11 が過渡電流だけを出力する形式の場合には、信号伝送に寄与する電流は信号の遷移時に流れる過渡電流だけであるから、この過渡電流のみを流すようにすることがより好ましい。

図 4 はこの発明による CMOS 大規模集積回路の第 2 の実施例の内部回路を示すもので、過渡電流のみを流すように構成した事例を示す。

この第 2 の実施例では送信側のゲート 11 として、図 2A に示した受信側ゲートである電荷感応形ゲート 31 の回路構成と類似するゲートを使用する。この送信側ゲート 11 は、p チャネル MOSFET 51 と n チャネル MOSFET 52 とからなるインバータ 53 と、p チャネル MOSFET 51 のソースと +VDD (正電位) の電源端子 16 との間に接続された p チャネル MOSFET 55 と、

nチャネルFET 52のソースと $-VSS$ （負電位又は共通電位）の電源端子17との間に接続されたnチャネルMOSFET 56と、これらMOSFET 55及び56のゲートにそれぞれのゲートが接続されたpチャネルMOSFET 57及びnチャネルMOSFET 58とを含む。

インバータ53の入力端、即ち、共通接続されたゲートは入力端子14に接続され、インバータ53の出力端、即ち、共通接続されたドレインはコンデンサ54を通じて共通電位点又は接地電位に接続され、pチャネルFET 51のソースがpチャネルFET 55のドレインソースを通じて $+VDD$ 電源端子16に接続され、nチャネルFET 52のソースがnチャネルFET 56のドレインソースを通じて $-VSS$ 電源端子17に接続される。FET 55及び56の各ドレインとゲート間はそれぞれ短絡接続され、また、FET 57及び58の各ドレインは互いに接続されて導電路15の入力端に接続され、それらの各ソースはそれぞれ電源端子16及び17に接続される。つまり、この第2の実施例でもインバータ53の両電源接続端はpチャネルMOSFETカレントミラー回路及びnチャネルMOSFETカレントミラー回路の各入力側にそれぞれ接続されている。

よって、この送信側ゲートの構成は図2Aに示した電荷感応形ゲート31において、そのインバータ35の入出力端を共通に接続しないで、入力端のみを入力端子36に接続し、出力端をコンデンサ54を通じて共通電位点又は接地電位点に接続したものと同一であることが理解されよう。

上記構成において、入力端子14の電位が両電源 $+VDD$ と $-VSS$ の midpoint の電位 V_c より高レベルになると、FET 52に電流が流れ、コンデンサ54はFET 52側が負に充電される。この電流はFET 56及び58よりなるカレントミラー回路で増倍され、導電路15に受信側ゲート31から電流（ I_L ）を吸い込む過渡電流を発生する。この電流信号の遷移期間が終わると電流は零になり、定常的な消費電力は無くなる。

入力端子14の電位が V_c より低下すると、FET 51に電流が流れ、コンデンサ54は今度はFET 51側が正に充電される。この電流はFET 55及び57よりなるカレントミラー回路で増倍され、導電路15を通じて受信側ゲート31の方向に電流（ I_H ）を供給する。この場合も電流信号の遷移期間が終わると

電流は零となり、定常的な電力消費はない。

このように信号の遷移期間のみ電流を流す送信側のゲート 11 を用いる場合でも、受信側の電荷感应形ゲート 31 として、図 2 A 及び 2 B に示したように、定常的な貫通電流が流れる形式のものを用いる場合には、入力端子 14 の信号の遷移の間隔が長いと（電流が全く流れない期間が長いと）、配線容量 CL 及びゲート入力容量 CG に充電された電荷が放電され、送信側ゲート 11 の信号出力状態を保持することができない。

このような場合には図 4 に点線で示すように、コンデンサ 54 と並列に、抵抗素子（又は抵抗素子として動作する FET）61 を接続して電位保持のための微少の電流を流し、入力端子 14 の信号入力状態と対応した信号出力状態が導電路 15 に対して保持されるようにする。この抵抗素子 61 としては遷移期間以外でも信号出力状態を保持することができる最低限の電流を流すことができるものであればよい。

受信側の電荷感应形ゲート 31 として、図 3 A 及び 3 B に示すように、定常的貫通電流やリーク電流がないものを用いれば、図 4 に示した送信側ゲートを用いることができる。しかし、電荷感应形ゲート 31 の入力電位を長期間一定に保持することは、微少なリーク電流の存在により困難である場合には、伝送しようとする信号が長期にわたって変化しない場合は、先に述べたようにコンデンサ 54 と並列に抵抗素子を接続する。

受信側の電荷感应形ゲート 31 として図 3 C に示したものを用いる場合には、差動増幅器 48 の入力リーク電流に依存するが、この場合も伝送しようとする信号が長期にわたって変化しない場合を除けば、コンデンサ 54 と並列の抵抗素子による電位保持電流を流す必要はない。

なお、送信側ゲート 11 として、図 1 に示すように、定常電流を流せるゲートを用いる場合には、いずれの電荷感应形ゲートでも使用できる。クロック信号のように信号の遷移が常時、高速で行われる信号の伝送においては、図 4 に示した送信側ゲートに対し、図 2 A 及び 2 B、図 3 A ~ 3 C のいずれの形式の電荷感应形ゲートを受信側に設けてもよい。

送信側ゲート 11 は電流出力形であり、受信側ゲート 31 は電荷感应形ゲート、

つまり、電流入力形であるから、例えば図5に示すように導電路15に、送信用の電流出力形ゲート63を複数接続し、また、受信用の電流入力形ゲート64を複数接続して導電路15をバスとして用いることも容易に実行できる。特に、電流出力形ゲート63として遷移期間のみ電流を出力する図4に示した遷移電流出力ゲートを用い、電流入力形ゲート64として図3A及び3Bに示した定常電流がゼロの電荷感応形ゲートを用いれば、定常状態では導電路15に電流が流れないため、電流出力形ゲート63を高インピーダンス状態（インヒビット（inhibit）状態）にする必要がなく、そのための制御回路、タイミング調整も不要となる。

以上説明したように、この発明によれば、受信側ゲートとして低入力インピーダンスの電流入力形のゲートを用いているため、配線容量CL、ゲート入力容量CGを急速に充電することができ、信号の遷移時間が著しく短くなる。従って、周波数が高い（繰り返し周期の短い）クロック信号でもCMOS・IC内の長い導電路を通過することが可能となり、CMOSチップ全体の性能（動作速度）を高くすることができる。特に、送信側ゲートとして、信号の遷移期間だけ電流を流し、受信側ゲートとして定常電流は流さないものを用いることによって消費電力を小とすることができる。



請 求 の 範 囲

1. CMOSで構成された集積回路において、

上記集積回路の信号伝送路の受信側ゲートとして、入力インピーダンスが著しく低く、入力電流の大小に応じた出力電圧を発生する電流入力形ゲートが用いられていることを特徴とするCMOS集積回路。

2. 上記電流入力形ゲートは、入力端子がpチャネルMOSFETよりなる第1のカレントミラー回路を通じて正の電源端子に接続され、かつ上記入力端子がnチャネルMOSFETよりなる第2のカレントミラー回路を通じて負の電源端子に接続されていることを特徴とする請求の範囲第1項に記載のCMOS集積回路。

3. 入力端と出力端が短絡接続されたCMOSインバータの入力端が上記入力端子に接続され、上記CMOSインバータの両電源接続端が上記第1のカレントミラー回路の入力側及び上記第2のカレントミラー回路の入力側にそれぞれ接続されていることを特徴とする請求の範囲第2項に記載のCMOS集積回路。

4. 上記CMOSインバータの出力端が上記入力端子に接続され、上記CMOSインバータの入力端に、上記正の電源端子電圧及び上記負の電源端子電圧の midpoint 電位が与えられ、上記CMOSインバータの両電源接続端が上記第1のカレントミラー回路の入力側及び上記第2のカレントミラー回路の入力側にそれぞれ接続されていることを特徴とする請求の範囲第2項に記載のCMOS集積回路。

5. 上記入力端子と上記第1のカレントミラー回路の入力側との間にnチャネルMOSFETが直列に挿入され、このnチャネルMOSFETのゲートに、上記両電源端子間の midpoint 電位と上記nチャネルMOSFETのしきい値電圧とを加算した電位が印加され、上記入力端子と上記第2のカレントミラー回路の入力側との間にpチャネルMOSFETが直列に挿入され、このpチャネルMOSFETのゲートに、上記両電源端子間の midpoint 電位から、上記pチャネルMOSFETの



しきい値電圧を引いた電位が印加されていることを特徴とする請求の範囲第2項に記載のCMOS集積回路。

6. 上記電流入力形ゲートは、1つの差動増幅器の反転入力端を上記入力端子に接続し、この差動増幅器の反転入力端と出力端との間に負帰還コンデンサを接続し、上記差動増幅器の非反転入力端に、入力論理信号の midpoint 電位を印加した構成を有することを特徴とする請求の範囲第1項に記載のCMOS集積回路。

7. 上記信号伝送路の送信側ゲートは電流出力形ゲートであることを特徴とする請求の範囲第1項乃至第6項のいずれか1つに記載のCMOS集積回路。

8. 上記電流出力形ゲートはCMOSインバータであることを特徴とする請求の範囲第7項に記載のCMOS集積回路。

9. 上記電流出力形ゲートは、CMOSインバータの出力端がコンデンサを通じて接地され、上記インバータの両電源接続端がそれぞれpチャネルMOSFETよりなる第1のカレントミラー回路及びnチャネルMOSFETよりなる第2のカレントミラー回路を通じて、正電源端子及び負電源端子に接続され、これら両カレントミラー回路の出力端が上記信号伝送路に接続されている構成を有することを特徴とする請求の範囲第7項に記載のCMOS集積回路。

10. 上記コンデンサと並列に電流保持用抵抗素子が接続されていることを特徴とする請求の範囲第9項に記載のCMOS集積回路。