

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2002 年 2 月 21 日 (21.02.2002)

PCT

(10) 国際公開番号  
WO 02/15246 A1

(51) 国際特許分類: H01L 21/304, B24B 37/00

(21) 国際出願番号: PCT/JP01/06775

(22) 国際出願日: 2001 年 8 月 7 日 (07.08.2001)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願2000-247829 2000 年 8 月 17 日 (17.08.2000) JP

(71) 出願人 (米国を除く全ての指定国について): 信越半  
導体株式会社 (SHIN-ETSU HANDOTAI CO., LTD.)  
[JP/JP]; 〒100-0005 東京都千代田区丸の内一丁目4番  
2号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 高梨一仁

(TAKANASHI, Kazuhito) [JP/JP]. 鈴木 清 (SUZUKI, Kiyoshi) [JP/JP]. 渡辺義典 (WATANABE, Yoshinori) [JP/JP]; 〒961-8061 福島県西白河郡西郷村大字小田倉字大平150 信越半導体株式会社 半導体白河研究所内 Fukushima (JP).

(74) 代理人: 石原詔二 (ISHIHARA, Shoji); 〒170-0013 東京都豊島区東池袋3丁目7番8号 若井ビル302号 Tokyo (JP).

(81) 指定国 (国内): KR, SG, US.

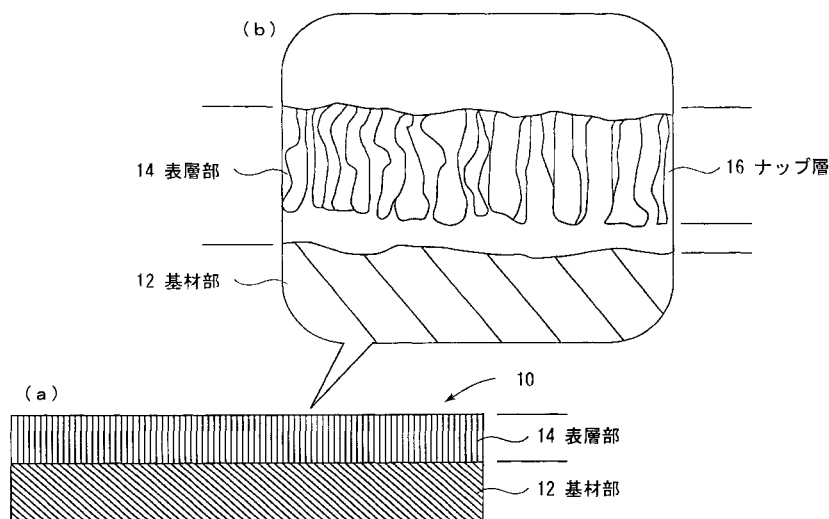
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

添付公開書類:  
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: METHOD OF POLISHING SEMICONDUCTOR WAFER

(54) 発明の名称: 半導体ウェーハの研磨方法



14...FRONT SURFACE LAYER PORTION  
12...BASE MATERIAL PORTION  
16...NAP LAYER

(57) Abstract: A mirror-polishing process for a semiconductor wafer, specifically, a method of polishing a semiconductor wafer capable of preventing the occurrence of fine flaws or latent flaws on a wafer surface by using a specific abrasive cloth as an abrasive cloth to be used in finish polishing. A polishing process for mirror-polishing a semiconductor wafer by using an abrasive cloth, wherein the abrasive cloth used has a nap layer at least 500  $\mu$ m thick.

[続葉有]



---

(57) 要約:

半導体ウェーハの鏡面研磨工程、特に、仕上げ研磨で使用される研磨布として特定の研磨布を用いることによって、ウェーハ表面に微小傷や潜傷が発生しないようにした半導体ウェーハの研磨方法を提供する。研磨布を使用し半導体ウェーハを鏡面研磨する研磨工程において、ナップ層の厚さが $500\mu\text{m}$ 以上の研磨布を用いて研磨するようにした。