

明 細 書

発明の名称：

アクティブマトリクス基板及びそれを備えた表示パネル

技術分野

[0001] 本発明は、アクティブマトリクス基板及びそれを備えた表示パネルに関し、特に、3辺フリー構造を有するアクティブマトリクス基板及びそれを備えた表示パネルにおける狭額縁化技術に関するものである。

背景技術

[0002] 近年、液晶表示パネルなどの表示パネルは、様々な電子機器に搭載されている。特に、携帯電話機などのモバイル用途の電子機器では、表示画面の外周部に配置する額縁領域の幅を狭くする、いわゆる、狭額縁化及びそれによる装置の小型化が要望されている。

[0003] ここで、アクティブマトリクス駆動方式の液晶表示パネルは、互いに対向するように設けられたアクティブマトリクス基板及び対向基板と、アクティブマトリクス基板及び対向基板の間に設けられた液晶層とを備えている。そして、アクティブマトリクス基板は、上記表示画面に相当する矩形状の表示領域において、互いに平行に延びるように設けられた複数のゲート信号線と、各ゲート信号線と直交する方向に互いに平行に延びるように設けられた複数のソース信号線とを備えている。また、アクティブマトリクス基板には、対向基板から突出する部分の表面に端子領域が設けられている。

[0004] ところで、アクティブマトリクス駆動方式の表示パネルが搭載されたモバイル用途の電子機器では、装置の小型化や部品点数の低減を図るために、アクティブマトリクス基板の4辺の額縁領域のうち、1辺だけに端子領域が配置し、他の3辺に端子領域が配置しない、いわゆる、3辺フリー構造を有する構成が主流になっている。そして、3辺フリー構造を有するアクティブマトリクス基板では、例えば、端子領域が配置しない対向する2辺に沿って、ゲート制御回路がモノリシックに1つずつ設けられ、端子領域が配置する1

辺に沿って、ソース制御回路がモノリシックに設けられていると共に、各ゲート制御回路及びソース制御回路が接続された駆動用 I C (Integrated Circuit) が実装される。ここで、ゲート制御回路には、各ゲート信号線が接続されている。また、ソース制御回路には、各ソース信号線が接続されている。また、ソース制御回路は、例えば、隣り合う 3 本のソース信号線毎に、駆動用 I C に接続されたビデオ信号線からの表示用のソース信号を R G B の色要素毎に振り分けるためのデマルチプレクサ回路と、デマルチプレクサ回路に検査用の信号を入力するための検査回路と、デマルチプレクサ回路、検査回路、及び画像の最小単位である各副画素毎に設けられた各 T F T (Thin Film Transistor) などを保護するための保護回路とを備えている。

[0005] 例えば、特許文献 1 には、3 辺フリー構造を有するデバイス基板において、上記デマルチプレクサ回路に相当する R G B スイッチ回路と、ビデオ信号用保護回路とを分離すると共に、ビデオ信号用保護回路の配列ピッチを R G B スイッチ回路の配列ピッチよりも短く設定することにより、ビデオ信号用保護回路の配列群の両端の近傍に一般信号用保護回路などの回路や配線を配置するための余剰領域を作り出して、基板の額縁領域を小さくすることができる、と記載されている。

先行技術文献

特許文献

[0006] 特許文献 1：国際公開第 2 0 0 8 / 0 5 3 6 2 2 号パンフレット（第 1 図）

発明の概要

発明が解決しようとする課題

[0007] しかしながら、上記特許文献 1 に開示されたデバイス基板では、各ビデオ信号用保護回路とソースドライバ I C との間に配置される複数の配線（ビデオ信号線）が、ソースドライバ I C 側に単に集まるように形成されているので、狭額縁化の観点において、改善の余地がある。

[0008] 本発明は、かかる点に鑑みてなされたものであり、その目的とするところ

は、3辺フリー構造を有するアクティブマトリクス基板において、端子領域に沿う額縁領域の幅を可及的に狭くすることにある。

課題を解決するための手段

[0009] 上記目的を達成するために、本発明は、周辺回路部を構成する複数の単位回路部の配列ピッチが内側よりも外側で広くなるようにしたものである。

[0010] 具体的に本発明に係るアクティブマトリクス基板は、画像表示を行う矩形状の表示領域と、上記表示領域の周りに規定された額縁領域と、上記額縁領域において、上記表示領域の一辺に沿って基板端側に規定された端子領域と、上記端子領域の一部において、上記表示領域の一辺に沿って規定された実装領域と、上記表示領域において、上記表示領域の一辺に直交する方向に互いに平行に延びるように設けられた複数の信号線と、上記表示領域及び実装領域の間の額縁領域において、モノリシックに設けられた複数の単位回路部が上記表示領域の一辺に沿って一列に配列された周辺回路部と、上記表示領域及び周辺回路部の間の額縁領域において、上記複数の信号線から上記複数の単位回路部に向けて全体の輪郭形状が絞られるようにそれぞれ設けられた複数の第1配線と、上記周辺回路部及び実装領域の間の額縁領域において、上記複数の単位回路部から上記実装領域に向けて全体の輪郭形状が絞られるようにそれぞれ設けられた複数の第2配線とを備え、上記複数の単位回路部の配列ピッチは、内側よりも外側で広がっている。

[0011] 上記の構成によれば、矩形状の表示領域の周りに規定された額縁領域のうち、基板端側に規定された端子領域に沿う額縁領域において、表示領域と端子領域の一部の実装領域との間に周辺回路部が設けられ、周辺回路部には、モノリシックに設けられた複数の単位回路部が表示領域の一辺に沿って一列に配列され、複数の単位回路部の配列ピッチが内側よりも外側で広がっているので、例えば、周辺回路部の表示領域の一辺に沿う長さが共通であり、周辺回路部に含まれる単位回路部の個数が共通であると想定し、複数の単位回路部の配列ピッチが平均的な値で一定である場合よりも、複数の第2配線の全体の輪郭形状における絞りを緩くする、すなわち、最も外側に配置され

る第2配線の表示領域の一辺と交差する角度を小さくすることが可能になる。これにより、複数の第2配線の全体の輪郭形状における表示領域の一辺と直交する方向の長さが短くなるので、3辺フリー構造を有するアクティブマトリクス基板において、端子領域に沿う額縁領域の幅を可及的に狭くすることが可能になる。

[0012] 上記表示領域及び周辺回路部の間の額縁領域において、上記複数の信号線の隣り合う所定数毎にモノリシックに設けられた複数の第1単位回路が上記表示領域の一辺に沿って一列に配列されたデマルチプレクサ回路部を備え、上記各第1単位回路は、上記隣り合う所定数の信号線に接続され、上記複数の単位回路部として、上記複数の第1単位回路に上記複数の第1配線を介してそれぞれ接続された複数の第2単位回路が設けられ、上記デマルチプレクサ回路部及び周辺回路部の間の額縁領域において、上記複数の第1配線として、上記複数の第1単位回路から上記複数の第2単位回路に向けて全体の輪郭形状が絞られるように複数の第1ビデオ信号線が設けられ、上記複数の第2配線として、複数の第2ビデオ信号線が設けられていてもよい。

[0013] 上記複数の信号線として、複数のソース信号線が設けられていてもよい。

[0014] すなわち、本発明に係るアクティブマトリクス基板は、
画像表示を行う矩形状の表示領域と、
上記表示領域の周りに規定された額縁領域と、
上記額縁領域において、上記表示領域の一辺に沿って基板端側に規定された端子領域と、

上記端子領域の一部において、上記表示領域の一辺に沿って規定された実装領域と、

上記表示領域において、上記表示領域の一辺に直交する方向に互いに平行に延びるように設けられた複数のソース信号線と、

上記表示領域及び実装領域の間の額縁領域において、上記複数のソース信号線の隣り合う所定数毎にモノリシックに設けられ、各々、該隣り合う所定数のソース信号線に接続された複数の第1単位回路が上記表示領域の一辺に

沿って一列に配列されたデマルチプレクサ回路部と、

上記デマルチプレクサ回路部及び実装領域の間の額縁領域において、モノリシックに設けられ、上記複数の第1単位回路にそれぞれ接続された複数の第2単位回路が上記表示領域の一辺に沿って一列に配列された周辺回路部と、

上記デマルチプレクサ回路部及び周辺回路部の間の額縁領域において、上記複数の第1単位回路から上記複数の第2単位回路に向けて全体の輪郭形状が絞られるようにそれぞれ設けられた複数の第1ビデオ信号線と、

上記周辺回路部及び実装領域の間の額縁領域において、上記複数の第2単位回路から上記実装領域に向けて全体の輪郭形状が絞られるようにそれぞれ設けられた複数の第2ビデオ信号線とを備え、

上記複数の第2単位回路の配列ピッチは、内側よりも外側で広がっている。

[0015] 上記の構成によれば、矩形状の表示領域の周りに規定された額縁領域のうち、基板端側に規定された端子領域に沿う額縁領域において、表示領域に近い側のデマルチプレクサ回路部と端子領域の一部の実装領域との間に周辺回路部が設けられ、周辺回路部には、モノリシックに設けられた複数の第2単位回路が表示領域の一辺に沿って一列に配列され、複数の第2単位回路の配列ピッチが内側よりも外側で広がっているので、例えば、周辺回路部の表示領域の一辺に沿う長さが共通であり、周辺回路部に含まれる第2単位回路の個数が共通であると想定し、複数の第2単位回路の配列ピッチが平均的な値で一定である場合よりも、複数の第2ビデオ信号線の全体の輪郭形状における絞りを緩くする、すなわち、最も外側に配置される第2ビデオ信号線の表示領域の一辺と交差する角度を小さくすることが可能になる。これにより、複数の第2ビデオ信号線の全体の輪郭形状における表示領域の一辺と直交する方向の長さが短くなるので、3辺フリー構造を有するアクティブマトリクス基板において、端子領域に沿う額縁領域の幅を可及的に狭くすることが可能になる。

- [0016] 上記各第2単位回路は、上記各第1単位回路に検査信号を入力するための検査回路、及び少なくとも上記各第1単位回路を保護するための保護回路の少なくとも一方を備えていてもよい。
- [0017] 上記の構成によれば、各第2単位回路が検査回路及び／又は保護回路を備えているので、各第2単位回路が検査回路及び保護回路を備えているアクティブマトリクス基板、各第2単位回路が検査回路を備えているアクティブマトリクス基板、又は各第2単位回路が保護回路を備えているアクティブマトリクス基板が具体的に構成される。
- [0018] 上記周辺回路部の上記表示領域の一辺に沿う長さは、上記デマルチプレクサ回路部の上記表示領域の一辺に沿う長さよりも短くなっているとしてもよい。
- [0019] 上記の構成によれば、周辺回路部の表示領域の一辺に沿う長さがデマルチプレクサ回路部の表示領域の一辺に沿う長さよりも短くなっているため、周辺回路部の両端の近傍に、例えば、レベルシフト回路、バッファ回路、一般信号用の保護回路、デマルチプレクサ回路用の制御信号線、その制御信号用の保護回路などの他の回路や配線を配置するスペースが確保される。
- [0020] また、本発明に係るアクティブマトリクス基板は、画像表示を行う矩形状の表示領域と、上記表示領域の周りに規定された額縁領域と、上記額縁領域において、上記表示領域の一辺に沿って基板端側に規定された端子領域と、上記端子領域の一部において、上記表示領域の一辺に沿って規定された実装領域と、上記表示領域において、上記表示領域の一辺に直交する方向に互いに平行に延びるように設けられた複数の信号線と、上記表示領域及び実装領域の間の額縁領域において、モノリシックに設けられた複数の第1単位回路部が上記表示領域の一辺に沿って一列に配列された第1周辺回路部と、上記第1周辺回路部及び実装領域の間の額縁領域において、モノリシックに設けられ、上記複数の第1単位回路部にそれぞれ接続された複数の第2単位回路部が上記表示領域の一辺に沿って一列に配列された第2周辺回路部と、上記表示領域及び第1周辺回路部の間の額縁領域において、上記複数の信号線から上記複数の第1単位回路部に向けて全体の輪郭形状が絞られるようにそれ

ぞれ設けられた複数の第1配線と、上記第1周辺回路部及び第2周辺回路部の間の額縁領域において、上記複数の第1単位回路部から上記複数の第2単位回路部に向けて全体の輪郭形状が絞られるようにそれぞれ設けられた複数の第2配線と、上記第2周辺回路部及び実装領域の間の額縁領域において、上記複数の第2単位回路部から上記実装領域に向けて全体の輪郭形状が絞られるようにそれぞれ設けられた複数の第3配線とを備え、上記複数の第1単位回路部及び複数の第2単位回路部の少なくとも一方の配列ピッチは、内側よりも外側で広がっている。

[0021] 上記の構成によれば、矩形状の表示領域の周りに規定された額縁領域のうち、基板端側に規定された端子領域に沿う額縁領域において、表示領域と端子領域の一部の実装領域との間に第1周辺回路部及び第2周辺回路部が設けられ、第1周辺回路部及び第2周辺回路部には、モノリシックに設けられた複数の第1単位回路部及び複数の第2単位回路部がそれぞれ表示領域の一辺に沿って一列に配列され、複数の第1単位回路部及び／又は複数の第2単位回路部の配列ピッチが内側よりも外側で広がっているので、例えば、第1周辺回路部の表示領域の一辺に沿う長さが共通であり、第1周辺回路部に含まれる第1単位回路部の個数が共通であり、第2周辺回路部の表示領域の一辺に沿う長さが共通であり、第2周辺回路部に含まれる第2単位回路部の個数が共通であると想定し、複数の第1単位回路部及び複数の第2単位回路部における配列ピッチが平均的な値で一定である場合よりも、複数の第2配線及び／又は複数の第3配線の全体の輪郭形状における絞りを緩くする、すなわち、最も外側に配置される第2配線及び／又は第3配線の表示領域の一辺と交差する角度を小さくすることが可能になる。これにより、複数の第2配線及び／又は複数の第3配線の全体の輪郭形状における表示領域の一辺と直交する方向の長さが短くなるので、3辺フリー構造を有するアクティブマトリクス基板において、端子領域に沿う額縁領域の幅を可及的に狭くすることが可能になる。

[0022] 上記表示領域及び第1周辺回路部の間の額縁領域において、上記複数の信

号線の隣り合う所定数毎にモノリシックに設けられた複数の第1単位回路が上記表示領域の一辺に沿って一列に配列されたデマルチプレクサ回路部を備え、上記各第1単位回路は、上記隣り合う所定数の信号線に接続され、上記複数の第1単位回路部として、上記複数の第1単位回路に上記複数の第1配線を介してそれぞれ接続された複数の第2単位回路が設けられ、上記複数の第2単位回路部として、上記複数の第2単位回路に上記複数の第2配線を介してそれぞれ接続された複数の第3単位回路が設けられ、上記デマルチプレクサ回路部及び第1周辺回路部の間の額縁領域において、上記複数の第1配線として、上記複数の第1単位回路から上記複数の第2単位回路に向けて全体の輪郭形状が絞られるように複数の第1ビデオ信号線が設けられ、上記第1周辺回路部及び第2周辺回路部の間の額縁領域において、上記複数の第2配線として、上記複数の第2単位回路から上記複数の第3単位回路に向けて全体の輪郭形状が絞られるように複数の第2ビデオ信号線が設けられ、上記複数の第3配線として、複数の第3ビデオ信号線が設けられていてもよい。

[0023] 上記複数の信号線として、複数のソース信号線が設けられていてもよい。

[0024] すなわち、本発明に係るアクティブマトリクス基板は、

画像表示を行う矩形状の表示領域と、

上記表示領域の周りに規定された額縁領域と、

上記額縁領域において、上記表示領域の一辺に沿って基板端側に規定された端子領域と、

上記端子領域の一部において、上記表示領域の一辺に沿って規定された実装領域と、

上記表示領域において、上記表示領域の一辺に直交する方向に互いに平行に延びるように設けられた複数のソース信号線と、

上記表示領域及び実装領域の間の額縁領域において、上記複数のソース信号線の隣り合う所定数毎にモノリシックに設けられ、各々、該隣り合う所定数のソース信号線に接続された複数の第1単位回路が上記表示領域の一辺に沿って一列に配列されたデマルチプレクサ回路部と、

上記デマルチプレクサ回路部及び実装領域の間の額縁領域において、モノリシックに設けられ、上記複数の第1単位回路にそれぞれ接続された複数の第2単位回路が上記表示領域の一辺に沿って一列に配列された第1周辺回路部と、

上記第1周辺回路部及び実装領域の間の額縁領域において、モノリシックに設けられ、上記複数の第2単位回路にそれぞれ接続された複数の第3単位回路が上記表示領域の一辺に沿って一列に配列された第2周辺回路部と、

上記デマルチプレクサ回路部及び第1周辺回路部の間の額縁領域において、上記複数の第1単位回路から上記複数の第2単位回路に向けて全体の輪郭形状が絞られるようにそれぞれ設けられた複数の第1ビデオ信号線と、

上記第1周辺回路部及び第2周辺回路部の間の額縁領域において、上記複数の第2単位回路から上記複数の第3単位回路に向けて全体の輪郭形状が絞られるようにそれぞれ設けられた複数の第2ビデオ信号線と、

上記第2周辺回路部及び実装領域の間の額縁領域において、上記複数の第3単位回路から上記実装領域に向けて全体の輪郭形状が絞られるようにそれぞれ設けられた複数の第3ビデオ信号線とを備え、

上記複数の第2単位回路及び複数の第3単位回路の少なくとも一方の配列ピッチは、内側よりも外側で広がっている。

[0025] 上記の構成によれば、矩形状の表示領域の周りに規定された額縁領域のうち、基板端側に規定された端子領域に沿う額縁領域において、表示領域に近い側のデマルチプレクサ回路部と端子領域の一部の実装領域との間に第1周辺回路部及び第2周辺回路部が設けられ、第1周辺回路部及び第2周辺回路部には、モノリシックに設けられた複数の第2単位回路及び／又は複数の第3単位回路がそれぞれ表示領域の一辺に沿って一列に配列され、複数の第2単位回路及び／又は複数の第3単位回路の配列ピッチが内側よりも外側で広がっているため、例えば、第1周辺回路部の表示領域の一辺に沿う長さが共通であり、第1周辺回路部に含まれる第2単位回路の個数が共通であり、第2周辺回路部の表示領域の一辺に沿う長さが共通であり、第2周辺回路部

に含まれる第3単位回路の個数が共通であると想定し、複数の第2単位回路及び複数の第3単位回路における配列ピッチが平均的な値で一定である場合よりも、複数の第2ビデオ信号線及び／又は複数の第3ビデオ信号線の全体の輪郭形状における絞りを緩くする、すなわち、最も外側に配置される第2ビデオ信号線及び／又は第3ビデオ信号線の表示領域の一辺と交差する角度を小さくすることが可能になる。これにより、複数の第2ビデオ信号線及び／又は複数の第3ビデオ信号線の全体の輪郭形状における表示領域の一辺と直交する方向の長さが短くなるので、3辺フリー構造を有するアクティブマトリクス基板において、端子領域に沿う額縁領域の幅を可及的に狭くすることが可能になる。

[0026] 上記各第2単位回路は、上記各第1単位回路に検査信号を入力するための検査回路であり、上記各第3単位回路は、少なくとも上記各第1単位回路を保護するための保護回路であってもよい。

[0027] 上記の構成によれば、各第2単位回路が検査回路であり、各第3単位回路が保護回路であるので、端子領域に沿う額縁領域において、表示領域に近い側から実装領域に向けて、デマルチプレクサ回路部、検査回路が配列された第1周辺回路部、及び保護回路が配列された第2周辺回路部が順に設けられたアクティブマトリクス基板が具体的に構成される。

[0028] 上記各第2単位回路は、少なくとも上記各第1単位回路を保護するための保護回路であり、上記各第3単位回路は、上記各第1単位回路に検査信号を入力するための検査回路であってもよい。

[0029] 上記の構成によれば、各第2単位回路が保護回路であり、各第3単位回路が検査回路であるので、端子領域に沿う額縁領域において、表示領域に近い側から実装領域に向けて、デマルチプレクサ回路部、保護回路が配列された第1周辺回路部、及び検査回路が配列された第2周辺回路部が順に設けられたアクティブマトリクス基板が具体的に構成される。

[0030] 上記第1周辺回路部の上記表示領域の一辺に沿う長さは、上記デマルチプレクサ回路部の上記表示領域の一辺に沿う長さよりも短くなっていると共に

、上記第2周辺回路部の上記表示領域の一辺に沿う長さよりも長くなっているてもよい。

[0031] 上記の構成によれば、第1周辺回路部の上記表示領域の一辺に沿う長さがデマルチプレクサ回路部の表示領域の一辺に沿う長さよりも短くなっていると共に、第2周辺回路部の表示領域の一辺に沿う長さよりも長くなっているため、第1周辺回路部及び第2周辺回路部の各両端の近傍に、例えば、レベルシフト回路、バッファ回路、一般信号用の保護回路、デマルチプレクサ回路用の制御信号線、制御信号用の保護回路などの他の回路や配線を配置するスペースが確保される。

[0032] また、本発明に係る表示パネルは、上記の何れか1つに記載されたアクティブマトリクス基板と、上記アクティブマトリクス基板に対向するように設けられた対向基板と、上記アクティブマトリクス基板及び対向基板の間に設けられた表示媒体層とを備えている。

[0033] 上記の構成によれば、表示パネルが、端子領域に沿う額縁領域の幅を可及的に狭くすることが可能な3辺フリー構造を有するアクティブマトリクス基板と、そのアクティブマトリクス基板に対向するように設けられた対向基板と、それらの両基板の間に設けられた表示媒体層とを備えているので、3辺フリー構造を有するアクティブマトリクス基板を備えた液晶表示パネルや有機EL (Electro Luminescence) パネルなどの表示パネルにおいて、端子領域に沿う額縁領域の幅を可及的に狭くすることが可能になる。

[0034] 上記表示媒体層は、液晶層であってもよい。

[0035] 上記の構成によれば、表示媒体層が液晶層であるので、表示パネルとして液晶表示パネルが具体的に構成される。

発明の効果

[0036] 本発明によれば、周辺回路部を構成する複数の単位回路部の配列ピッチが内側よりも外側で広がっているため、3辺フリー構造を有するアクティブマトリクス基板において、端子領域に沿う額縁領域の幅を可及的に狭くすることができる。

図面の簡単な説明

- [0037] [図1]図1は、実施形態1に係る液晶表示パネルの斜視図である。
- [図2]図2は、図1中のII-II線に沿った液晶表示パネルの断面図である。
- [図3]図3は、実施形態1に係る液晶表示パネルを構成するアクティブマトリクス基板の平面図である。
- [図4]図4は、図3中の領域Raを拡大した平面図である。
- [図5]図5は、図3中の領域Rbを拡大した平面図である。
- [図6]図6は、図3中の領域Rcを拡大した平面図である。
- [図7]図7は、図3中の領域Rdを拡大した平面図である。
- [図8]図8は、図3中の領域Reを拡大した平面図である。
- [図9]図9は、図3中の領域Rfを拡大した平面図である。
- [図10]図10は、図3中の領域Rgを拡大した平面図である。
- [図11]図11は、実施形態1に係るアクティブマトリクス基板の特徴点を概念的に示す平面図である。
- [図12]図12は、実施形態1に係るアクティブマトリクス基板を構成するデマルチプレクサ部及び周辺回路部の等価回路図である。
- [図13]図13は、実施形態1に係るアクティブマトリクス基板の周辺回路部を構成する保護回路の等価回路図である。
- [図14]図14は、実施形態1に係るアクティブマトリクス基板による効果を示す説明図である。
- [図15]図15は、実施形態2に係るアクティブマトリクス基板の平面図である。
- [図16]図16は、実施形態3に係るアクティブマトリクス基板の平面図である。
- [図17]図17は、実施形態4に係るアクティブマトリクス基板の平面図である。
- [図18]図18は、実施形態5に係るアクティブマトリクス基板の平面図である。

発明を実施するための形態

[0038] 以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の各実施形態に限定されるものではない。

[0039] 《発明の実施形態 1》

図 1 ～図 1 4 は、本発明に係るアクティブマトリクス基板及びそれを備えた表示パネルの実施形態 1 を示している。ここで、図 1 は、本実施形態の液晶表示パネル 5 0 の斜視図であり、図 2 は、図 1 中の II-II 線に沿った液晶表示パネル 5 0 の断面図である。また、図 3 は、液晶表示パネル 5 0 を構成するアクティブマトリクス基板 2 0 a の平面図である。また、図 4 ～図 1 0 は、図 3 中の領域 R a ～R g をそれぞれ拡大した平面図である。また、図 1 1 は、アクティブマトリクス基板 2 0 a の特徴点を概略的に示す平面図である。また、図 1 2 は、アクティブマトリクス基板 2 0 a を構成するデマルチプレクサ部 3 及び周辺回路部 4 の等価回路図である。また、図 1 3 (a) ～図 1 3 (c) は、周辺回路部 4 を構成する保護回路 9 e (9 e a ～9 e c) の等価回路図である。

[0040] 液晶表示パネル 5 0 は、図 1 及び図 2 に示すように、互いに対向するように設けられたアクティブマトリクス基板 2 0 a 及び対向基板 3 0 と、アクティブマトリクス基板 2 0 a 及び対向基板 3 0 の間に表示媒体層として設けられた液晶層 4 0 と、アクティブマトリクス基板 2 0 a 及び対向基板 3 0 を互いに接着すると共に、アクティブマトリクス基板 2 0 a 及び対向基板 3 0 の間に液晶層 4 0 を封入するために枠状に設けられたシール材 4 5 とを備えている。

[0041] アクティブマトリクス基板 2 0 a、対向基板 3 0 及びそれらを備えた液晶表示パネル 5 0 では、図 1 に示すように、シール材 4 5 (図 2 及び図 3 参照) の内側に画像表示を行う表示領域 D が矩形状に規定され、表示領域 D の周りに額縁領域 F が枠状に規定されている。また、アクティブマトリクス基板 2 0 a の額縁領域 F には、図 1 及び図 3 に示すように、表示領域 D の図中の下辺に沿うと共に、対向基板 3 0 から突出するように基板端側に端子領域 T

が規定されている。さらに、アクティブマトリクス基板 20 a の端子領域 T の中央部には、図 1 及び図 3 に示すように、表示領域 D の図中の下辺に沿うように、駆動用 IC を実装するための実装領域 M が規定されている。

[0042] アクティブマトリクス基板 20 a は、図 2 及び図 3 に示すように、ガラス基板などの透明基板 10 と、表示領域 D において、透明基板 10 上に下地膜 11 及びゲート絶縁膜 13 を介して図 3 中の横方向に互いに平行に延びるように設けられた複数のゲート信号線 14 c と、各ゲート信号線 14 c を覆うように設けられた無機絶縁膜からなる層間絶縁膜 15 と、表示領域 D において、層間絶縁膜 15 上に各ゲート信号線 14 c と直交する方向（図 3 中の縦方向）に互いに平行に延びるように設けられた複数のソース信号線 16 a と、各ゲート信号線 14 c 及び各ソース信号線 16 a の交差部分毎、すなわち、画像の最小単位である各副画素毎にそれぞれ設けられた複数の TFT（Thin Film Transistor、不図示）と、各 TFT を覆うように設けられた有機絶縁膜からなる保護絶縁膜 17 と、表示領域 D において、保護絶縁膜 17 上にマトリクス状に設けられ、各 TFT にそれぞれ接続された複数の画素電極 18 a と、各画素電極 18 a を覆うように設けられた配向膜（不図示）とを備えている。

[0043] 各副画素毎に設けられた TFT は、例えば、下地膜 11 上に島状に設けられた半導体層と、その半導体層を覆うように設けられたゲート絶縁膜 13 と、ゲート絶縁膜 13 上にその半導体層の一部と重なるように設けられたゲート電極と、そのゲート電極を覆うように設けられた層間絶縁膜 15 と、層間絶縁膜 15 上に設けられ、互いに離間するように配置されたソース電極及びドレイン電極とを備え、後述する第 1 単位回路 3 u の TFT 5 と実質的に同じ構成になっている。ここで、上記ゲート電極は、ゲート信号線 14 c の各副画素毎の一部又は側方への突出部である。また、上記ソース電極は、ソース信号線 16 a の各副画素毎の一部又は側方への突出部である。さらに、上記ドレイン電極は、保護絶縁膜 17 に形成されたコンタクトホール（不図示）を介して画素電極 18 a に接続されている。

- [0044] ゲート信号線 14 c は、図 3 に示すように、その両端が額縁領域 F でゲート制御回路 1 に接続されている。
- [0045] ゲート制御回路 1 は、図 3 に示すように、表示領域 D の図中の左辺及び右辺に沿って、モノリシックにそれぞれ形成されている。また、ゲート制御回路 1 の近傍には、図 3 に示すように、レベルシフト回路、バッファ回路、一般信号用の保護回路などの付属配線回路 2 がモノリシックに形成されている。ここで、このゲート信号線 14 c の両端から駆動させる構成により、画素アレイの高解像度化に伴って懸念されるクロストーク（シャドーイング）を抑制することができる。
- [0046] ソース信号線 16 a は、図 3 に示すように、額縁領域 F でデマルチプレクサ回路部 3 に接続されている。
- [0047] デマルチプレクサ回路部 3 は、図 3 及び図 11 に示すように、表示領域 D 及び実装領域 M の間であって、表示領域 D 及び後述する周辺回路部 4 の間の額縁領域 F に設けられている。また、デマルチプレクサ回路部 3 は、図 4、図 8 及び図 11 に示すように、表示領域 D の一辺（図 11 中の下辺）に沿って一定のピッチ P_a で一列に配列された複数の第 1 単位回路 3 u を備えている。さらに、デマルチプレクサ回路部 3 の近傍には、図 3 に示すように、レベルシフト回路、バッファ回路、一般信号用の保護回路、デマルチプレクサ回路用の制御信号線、その制御信号用の保護回路などの付属配線回路 2 がモノリシックに形成されている。なお、本実施形態において、ピッチは、例えば、図 4 に示すように、隣り合う各構造単位における中心線間の距離である。ここで、ピッチは、基本的に隣り合う各構造単位における中心線間の距離であるが、隣り合う各構造単位において所定の位置（例えば、各構造単位的一方端）を設定して、その設定された所定の位置の間の距離であってもよい。
- [0048] 第 1 単位回路 3 u は、図 12 に示すように、隣り合う 3 本のソース信号線 16 a、すなわち、赤色表示用のソース信号線 16 a R、緑色表示用のソース信号線 16 a G 及び青色表示用のソース信号線 16 a B 毎にモノリシックに形成され、それらの 3 本のソース信号線 16 a（16 a R、16 a G、1

6 a B) に接続されている。また、第 1 単位回路 3 u は、図 1 2 に示すように、赤色表示用のソース信号線 1 6 a R、緑色表示用のソース信号線 1 6 a G 及び青色表示用のソース信号線 1 6 a B にそれぞれ接続された 3 つの T F T 5 を備え、デマルチプレクサ回路用の制御信号により、後述する第 1 ビデオ信号線 8 a 及び第 2 ビデオ信号線 8 b を有するビデオ信号線 8、並びに周辺回路部 4 を介して入力する表示用のソース信号を R G B の色要素毎に振り分けて分配するように構成されている。

[0049] T F T 5 は、図 2 に示すように、下地膜 1 1 上に島状に設けられた半導体層 1 2 a と、半導体層 1 2 a を覆うように設けられたゲート絶縁膜 1 3 と、ゲート絶縁膜 1 3 上に半導体層 1 2 a の一部と重なるように設けられたゲート電極 1 4 a と、ゲート電極 1 4 a を覆うように設けられた層間絶縁膜 1 5 と、層間絶縁膜 1 5 上に設けられ、互いに離間するように配置されたソース電極 (1 6 a) 及びドレイン電極 1 6 b とを備えている。

[0050] 半導体層 1 2 a は、ゲート電極 1 4 a に重なるように設けられたチャネル領域 (不図示) と、チャネル領域を挟んで互いに離間するように設けられたソース領域及びドレイン領域 (不図示) とを備えている。なお、半導体層 1 2 a のチャネル領域とソース領域及びドレイン領域との間には、L D D (Lightly Doped Drain) 領域が設けられていてもよい。

[0051] T F T 5 のソース電極 (1 6 a) は、図 2 に示すように、ゲート絶縁膜 1 3 及び層間絶縁膜 1 5 の積層膜に形成されたコンタクトホール 1 5 a を介して半導体層 1 2 a のソース領域に接続されていると共に、ソース信号線 1 6 a の端部になっている。

[0052] T F T 5 のドレイン電極 1 6 b は、図 2 に示すように、ゲート絶縁膜 1 3 及び層間絶縁膜 1 5 の積層膜に形成されたコンタクトホール 1 5 b を介して半導体層 1 2 a のドレイン領域に接続されていると共に、層間絶縁膜 1 5 に形成されたコンタクトホール 1 5 c を介してビデオ信号線 8 を構成する配線層 1 4 b に接続されている。ここで、T F T 5 のソース電極 (1 6 a) 及びドレイン電極 1 6 b は、例えば、アルミニウムやクロムなどの低い電気抵抗

を有する金属材料により形成されている。また、配線層 14 b は、例えば、タングステンやタンタルなどの高い耐食性を有する金属材料により形成されている。

[0053] 周辺回路部 4 は、図 3 及び図 11 に示すように、デマルチプレクサ回路部 3 及び実装領域 M の間の額縁領域 F に設けられている。また、周辺回路部 4 は、図 5、図 7、図 9、図 11 及び図 12 に示すように、表示領域 D の一辺（図 11 中の下辺）に沿って一列に配列された複数の第 2 単位回路 4 u（4 u a、4 u b）を複数の単位回路部として備えている。さらに、周辺回路部 4 の近傍には、図 11 に示すように、レベルシフト回路、バッファ回路、一般信号用の保護回路、デマルチプレクサ回路用の制御信号線、その制御信号用の保護回路などの付属配線回路 2 がモノリシックに形成されていてもよい。

[0054] 複数の第 2 単位回路 4 u は、図 5、図 7、図 9 及び図 11 に示すように、相対的に広い配列ピッチ P_o で外側に配列された複数の第 2 単位回路 4 u a と、相対的に狭い配列ピッチ P_f で内側に配列された複数の第 2 単位回路 4 u b とを備え、モノリシックに設けられている。

[0055] 第 2 単位回路 4 u は、図 12 に示すように、第 1 単位回路 3 u に検査信号を入力するための検査回路 6 e と、第 1 単位回路 3 u、検査回路 6 e 及び各副画素毎に設けられた T F T などを保護するための保護回路 9 e とを備えている。

[0056] 検査回路 6 e は、図 12 に示すように、第 1 単位回路 3 u の T F T 5 と実質的に同じ構成の 1 つの T F T を備え、検査用の制御信号により、対応する第 1 単位回路 3 u に検査信号を適宜入力するように構成されている。

[0057] 保護回路 9 e は、例えば、図 13（a）に示すように、相対的に高電位の電圧を供給するための高電位電源線 V_{dd} と、相対的に低電位の電圧を供給するための低電位電源線 V_{ss} との間に、4 つの N チャネル型の T F T が設けられた保護回路 9 e a、図 13（b）に示すように、高電位電源線 V_{dd} と低電位電源線 V_{ss} との間に、2 つの N チャネル型の T F T 及び 2 つの P

チャネル型のTFTが設けられた保護回路9eb、図13(c)に示すように、高電位電源線Vddと低電位電源線Vssとの間に、4つのPチャネル型のTFTが設けられた保護回路9ecなどである。

[0058] 複数の第2単位回路4uは、図3～図5、図7～図9及び図11に示すように、複数の第1配線として設けられた複数の第1ビデオ信号線8aを介して、複数の第1単位回路3uにそれぞれ接続されている。

[0059] 複数の第1ビデオ信号線8aは、図3及び図11に示すように、複数の第1単位回路3uから複数の第2単位回路4u(4ua、4ub)に向けて全体の輪郭形状が絞られるようにそれぞれ設けられている。具体的に、複数の第1ビデオ信号線8aは、図4に示すように、配列ピッチPaで配列された各第1単位回路3uから表示領域Dの一边(図3中の下辺)に角度θaで交差する方向に配列ピッチPbで互いに平行に延びた後に、図5及び図7～図9に示すように、表示領域Dの一边(図3中の下辺)に直交する方向に屈曲し、その屈曲した方向に配列ピッチPc及びPfで互いに平行に延びることにより、複数の第2単位回路4ua及び複数の第2単位回路4ubにそれぞれ到達するように設けられている。

[0060] 複数の第2単位回路4u(4ua、4ub)は、図3、図5～図7及び図9～図11に示すように、複数の第2配線として設けられた複数の第2ビデオ信号線8bを介して、実装領域Mに設けられた複数の端子7にそれぞれ接続されている。

[0061] 複数の第2ビデオ信号線8bは、図3及び図11に示すように、複数の第2単位回路4u(4ua、4ub)から実装領域Mに向けて全体の輪郭形状が絞られるようにそれぞれ設けられている。具体的に、外側の複数の第2ビデオ信号線8bは、図5に示すように、配列ピッチPcで配列された各第2単位回路4uaから表示領域Dの一边(図3中の下辺)に角度θbで交差する方向に配列ピッチPdで互いに平行に延びた後に、図6に示すように、表示領域Dの一边(図3中の下辺)に直交する方向に屈曲し、その屈曲した方向に配列ピッチPeで互いに平行に延びることにより、配列ピッチPeで配列された

複数の端子 7 に到達するように設けられている。また、内側の複数の第 2 ビデオ信号線 8 b は、図 7、図 9 に示すように、配列ピッチ P_f で配列された各第 2 単位回路 4 u b から表示領域 D の一辺（図 3 中の下辺）に直交する方向に配列ピッチ P_f で互いに平行に延びることにより、配列ピッチ P_o で配列された複数の端子 7 に到達するように設けられている。ここで、実装領域 M において、各第 2 ビデオ信号線 8 b を構成する配線層 1 4 b の端部には、図 2 に示すように、層間絶縁膜 1 5 に形成されたコンタクトホール 1 5 d を介して、金属導電層 1 6 c 及び透明導電層 1 8 b が順に積層されることにより、端子 7 が設けられている。

[0062] ビデオ信号線 8 は、図 2 に示すように、対向基板 3 0 から突出する領域まで層間絶縁膜 1 5 及び保護絶縁膜 1 7 の積層膜に覆われているので、ビデオ信号線 8 の腐食を抑制することができるだけでなく、対向基板 3 0 となる基板を分断する際に基板端面が接触しても、ビデオ信号線 8 の損傷を抑制することができる。なお、ビデオ信号線 8 の損傷を抑制するために、保護絶縁膜（1 7）は、アクティブマトリクス基板 2 0 a の全面に設けてもよいが、後工程において、剥がれて異物になることを避けるために、端子領域 T の不要な部分の保護絶縁膜（1 7）は、予め除去しておいた方がよい。また、この保護絶縁膜 1 7 を有機絶縁膜により形成する構成は、例えば、凹凸状の反射電極を有する画素電極を形成する場合、ピクセル・オン・パッシベーション構造を有する高開口率の画素設計の場合などに有効である。

[0063] また、複数のビデオ信号線 8 の互いに平行に延びる配線構造については、単純に直線からなる平行線でなくてもよい。例えば、配線長を揃える目的で小さな蛇行を繰り返しながら実装領域 M に向かって互いに平行（並行）に延伸していく配線構造であってもよい。さらに、複数のビデオ信号線 8 は、位置調整を目的として、任意の短い区間でそれぞれ変形されたりしていてもよい。すなわち、本明細書では、「平行線」と「平行に延びる」とは、異なる概念であり、「平行に延びる」は、「平行線」を含むより広い範囲の概念とする。

[0064] ここで、図5に示すように、第2ビデオ信号線8bの表示領域Dの一边（図3中の下辺）に角度 θ_b で交差する方向に延びる部分の表示領域Dの一边（図3中の下辺）と直交する方向に沿う長さHを短くするには、

$$\tan \theta_b = H/W$$

という関係式により、角度 θ_b を小さくする必要がある。この角度 θ_b を小さくするには、

$$\sin \theta_b = P_d/P_o$$

という関係式に基づくと、配列ピッチ P_d が製造装置や製造プロセスに制約されるので、配列ピッチ P_o を大きくすればよい。

[0065] 一方、周辺回路部4の両端の近傍に、例えば、レベルシフト回路、バッファ回路、一般信号用の保護回路、デマルチプレクサ回路用の制御信号線、制御信号用の保護回路などの他の回路や配線を配置するスペースを確保するには、周辺回路部4を構成する各単位回路4uのピッチを狭くすればよいものの、各単位回路4uの配列ピッチを一律に狭くすると、配列ピッチ P_o が小さくなるので、結果として、長さHが長くなってしまう。

[0066] そこで、本発明では、複数の第2単位回路4uの配列ピッチを内側よりも外側で広くする、すなわち、図11に示すように、外側の複数の第2単位回路4uaの配列ピッチ P_o を内側の複数の第2単位回路4ubの配列ピッチ P_f よりも広くすることにより、周辺回路部4の両端の近傍に他の回路や配線を配置するスペースを確保すると共に、第2ビデオ信号線8bの表示領域Dの一边（図3中の下辺）と直交する方向に沿う長さHを短くすることができる。

[0067] 対向基板30は、例えば、ガラス基板などの透明基板（不図示）と、透明基板上に格子状に設けられたブラックマトリクス（不図示）と、ブラックマトリクスの各格子間にそれぞれ設けられた赤色層、緑色層及び青色層などの複数の着色層（不図示）と、ブラックマトリクス及び各着色層を覆うように設けられた共通電極（不図示）と、共通電極上に柱状に設けられた複数のフォトスペーサ（不図示）と、共通電極及び各フォトスペーサを覆うように設

けられた配向膜（不図示）とを備えている。

[0068] 液晶層 40 は、例えば、電気光学特性を有するネマチックの液晶材料などにより構成されている。

[0069] 上記構成の液晶表示パネル 50 では、各副画素において、ゲート制御回路 1 からのゲート信号がゲート信号線 14 c を介してゲート電極に送られて、TFT がオン状態になったときに、実装領域 M に実装された駆動用 IC からのソース信号がビデオ信号線 8、デマルチプレクサ回路部 3 及びソース信号線 16 a を介してソース電極に送られて、半導体層及びドレイン電極を介して、画素電極 18 a に所定の電荷が書き込まれる。このとき、液晶表示パネル 50 では、アクティブマトリクス基板 20 a の各画素電極 18 a と対向基板 30 の共通電極との間に電位差が生じ、液晶層 40 に所定の電圧が印加される。そして、液晶表示パネル 50 では、各副画素において、液晶層 40 に印加する電圧の大きさによって液晶層 40 の配向状態を変えることにより、液晶層 40 の光透過率を調整して、表示領域 D で画像表示が行われる。

[0070] 次に、本実施形態の液晶表示パネル 50 を製造する方法について説明する。ここで、本実施形態の液晶表示パネル 50 の製造方法は、アクティブマトリクス基板製造工程、対向基板製造工程及び液晶注入工程を備える。

[0071] <アクティブマトリクス基板製造工程>

まず、ガラス基板などの透明基板 10 上に、例えば、CVD (Chemical Vapor Deposition) 法により、窒化シリコン膜、酸化シリコン膜又はそれらの積層膜などを厚さ 50 nm 程度で成膜して、下地膜 11 を形成する。

[0072] 続いて、下地膜 11 が形成された基板全体に、例えば、CVD 法により、真性アモルファスシリコン膜を厚さ 50 nm 程度で成膜した後に、レーザー光の照射などのアニール処理により多結晶化してポリシリコン膜を形成し、そのポリシリコン膜に対して、フォトリソグラフィ処理、エッチング処理及びレジストの剥離処理を行うことにより、半導体層 12 a などを形成する。

[0073] その後、半導体層 12 a などが形成された基板全体に、例えば、CVD 法により、窒化シリコン膜、酸化シリコン膜又はそれらの積層膜などを厚さ 1

00 nm程度で成膜して、ゲート絶縁膜13を形成する。

[0074] さらに、ゲート絶縁膜13が形成された基板全体に、例えば、スパッタリング法により、タングステン膜などの金属膜を厚さ300 nm程度で成膜した後に、その金属膜に対して、フォトリソグラフィ処理、エッチング処理及びレジストの剥離処理を行うことにより、ゲート信号線14c、ゲート電極14a及び配線層14bなどを形成する。

[0075] 続いて、ゲート信号線14cなどが形成された基板上の半導体層12aなどに対して、ゲート電極14aをマスクとしてリンやホウ素などの不純物を注入することにより、半導体層12aなどにチャネル領域、ソース領域及びドレイン領域を形成する。

[0076] さらに、半導体層12aのチャネル領域、ソース領域及びドレイン領域が形成された基板全体に、例えば、CVD法により、窒化シリコン膜、酸化シリコン膜又はそれらの積層膜などの無機絶縁膜を厚さ700 nm程度で成膜した後に、その無機絶縁膜及びその下層のゲート絶縁膜13に対して、フォトリソグラフィ処理、エッチング処理及びレジストの剥離処理を行うことにより、コンタクトホール15a、15b、15c及び15dを有する層間絶縁膜15を形成する。

[0077] そして、層間絶縁膜15が形成された基板全体に、例えば、スパッタリング法により、アルミニウム膜などの金属膜を厚さ350 nm程度で成膜した後に、その金属膜に対して、フォトリソグラフィ処理、エッチング処理及びレジストの剥離処理を行うことにより、ソース信号線16a、ドレイン電極16b及び金属導電層16cなどを形成して、TF T5及びそれを備えたデマルチプレクサ回路部3の各第1単位回路3uを形成する。このとき、各副画素毎に配置するTF T、ゲート制御回路1、並びに周辺回路部4の各第2単位回路4uの検査回路6e及び保護回路9eも同時に形成される。

[0078] さらに、ソース信号線16aなどが形成された基板全体に、例えば、スピンコート法やスリットコート法により、アクリル系の感光性樹脂膜を厚さ2 μ m程度で塗布した後に、その塗布膜に対して、プリベーク、露光、現像及

びポストベークを行うことにより、コンタクトホールを有する保護絶縁膜 17 を形成する。

[0079] そして、保護絶縁膜 17 が形成された基板全体に、例えば、スパッタリング法により、ITO (Indium Tin Oxide) 膜などの透明導電膜を厚さ 100 nm 程度で成膜した後に、その透明導電膜に対して、フォトリソグラフィ処理、エッチング処理及びレジストの剥離処理を行うことにより、画素電極 18a 及び透明導電層 18b を形成する。

[0080] 最後に、画素電極 18a などが形成された基板全体に、例えば、スピコート法、スリットコート法又は印刷法により、ポリイミド系の樹脂膜を塗布した後に、その塗布膜に対して、焼成及びラビング処理を行うことにより、配向膜を形成する。

[0081] 以上のようにして、本実施形態のアクティブマトリクス基板 20a を製造することができる。

[0082] <対向基板製造工程>

まず、ガラス基板などの透明基板の基板全体に、例えば、スピコート法又はスリットコート法により、黒色に着色された感光性樹脂を塗布した後に、その塗布膜を露光及び現像することにより、ブラックマトリクスを厚さ 1 μ m 程度に形成する。

[0083] 続いて、上記ブラックマトリクスが形成された基板全体に、例えば、スピコート法又はスリットコート法により、赤色、緑色又は青色に着色された感光性樹脂を塗布した後に、その塗布膜を露光及び現像することにより、選択した色の着色層（例えば、赤色層）を厚さ 1 μ m ～ 3 μ m 程度に形成する。そして、他の 2 色についても同様な工程を繰り返して、他の 2 色の着色層（例えば、緑色層及び青色層）を厚さ 1 μ m ～ 3 μ m 程度に形成する。

[0084] さらに、上記各着色層が形成された基板全体に、例えば、スパッタリング法により、ITO 膜などの透明導電膜をマスクを用いて厚さ 100 nm 程度で成膜することにより、共通電極を形成する。

[0085] そして、上記共通電極が形成された基板全体に、例えば、スピコート法

やスリットコート法により、アクリル系の感光性樹脂膜を厚さ 4 μ m 程度で塗布した後に、その塗布膜に対して、プリベーク、露光、現像及びポストベークを行うことにより、フォトスペーサを形成する。

[0086] 最後に、上記フォトスペーサが形成された基板全体に、例えば、スピンコート法、スリットコート法又は印刷法により、ポリイミド系の樹脂膜を塗布した後に、その塗布膜に対して、焼成及びラビング処理を行うことにより、配向膜を形成する。

[0087] 以上のようにして、本実施形態の対向基板 30 を製造することができる。

[0088] <液晶注入工程>

まず、例えば、上記対向基板製造工程で製造された対向基板 30 の表面に、UV (ultraviolet) 硬化及び熱硬化の併用型樹脂などからなるシール材 45 を枠状に印刷した後に、シール材 45 の内側に液晶材料 (40) を滴下する。

[0089] 続いて、液晶材料 (40) が滴下された対向基板 30 と、上記アクティブマトリクス基板製造工程で製造されたアクティブマトリクス基板 20a とを、減圧下で貼り合わせた後に、その貼り合わせた貼合体を大気圧に開放することにより、その貼合体の表面及び裏面を加圧する。

[0090] さらに、上記貼合体に挟持されたシール材 45 に UV 光を照射した後に、その貼合体を加熱することによりシール材 45 を硬化させる。

[0091] 最後に、シール材 45 を硬化させた貼合体を、例えば、ダイシングにより分断することにより、その不要な部分を除去する。

[0092] 以上のようにして、本実施形態の液晶表示パネル 50 を製造することができる。

[0093] 次に、本実施形態の実施例のアクティブマトリクス基板 20 における端子領域 D に沿う額縁領域 F の幅と、比較例のアクティブマトリクス基板 120 における端子領域 D に沿う額縁領域 F の幅との差異について説明する。ここで、図 14 は、本実施形態のアクティブマトリクス基板 20 による効果を示す説明図である。なお、図 14 では、複数の第 1 ビデオ信号線 8a 及び 10

8 a、並びに複数の第2ビデオ信号線8 b及び108 bを全体の輪郭形状で示している。

[0094] アクティブマトリクス基板20は、図14に示すように、複数の第2ビデオ信号線8 bを図中左右に2つに分けているだけで、その他の構成が上述したアクティブマトリクス基板20 aと実質的に同じになっている。また、アクティブマトリクス基板120は、図14に示すように、周辺回路部104を構成する各第2単位回路104 uが一定の配列ピッチで配列しているだけで、その他の構成がアクティブマトリクス基板20と実質的に同じになっている。

[0095] アクティブマトリクス基板20及びアクティブマトリクス基板120を、下記の表1の条件のように、設計すると、具体的には、アクティブマトリクス基板20において、周辺回路部4を構成する両外側の132個の第2単位回路4 u aの配列ピッチが $81\mu\text{m}$ になり、内側の456個の第2単位回路4 u bの配列ピッチが $39\mu\text{m}$ になるように設計すると共に、アクティブマトリクス基板120において、周辺回路部104を構成する720個の第2単位回路104 uの配列ピッチが $54.5\mu\text{m}$ になるように設計すると、アクティブマトリクス基板20の第2ビデオ信号線8 bにかかる額縁寸法H aが $1410\mu\text{m}$ となり、アクティブマトリクス基板120の第2ビデオ信号線108 bにかかる額縁寸法H bが $1770\mu\text{m}$ となることにより、最終的な端子領域Dに沿う額縁領域Fの幅が $360\mu\text{m}$ ($=6710\mu\text{m}-6350\mu\text{m}$) 狭くなることが確認された。

[0096]

[表1]

		実施例	比較例
副画素サイズ		27 μ m×81 μ m	27 μ m×81 μ m
副画素数		720×RGB×1280	720×RGB×1280
画面サイズ(対角寸法)		4.68型(118.9mm)	4.68型(118.9mm)
フリップ回路部	単位回路の高さ	300 μ m	300 μ m
	単位回路のピッチ	27 μ m×2160個	27 μ m×2160個
	単位回路の高さ	1000 μ m	1000 μ m
	単位回路のピッチ	81 μ m×132個+39 μ m x456個+81 μ m×132個	54.5 μ m×720個
トランシスタ(出力側端子ピッチ)		28 μ m	28 μ m
ピッチ信号線のピッチ(ピッチ)		L/S=約4 μ m/4 μ m	L/S=約4 μ m/4 μ m
額縁領域の寸法(μ m)	表示領域～フリップ回路部	90	90
	フリップ回路部	300	300
	第1ピッチ信号線	1000	1000
	周辺回路部	1000	1000
	第2ピッチ信号線	1410	1770
	実装領域	1360	1360
	IC～ピッチ端	1190	1190
	計(表示領域～ピッチ端)	6350	6710

[0097] 以上説明したように、本実施形態のアクティブマトリクス基板20a(2

0)及びそれを備えた液晶表示パネル50によれば、矩形状の表示領域Dの

周りに規定された額縁領域Fのうち、基板端側に規定された端子領域Tに沿

う額縁領域Fにおいて、表示領域Dに近い側のデジタルスイッチ回路部3と

端子領域Tの一部の実装領域Mとの間に周辺回路部4が設けられ、周辺回路

部4には、モニリシツクに設けられた複数の第2単位回路4uが表示領域D

の一边に沿って一列に配列され、複数の第2単位回路4uの配列ピッチが内

側よりも外側で広くなっているので、周辺回路部4(104)の表示領域D

の一辺に沿う長さが共通であり、周辺回路部 4 (104) に含まれる第 2 単位回路 4 u (104 u) の個数が共通であると想定し、複数の第 2 単位回路 104 u の配列ピッチが平均的な値で一定である場合よりも、複数の第 2 ビデオ信号線 8 b の全体の輪郭形状における絞りを緩くする、すなわち、最も外側に配置される第 2 ビデオ信号線 8 b の表示領域 D の一辺と交差する角度 θ_b を小さくすることができる。これにより、複数の第 2 ビデオ信号線 8 b の全体の輪郭形状における表示領域 D の一辺と直交する方向の長さ H が短くなるので、3 辺フリー構造を有するアクティブマトリクス基板 20 a 及びそれを備えた液晶表示パネル 50 において、端子領域 T に沿う額縁領域 F の幅を可及的に狭くすることができる。

[0098] また、本実施形態のアクティブマトリクス基板 20 a によれば、周辺回路部 4 の表示領域 D の一辺に沿う長さがデマルチプレクサ回路部 3 の表示領域 D の一辺に沿う長さよりも短くなっているため、周辺回路部 4 の両端の近傍に、例えば、レベルシフト回路、バッファ回路、一般信号用の保護回路、デマルチプレクサ回路用の制御信号線、その制御信号用の保護回路などの他の回路や配線を配置するスペースを確保することができる。

[0099] なお、本実施形態では、各単位回路 4 u においてデマルチプレクサ回路部 3 側から検査回路 6 e 及び保護回路 9 e が順に設けられた周辺回路部 4 を備えたアクティブマトリクス基板 20 a を例示したが、周辺回路部 4 の各単位回路 4 u は、デマルチプレクサ回路部 3 側から保護回路 (9 e) 及び検査回路 (6 e) が順に設けられた構成であってもよい。

[0100] 《発明の実施形態 2》

図 15 は、本実施形態のアクティブマトリクス基板 20 b の平面図である。なお、以下の各実施形態において、図 1 ～図 14 と同じ部分については同じ符号を付して、その詳細な説明を省略する。

[0101] 上記実施形態 1 では、周辺回路部 4 に検査回路 6 e 及び保護回路 9 e が設けられたアクティブマトリクス基板 20 a を例示したが、本実施形態では、周辺回路部 6 に検査回路だけが設けられたアクティブマトリクス基板 20 b

を例示する。

[0102] アクティブマトリクス基板 20b では、図 15 に示すように、周辺回路部 6 を構成し、単位回路部として設けられた各第 2 単位回路 6u が上記実施形態 1 のアクティブマトリクス基板 20a の検査回路 6e に相当し、その他の構成が上記実施形態 1 のアクティブマトリクス基板 20a と実質的に同じになっている。

[0103] 以上説明したように、本実施形態のアクティブマトリクス基板 20b によれば、上記実施形態 1 と同様に、周辺回路部 6 を構成する複数の第 2 単位回路 6u の配列ピッチが内側よりも外側で広がっているので、3 辺フリー構造を有するアクティブマトリクス基板 20b において、端子領域 T に沿う額縁領域 F の幅を可及的に狭くすることができる。

[0104] 《発明の実施形態 3》

図 16 は、本実施形態のアクティブマトリクス基板 20c の平面図である。

[0105] 上記実施形態 2 では、周辺回路部 6 に検査回路だけが設けられたアクティブマトリクス基板 20b を例示したが、本実施形態では、周辺回路部 9 に保護回路だけが設けられたアクティブマトリクス基板 20c を例示する。

[0106] アクティブマトリクス基板 20c では、図 16 に示すように、周辺回路部 9 を構成し、単位回路部として設けられた各第 2 単位回路 9u が上記実施形態 1 のアクティブマトリクス基板 20a の保護回路 9e に相当し、その他の構成が上記実施形態 1 のアクティブマトリクス基板 20a と実質的に同じになっている。

[0107] 以上説明したように、本実施形態のアクティブマトリクス基板 20c によれば、上記実施形態 1 及び 2 と同様に、周辺回路部 9 を構成する複数の第 2 単位回路 9u の配列ピッチが内側よりも外側で広がっているので、3 辺フリー構造を有するアクティブマトリクス基板 20c において、端子領域 T に沿う額縁領域 F の幅を可及的に狭くすることができる。

[0108] 《発明の実施形態 4》

図 1 7 は、本実施形態のアクティブマトリクス基板 2 0 d の平面図である。

[0109] 上記各実施形態では、デマルチプレクサ部 3 及び実装領域 M の間に 1 つの周辺回路部 4、6 及び 9 が設けられたアクティブマトリクス基板 2 0 a、2 0 b 及び 2 0 c を例示したが、本実施形態では、デマルチプレクサ部 3 及び実装領域 M の間に 2 つの周辺回路部が設けられたアクティブマトリクス基板 2 0 d を例示する。

[0110] アクティブマトリクス基板 2 0 d では、図 1 7 に示すように、デマルチプレクサ回路部 3 及び実装領域 M の間の額縁領域 F に第 1 周辺回路部 6 a が設けられている。そして、第 1 周辺回路 6 a は、図 1 7 に示すように、表示領域 D の一辺（図中の下辺）に沿って一列に配列された複数の第 2 単位回路 6 a u を複数の第 1 単位回路部として備えている。さらに、第 1 周辺回路部 6 a の近傍には、図 1 7 に示すように、レベルシフト回路、バッファ回路、一般信号用の保護回路、デマルチプレクサ回路用の制御信号線、その制御信号用の保護回路などの付属配線回路 2 がモノリシックに形成されている。ここで、複数の第 2 単位回路 6 a u の配列ピッチは、内側よりも外側で広がっている。そして、各第 2 単位回路 6 a u は、上記実施形態 1 のアクティブマトリクス基板 2 0 a の検査回路 6 e と実質的に同じになっている。

[0111] また、アクティブマトリクス基板 2 0 d では、図 1 7 に示すように、第 1 周辺回路部 6 a 及び実装領域 M の間の額縁領域 F に第 2 周辺回路部 9 a が設けられている。そして、第 2 周辺回路 9 a は、図 1 7 に示すように、表示領域 D の一辺（図中の下辺）に沿って一列に配列された複数の第 3 単位回路 9 a u を複数の第 2 単位回路部として備えている。ここで、複数の第 3 単位回路 9 a u の配列ピッチは、内側よりも外側で広がっている。そして、各第 3 単位回路 9 a u は、上記実施形態 1 のアクティブマトリクス基板 2 0 a の保護回路 9 e と実質的に同じになっている。

[0112] 複数の第 2 単位回路 6 a u は、図 1 7 に示すように、複数の第 1 配線として設けられた複数の第 1 ビデオ信号線 8 a を介して、複数の第 1 単位回路 3

uにそれぞれ接続されている。

[0113] 複数の第3単位回路9 a uは、図17に示すように、複数の第2配線として設けられた複数の第2ビデオ信号線8 bを介して、複数の第2単位回路6 a uにそれぞれ接続されている。

[0114] 複数の第2ビデオ信号線8 bは、図17に示すように、複数の第2単位回路6 a uから複数の第3単位回路9 a uに向けて全体の輪郭形状が絞られるようにそれぞれ設けられている。

[0115] 複数の第3単位回路9 a uは、図17に示すように、複数の第3配線として設けられた複数の第3ビデオ信号線8 cを介して、実装領域Mに設けられた複数の端子(7)にそれぞれ接続されている。

[0116] 複数の第3ビデオ信号線8 cは、図17に示すように、複数の第3単位回路9 a uから実装領域Mに向けて全体の輪郭形状が絞られるようにそれぞれ設けられている。

[0117] 以上説明したように、本実施形態のアクティブマトリクス基板20 dによれば、矩形状の表示領域Dの周りに規定された額縁領域Fのうち、基板端側に規定された端子領域Tに沿う額縁領域Fにおいて、表示領域Dに近い側のデマルチプレクサ回路部3と端子領域Tの一部の実装領域Mとの間に第1周辺回路部6 a及び第2周辺回路部が設けられ、第1周辺回路部6 a及び第2周辺回路部には、モノリシックに設けられた複数の第2単位回路6 a u及び複数の第3単位回路9 a uがそれぞれ表示領域Dの一辺に沿って一列に配列され、複数の第2単位回路6 a u及び複数の第3単位回路9 a uの各配列ピッチが内側よりも外側で広がっているので、例えば、第1周辺回路部6 aの表示領域Dの一辺に沿う長さが共通であり、第1周辺回路部6 aに含まれる第2単位回路6 a uの個数が共通であり、第2周辺回路部9 aの表示領域Dの一辺に沿う長さが共通であり、第2周辺回路部9 aに含まれる第3単位回路9 a uの個数が共通であると想定し、複数の第2単位回路及び複数の第3単位回路における配列ピッチが平均的な値で一定である場合よりも、複数の第2ビデオ信号線8 b及び複数の第3ビデオ信号線8 cの全体の輪郭形状

における絞りを緩くする、すなわち、最も外側に配置される第2ビデオ信号線8b及び第3ビデオ信号線8cの表示領域Dの一辺と交差する角度を小さくすることができる。これにより、複数の第2ビデオ信号線8b及び複数の第3ビデオ信号線8cの全体の輪郭形状における表示領域Dの一辺と直交する方向の長さが短くなるので、3辺フリー構造を有するアクティブマトリクス基板20dにおいて、端子領域Tに沿う額縁領域Fの幅を可及的に狭くすることができる。

[0118] また、本実施形態のアクティブマトリクス基板20dによれば、第1周辺回路部6aの表示領域Dの一辺に沿う長さがデマルチプレクサ回路部3の表示領域Dの一辺に沿う長さよりも短くなっていると共に、第2周辺回路部9aの表示領域Dの一辺に沿う長さよりも長くなっているため、第1周辺回路部6a及び第2周辺回路部9aの各両端の近傍に、例えば、レベルシフト回路、バッファ回路、一般信号用の保護回路、デマルチプレクサ回路用の制御信号線、制御信号用の保護回路などの他の回路や配線を配置するスペースを確保することができる。

[0119] なお、本実施形態では、複数の第2単位回路6auの配列ピッチ、及び複数の第3単位回路9auの配列ピッチが内側よりも外側で広いアクティブマトリクス基板20dを例示したが、本発明は、複数の第2単位回路6auの配列ピッチ、又は複数の第3単位回路9auの配列ピッチが内側よりも外側で広いアクティブマトリクス基板にも適用することができる。

[0120] 《発明の実施形態5》

図18は、本実施形態のアクティブマトリクス基板20eの平面図である。

[0121] 上記実施形態4では、デマルチプレクサ部3及び実装領域Mの間に、検査回路として機能する第1周辺回路部6a、及び保護回路として機能する第2周辺回路部9aがデマルチプレクサ部3から順に設けられたアクティブマトリクス基板20dを例示したが、本実施形態では、デマルチプレクサ部3及び実装領域Mの間に、保護回路として機能する第1周辺回路部9b、及び検

査回路として機能する第2周辺回路部6bがデマルチプレクサ部3から順に設けられたアクティブマトリクス基板20eを例示する。

[0122] アクティブマトリクス基板20eでは、図18に示すように、デマルチプレクサ回路部3及び実装領域Mの間の額縁領域Fに第1周辺回路部9bが設けられている。そして、第1周辺回路9bは、図18に示すように、表示領域Dの一辺（図中の下辺）に沿って一列に配列された複数の第2単位回路9buを複数の第1単位回路部として備えている。さらに、第1周辺回路部9bの近傍には、図18に示すように、レベルシフト回路、バッファ回路、一般信号用の保護回路、デマルチプレクサ回路用の制御信号線、その制御信号用の保護回路などの付属配線回路2がモノリシックに形成されている。ここで、複数の第2単位回路9buの配列ピッチは、内側よりも外側で広がっている。そして、各第2単位回路9buは、上記実施形態1のアクティブマトリクス基板20aの保護回路9eと実質的に同じになっている。

[0123] また、アクティブマトリクス基板20eでは、図18に示すように、第1周辺回路部9b及び実装領域Mの間の額縁領域Fに第2周辺回路部6bが設けられている。そして、第2周辺回路6bは、図18に示すように、表示領域Dの一辺（図中の下辺）に沿って一列に配列された複数の第3単位回路6buを複数の第2単位回路部として備えている。ここで、複数の第3単位回路6buの配列ピッチは、内側よりも外側で広がっている。そして、各第3単位回路6buは、上記実施形態1のアクティブマトリクス基板20aの検査回路6eと実質的に同じになっている。

[0124] 複数の第2単位回路9buは、図18に示すように、複数の第1配線として設けられた複数の第1ビデオ信号線8aを介して、複数の第1単位回路3uにそれぞれ接続されている。

[0125] 複数の第3単位回路6buは、図18に示すように、複数の第2配線として設けられた複数の第2ビデオ信号線8bを介して、複数の第2単位回路9buにそれぞれ接続されている。

[0126] 複数の第2ビデオ信号線8bは、図18に示すように、複数の第2単位回

路 9 b u から複数の第 3 単位回路 6 b u に向けて全体の輪郭形状が絞られるようにそれぞれ設けられている。

[0127] 複数の第 3 単位回路 6 b u は、図 18 に示すように、複数の第 3 配線として設けられた複数の第 3 ビデオ信号線 8 c を介して、実装領域 M に設けられた複数の端子（7）にそれぞれ接続されている。

[0128] 複数の第 3 ビデオ信号線 8 c は、図 18 に示すように、複数の第 3 単位回路 6 b u から実装領域 M に向けて全体の輪郭形状が絞られるようにそれぞれ設けられている。

[0129] 以上説明したように、本実施形態のアクティブマトリクス基板 20 e によれば、上記実施形態 4 と同様に、第 1 周辺回路部 9 b を構成する複数の第 2 単位回路 9 b u の配列ピッチ、及び第 2 周辺回路部 6 b を構成する複数の第 3 単位回路 6 b u の配列ピッチが内側よりも外側で広がっているので、3 辺フリー構造を有するアクティブマトリクス基板 20 e において、端子領域 T に沿う額縁領域 F の幅を可及的に狭くすることができる。

[0130] なお、本実施形態では、複数の第 2 単位回路 9 b u の配列ピッチ、及び複数の第 3 単位回路 6 b u の配列ピッチが内側よりも外側で広いアクティブマトリクス基板 20 e を例示したが、本発明は、複数の第 2 単位回路 9 b u の配列ピッチ、又は複数の第 3 単位回路 6 b u の配列ピッチが内側よりも外側で広いアクティブマトリクス基板にも適用することができる。

[0131] なお、上記各実施形態では、額縁領域にデマルチプレクサ回路がモノリシックに設けられたアクティブマトリクス基板を例示したが、本発明は、デマルチプレクサ回路が省略されたアクティブマトリクス基板、すなわち、駆動用 IC でソース信号を直接駆動するアクティブマトリクス基板にも適用することができる。

[0132] また、上記各実施形態では、ソース側の額縁領域 F の幅が狭くなるアクティブマトリクス基板を例示したが、本発明は、ゲート側の額縁領域 F の幅が狭くなるアクティブマトリクス基板にも適用することができる。

[0133] また、上記各実施形態では、表示領域 D の中心線 C に対して左右対称の配

線構造を有するアクティブマトリクス基板を例示したが、本発明は、表示領域Dの中心線Cに対して左右非対称の配線構造を有するアクティブマトリクス基板にも適用することができる。

[0134] また、上記各実施形態では、表示パネルとして、液晶表示パネルを例示したが、本発明は、有機EL (Electro Luminescence) 表示パネル、無機EL表示パネル、プラズマ表示パネル、電子ペーパーなどの他の表示パネルにも適用することができ、また、パネルの小型化が要望されるモバイル用途の表示パネルだけでなく、テレビジョンや電子看板などのモニター用途の大型の表示パネルなどにも適用することができる。

[0135] また、上記各実施形態では、各画素が3つの副画素（赤、緑及び青）を有する液晶表示パネルを例示したが、本発明は、各画素が4つ以上の副画素（例えば、赤、緑、青及び黄や赤、緑、青及び白など）を有する表示パネルにも適用することができる。

[0136] また、上記各実施形態では、画素電極に接続されたTFTの電極をドレイン電極としたアクティブマトリクス基板を例示したが、本発明は、画素電極に接続されたTFTの電極をソース電極と呼ぶアクティブマトリクス基板にも適用することができる。

産業上の利用可能性

[0137] 以上説明したように、本発明は、3辺フリー構造を有するアクティブマトリクス基板において、端子領域に沿う額縁領域の幅を可及的に狭くすることができるので、モバイル用途の電子機器に搭載される表示パネルについて有用である。

符号の説明

[0138]	D	表示領域
	F	額縁領域
	M	実装領域
	T	端子領域
	3	デマルチプレクサ回路部

- 3 u 第1単位回路
- 4 周辺回路部
- 4 u, 4 u a, 4 u b 第2単位回路（単位回路部）
- 6 周辺回路部
- 6 a 第1周辺回路部
- 6 a u 第2単位回路（第1単位回路部）
- 6 u 第2単位回路（単位回路部）
- 6 b 第2周辺回路部
- 6 b u 第3単位回路（第2単位回路部）
- 6 e 検査回路
- 8 ビデオ信号線
- 8 a 第1ビデオ信号線（第1配線）
- 8 b 第2ビデオ信号線（第2配線）
- 8 c 第3ビデオ信号線（第3配線）
- 9 周辺回路部
- 9 a 第2周辺回路部
- 9 a u 第3単位回路（第2単位回路部）
- 9 b 第1周辺回路部
- 9 b u 第2単位回路（第1単位回路部）
- 9 u 第2単位回路（単位回路部）
- 9 e、9 e a～9 e c 保護回路
- 16 a ソース信号線
- 20, 20 a～20 e アクティブマトリクス基板
- 30 対向基板
- 40 液晶層（表示媒体層）
- 50 液晶表示パネル

請求の範囲

[請求項1]

画像表示を行う矩形状の表示領域と、
上記表示領域の周りに規定された額縁領域と、
上記額縁領域において、上記表示領域の一辺に沿って基板端側に規定された端子領域と、
上記端子領域の一部において、上記表示領域の一辺に沿って規定された実装領域と、
上記表示領域において、上記表示領域の一辺に直交する方向に互いに平行に延びるように設けられた複数の信号線と、
上記表示領域及び実装領域の間の額縁領域において、モノリシックに設けられた複数の単位回路部が上記表示領域の一辺に沿って一列に配列された周辺回路部と、
上記表示領域及び周辺回路部の間の額縁領域において、上記複数の信号線から上記複数の単位回路部に向けて全体の輪郭形状が絞られるようにそれぞれ設けられた複数の第1配線と、
上記周辺回路部及び実装領域の間の額縁領域において、上記複数の単位回路部から上記実装領域に向けて全体の輪郭形状が絞られるようにそれぞれ設けられた複数の第2配線とを備え、
上記複数の単位回路部の配列ピッチは、内側よりも外側で広がっている、アクティブマトリクス基板。

[請求項2]

上記表示領域及び周辺回路部の間の額縁領域において、上記複数の信号線の隣り合う所定数毎にモノリシックに設けられた複数の第1単位回路が上記表示領域の一辺に沿って一列に配列されたデマルチプレクサ回路部を備え、
上記各第1単位回路は、上記隣り合う所定数の信号線に接続され、
上記複数の単位回路部として、上記複数の第1単位回路に上記複数の第1配線を介してそれぞれ接続された複数の第2単位回路が設けられ、

上記デマルチプレクサ回路部及び周辺回路部の間の額縁領域において、上記複数の第1配線として、上記複数の第1単位回路から上記複数の第2単位回路に向けて全体の輪郭形状が絞られるように複数の第1ビデオ信号線が設けられ、

上記複数の第2配線として、複数の第2ビデオ信号線が設けられている、請求項1に記載のアクティブマトリクス基板。

[請求項3] 上記複数の信号線として、複数のソース信号線が設けられている、請求項1又は2に記載のアクティブマトリクス基板。

[請求項4] 上記各第2単位回路は、上記各第1単位回路に検査信号を入力するための検査回路、及び少なくとも上記各第1単位回路を保護するための保護回路の少なくとも一方を備えている、請求項2又は3に記載のアクティブマトリクス基板。

[請求項5] 上記周辺回路部の上記表示領域の一辺に沿う長さは、上記デマルチプレクサ回路部の上記表示領域の一辺に沿う長さよりも短くなっている、請求項2乃至4の何れか1つに記載のアクティブマトリクス基板。

[請求項6] 画像表示を行う矩形状の表示領域と、
上記表示領域の周りに規定された額縁領域と、
上記額縁領域において、上記表示領域の一辺に沿って基板端側に規定された端子領域と、
上記端子領域の一部において、上記表示領域の一辺に沿って規定された実装領域と、
上記表示領域において、上記表示領域の一辺に直交する方向に互いに平行に延びるように設けられた複数の信号線と、
上記表示領域及び実装領域の間の額縁領域において、モノリシックに設けられた複数の第1単位回路部が上記表示領域の一辺に沿って一列に配列された第1周辺回路部と、
上記第1周辺回路部及び実装領域の間の額縁領域において、モノリ

シツクに設けられ、上記複数の第 1 単位回路部にそれぞれ接続された複数の第 2 単位回路部が上記表示領域の一边に沿って一列に配列され、

た第 2 周辺回路部と、

上記表示領域及び第 1 周辺回路部の間の額縁領域において、上記複数の信号線から上記複数の第 1 単位回路部に向けて全体の輪郭形状が絞られるようにそれぞれ設けられた複数の第 1 配線と、

上記第 1 周辺回路部及び第 2 周辺回路部の間の額縁領域において、上記複数の第 1 単位回路部から上記複数の第 2 単位回路部に向けて全体の輪郭形状が絞られるようにそれぞれ設けられた複数の第 2 配線と

、
上記第 2 周辺回路部及び実装領域の間の額縁領域において、上記複数の第 2 単位回路部から上記実装領域に向けて全体の輪郭形状が絞られるようにそれぞれ設けられた複数の第 3 配線とを備え、

上記複数の第 1 単位回路部及び複数の第 2 単位回路部の少なくとも一方の配列ピッチは、内側よりも外側で広くなっている、フクタイズ

マトリクス基板。

[請求項 7]

上記表示領域及び第 1 周辺回路部の間の額縁領域において、上記複数の信号線の隣り合う所定数毎にモニシツクに設けられた複数の第 1 単位回路部が上記表示領域の一边に沿って一列に配列されたフクタイズ

マトリクス回路部を備え、

上記各第 1 単位回路は、上記隣り合う所定数の信号線に接続され、
上記複数の第 1 単位回路部として、上記複数の第 1 単位回路に上記複数の第 1 配線を介してそれぞれ接続された複数の第 2 単位回路が設けられ、

上記複数の第 2 単位回路部として、上記複数の第 2 単位回路に上記複数の第 2 配線を介してそれぞれ接続された複数の第 3 単位回路が設けられ、

上記フクタイズ回路部及び第 1 周辺回路部の間の額縁領域に

において、上記複数の第 1 配線として、上記複数の第 1 単位回路から上記複数の第 2 単位回路に向けて全体の輪郭形状が絞られるように複数の第 1 ビデオ信号線が設けられ、

上記第 1 周辺回路部及び第 2 周辺回路部間の額縁領域において、上記複数の第 2 配線として、上記複数の第 2 単位回路から上記複数の第 3 単位回路に向けて全体の輪郭形状が絞られるように複数の第 2 ビデオ信号線が設けられ、

上記複数の第 3 配線として、複数の第 3 ビデオ信号線が設けられており、請求項 6 に記載のフクタイズトリクス基板。

上記複数の第 2 単位回路は、上記各第 1 単位回路に検査信号を入力する請求項 6 又は 7 に記載のフクタイズトリクス基板。

上記各第 2 単位回路は、上記各第 1 単位回路に検査信号を入力するための検査回路であり、

上記各第 3 単位回路は、少なくとも上記各第 1 単位回路を保護するための保護回路である、請求項 7 又は 8 に記載のフクタイズトリクス基板。

上記各第 2 単位回路は、少なくとも上記各第 1 単位回路を保護するための保護回路であり、

上記各第 3 単位回路は、上記各第 1 単位回路に検査信号を入力するための検査回路である、請求項 7 又は 8 に記載のフクタイズトリクス基板。

上記第 1 周辺回路部の上記表示領域の一边に沿う長さは、上記ザラチズレクサ回路部の上記表示領域の一边に沿う長さよりも短くなっていると共に、上記第 2 周辺回路部の上記表示領域の一边に沿う長さよりも長くなっている、請求項 7 乃至 10 の何れか 1 つに記載のフクタイズトリクス基板。

請求項 1 乃至 11 の何れか 1 つに記載されたフクタイズトリクス基板と、

[請求項 8]

[請求項 9]

[請求項 10]

[請求項 11]

[請求項 12]

上記アクティブマトリクス基板に対向するように設けられた対向基板と、

上記アクティブマトリクス基板及び対向基板の間に設けられた表示媒体層とを備えている、表示パネル。

[請求項13] 上記表示媒体層は、液晶層である、請求項 1 2 に記載の表示パネル。