

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年2月27日(27.02.2025)



(10) 国際公開番号
WO 2025/041594 A1

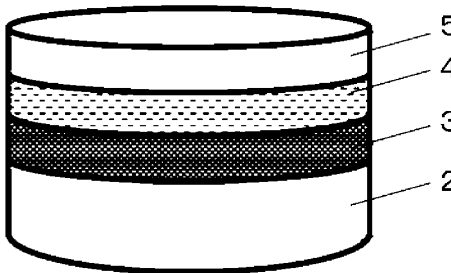
- (51) 国際特許分類:
H01L 27/12 (2006.01) *H01L 21/324* (2006.01)
H01L 21/02 (2006.01) *C30B 25/20* (2006.01)
H01L 21/20 (2006.01) *C30B 29/06* (2006.01)
H01L 21/205 (2006.01) *C30B 33/02* (2006.01)
- (21) 国際出願番号: PCT/JP2024/028032
- (22) 国際出願日: 2024年8月6日(06.08.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-135700 2023年8月23日(23.08.2023) JP
- (71) 出願人: 信越半導体株式会社 (SHIN-ETSU HANDOTAI CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 Tokyo (JP).
- (72) 発明者: 生垣 賢 (IKIGAKI Ken); 〒3790196 群馬県安中市磯部二丁目13番1号 信越半導体株式会社 半導体磯部研究所内 Gunma (JP). 鈴木 温 (SUZUKI Atsushi); 〒9618061 福島県西白河郡西郷村大字小田倉字大平150番地 信越半導体株式会社 半導体白河研究所内 Fukushima (JP).
- (74) 代理人: 好宮 幹夫, 外 (YOSHIMIYA Mikio et al.); 〒1100005 東京都台東区上野7丁目6番11号 第一下谷ビル8F Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

(54) Title: SOI WAFER AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: S O I ウェーハ及びその製造方法

[図1]

1



(57) Abstract: The present invention is a SOI wafer comprising, in this order on a silicon single crystal substrate having a resistivity of $10-5000 \Omega \cdot \text{cm}$: a silicon epitaxial film having a carbon concentration of not less than $2 \times 10^{19} \text{atoms/cm}^3$ and less than $3 \times 10^{20} \text{atoms/cm}^3$, and including carbon defects; a dielectric layer; and a silicon single crystal film, wherein the thickness of the silicon epitaxial film satisfies the relationship $6.6 \times 10^{20} \times \exp\{-1.6 \times [\text{thickness of epitaxial film } (\mu\text{m})]\} > [\text{carbon concentration of epitaxial film } (\text{atoms/cm}^3)]$. Thus, there is provided a SOI wafer for a high-frequency integrated circuit board comprising an epitaxial wafer in which a silicon epitaxial film containing carbon at a high concentration is formed on a normal resistivity substrate, wherein the ability to reduce harmonics is superior to that of a SOI wafer comprising a conventional polysilicon layer as a trap-rich layer. Also provided is a method for manufacturing the SOI wafer for a high-frequency

[続葉有]

WO 2025/041594 A1

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

integrated circuit board that can be processed easily.

(57) 要約: 本発明は、抵抗率が $10\Omega \cdot \text{cm}$ 以上 $5000\Omega \cdot \text{cm}$ 以下のシリコン単結晶基板上に、炭素濃度が $2 \times 10^{19} \text{ atoms/cm}^3$ 以上 $3 \times 10^{20} \text{ atoms/cm}^3$ 未満であり、かつ炭素欠陥を含むシリコンエピタキシャル膜、誘電体層、及び、シリコン単結晶膜をこの順に備え、前記シリコンエピタキシャル膜の厚さは、 $6.6 \times 10^{20} \times \exp\{-1.6 \times [\text{エピタキシャル膜の厚さ}(\mu\text{m})]\}$ $>$ $[\text{エピタキシャル膜の炭素濃度}(\text{atoms/cm}^3)]$ を満たすSOIウェーハである。これにより、高濃度に炭素を含有するシリコンエピタキシャル膜を通常抵抗率基板上へ形成したエピタキシャルウェーハを用いたSOIウェーハであって、高調波を低減する能力が従来のポリシリコン層をトラップリッチ層として用いたSOIウェーハより優れており、かつ加工プロセスが容易な高周波用集積回路基板用のSOIウェーハ及びその製造方法が提供される。