

半导体结构及其形成方法

相关申请的交叉引用

本公开基于申请号为 202111007272.0、申请日为 2021 年 08 月 30 日、发明名称为“半导体结构及其形成方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本申请涉及半导体技术领域，涉及但不限于一种半导体结构及其形成方法。

背景技术

环栅场效应晶体管（Gate All Around Field Effect Transistor, GAAFET）由于具有更好的栅极控制特性，能够实现更好的开关特性及更有效的抑制短沟道效应，被认为是替代传统场效应晶体管的最佳候选者。然而 GAAFET 沟道制备工艺十分复杂，工艺随机波动在小尺寸下表现十分明显，工艺波动对器件和电路电学性能的影响需要格外重视。

发明内容

本申请提供一种半导体结构及其形成方法。

第一方面，本申请实施例提供一种半导体结构的形成方法，包括：
提供基底；其中，所述基底包括依次形成的衬底、第一半导体层和第二半导体层；

在所述基底中形成间隔分布的第一隔离结构和第二隔离结构；其中，相邻两个所述第一隔离结构之间包括在所述第二半导体层中形成的源极层和在所述衬底中形成的漏极层，所述第一隔离结构的延伸方向为第一方向，所述第二隔离结构的延伸方向为第二方向，所述第一隔离结构贯穿所述第一半导体层和所述第二半导体层，并部分延伸至所述衬底中，所述第二隔离结构位于所述衬底中；

在所述第一半导体层中形成沟道层，所述沟道层与相邻的两个所述第一隔离结构之间具有延伸方向与所述第一方向相同的通孔；

在所述通孔内形成栅极结构。

在其中一个实施例中，所述在所述基底中形成间隔分布的第一隔离结构和第二隔离结构之前，还包括：
对所述第二半导体层和部分所述衬底进行离子掺杂，以在所述衬底中形成漏极掺杂区，在所述第二半导体层中形成源极掺杂区。

在其中一个实施例中，所述在所述基底中形成间隔分布的第一隔离结构和第二隔离结构，包括：
在所述基底中形成初始第一隔离结构和初始第二隔离结构；其中，所述初始第

一隔离结构的延伸方向为所述第一方向，所述初始第二隔离结构的延伸方向为所述第二方向；所述初始第一隔离结构和初始第二隔离结构贯穿所述第一半导体层和所述第二半导体层，并部分延伸至所述衬底中，以在所述第二半导体层中形成所述源极层，在所述衬底中形成所述漏极层；

5 刻蚀所述初始第一隔离结构形成所述第一隔离结构，刻蚀所述初始第二隔离结构形成所述第二隔离结构。

在其中一个实施例中，所述在所述基底中形成初始第一隔离结构和初始第二隔离结构，包括：

10 在所述基底中形成第二隔离结构沟槽，在所述第二隔离结构沟槽中填充第一介质层形成所述初始第二隔离结构；

在形成所述初始第二隔离结构后的所述基底中形成第一隔离结构沟槽，在所述第一隔离结构沟槽中填充第二介质层和第三介质层形成所述初始第一隔离结构；其中，所述第一隔离结构沟槽和所述第二隔离结构沟槽贯穿所述第一半导体层和所述第二半导体层，并部分延伸至所述衬底中。

15 在其中一个实施例中，所述在所述第一隔离结构沟槽中填充第二介质层和第三介质层形成所述初始第一隔离结构，包括：

在所述第一隔离结构沟槽中填充所述第二介质层；

去除所述第一隔离结构沟槽底部和所述第二半导体表面的所述第二介质层；

在所述第一隔离结构沟槽中填充所述第三介质层，形成所述初始第一隔离结构。

20 在其中一个实施例中，所述刻蚀所述初始第一隔离结构形成所述第一隔离结构，刻蚀所述初始第二隔离结构形成所述第二隔离结构，包括：

刻蚀所述第二半导体层中的所述初始第一隔离结构中的所述第二介质层和所述初始第二隔离结构中的所述第一介质层；

在所述第二半导体层的刻蚀后的所述初始第一隔离结构中填充第四介质层；

25 分别刻蚀所述第一半导体层中的所述初始第一隔离结构中的所述第二介质层和所述初始第二隔离结构中的所述第一介质层，以形成所述第一隔离结构和所述第二隔离结构。

在其中一个实施例中，所述分别刻蚀所述第一半导体层中的所述初始第一隔离结构中的所述第二介质层和所述初始第二隔离结构中的所述第一介质层之后，包括：

30 刻蚀部分所述第一半导体层，形成所述沟道层；其中，所述沟道层与相邻的两个所述第一隔离结构之间具有延伸方向与所述第一方向相同的通孔，且所述沟道层在所述第二方向的宽度小于所述源极层和所述漏极层在所述第二方向的宽度。

在其中一个实施例中，所述去除所述第一隔离结构沟槽底部和所述第二半导体表面的所述第二介质层之后，所述在所述第一隔离结构沟槽中填充所述第三介质层之前，还包括：

35 在所述第一隔离结构沟槽底部沉积金属钴；

退火处理在所述衬底中形成硅化物，以形成掩埋位线；其中，所述漏极层位于所述沟道层和所述掩埋位线之间，所述第一隔离结构延伸至所述衬底中的部分的高度小于所述第二隔离结构位于所述衬底中的部分的高度，所述第二隔离结构贯穿所述掩埋位线。

40 在其中一个实施例中，所述在所述通孔内形成栅极结构，包括：

通过热氧化在所述通孔内形成栅氧化层；

在所述栅氧化层表面填充导电材料，形成所述栅极结构。

在其中一个实施例中，所述方法还包括：

在所述第二半导体层中填充第五介质层，所述第五介质层的顶面与所述第二半导体的顶面齐平；

在每一所述源极层上依次形成接触节点和电容。

- 5 在其中一个实施例中，所述第一介质层的材料包括氧化硅，所述第二介质层的材料和所述第一介质层的材料相同；所述第三介质层的材料包括氮化硅，所述第四介质层的材料和所述第三介质层的材料相同。

在其中一个实施例中，所述栅氧化层的材料包括氧化硅，所述第五介质层的材料包括氮化硅。

- 10 第二方面，本申请实施例还提供一种半导体结构，包括：

基底；其中，所述基底包括依次形成的衬底、第一半导体层和第二半导体层；

位于所述基底中的间隔分布的第一隔离结构和第二隔离结构；其中，所述第一隔离结构的延伸方向为第一方向，所述第二隔离结构的延伸方向为第二方向，所述
15 第一隔离结构贯穿所述第一半导体层和所述第二半导体层，并部分延伸至所述衬底中，所述第二隔离结构位于所述衬底中；

位于所述第二半导体层中的源极层；

位于所述衬底中的漏极层；

位于所述第一半导体层中的沟道层；

- 20 位于所述沟道层与相邻的两个所述第一隔离结构之间具有延伸方向与所述第一方向相同的栅极结构。

- 在其中一个实施例中，所述第一隔离结构包括：位于所述衬底中的第二介质层、位于所述第二半导体层中的第四介质层以及贯穿所述第一半导体层和所述第二半导体层，并部分延伸至所述衬底中的第三介质层；其中，所述第三介质层的侧壁与所述第二介质层和所述第四介质层相接；所述第二隔离结构包括位于衬底中的第一介
25 质层。

在其中一个实施例中，还包括：位于所述衬底中被所述第二隔离结构贯穿的掩埋位线；其中，所述漏极层位于所述沟道层和所述掩埋位线之间，所述第一隔离结构延伸至所述衬底中的部分的高度小于所述第二隔离结构位于所述衬底中的部分的高度。

- 30 在其中一个实施例中，所述衬底、所述第一半导体层和所述第二半导体层依次为硅衬底、锗硅层和硅层。

在其中一个实施例中，所述栅极结构包括：栅氧化层和位于所述栅氧化层表面的导电材料。

在其中一个实施例中，还包括：

- 35 位于所述第二半导体层中的第五介质层；其中，所述第五介质层的顶面与所述第二半导体层的顶面平齐；

位于每一所述源极层上的接触节点和电容。

- 40 在其中一个实施例中，所述第一介质层的材料包括氧化硅，所述第二介质层的材料和所述第一介质层的材料相同；所述第三介质层的材料包括氮化硅，所述第四介质层的材料和所述第三介质层的材料相同。

本申请实施例提供的半导体结构及其形成方法，其中，半导体结构的形成方法包括：提供基底；其中，所述基底包括依次形成的衬底、第一半导体层和第二半导体层；在所述基底中形成间隔分布的第一隔离结构和第二隔离结构；其中，相邻两

个所述第一隔离结构之间包括在所述第二半导体层中形成的源极层和在所述衬底中形成的漏极层，所述第一隔离结构的延伸方向为第一方向，所述第二隔离结构的延伸方向为第二方向，所述第一隔离结构贯穿所述第一半导体层和所述第二半导体层，并部分延伸至所述衬底中，所述第二隔离结构位于所述衬底中；在所述第一半导体层中形成沟道层，所述沟道层与相邻的两个所述第一隔离结构之间具有延伸方向与
5 所述第一方向相同的通孔；在所述通孔内形成栅极结构。本申请实施例中，实现了栅极自对准并形成全环栅结构，提高了栅控制能力和开关速度。

附图说明

在附图（其不一定是按比例绘制的）中，相似的附图标记可在不同的视图中描述相似的部件。具有不同字母后缀的相似附图标记可表示相似部件的不同示例。附图以示例而非限制的方式大体示出了本文中所讨论的各个实施例。

图 1A 为本申请实施例提供的半导体结构的形成方法的一种流程示意图；
图 1B 至图 1E 为本申请实施例提供的半导体结构形成过程的结构示意图；
图 2A 为本申请实施例提供的半导体结构的形成方法的另一种流程示意图；
15 图 2B 至图 2K 为本申请实施例提供的半导体结构形成过程的另一结构示意图；
图 3A 为本申请实施例提供的一种半导体结构示意图；
图 3B 为图 3A 所示结构的正视图；
图 4A 为本申请实施例提供的半导体结构的形成方法的另一种流程示意图；
图 4B 至图 4E 为本申请实施例提供的半导体结构形成过程的另一结构示意图。

具体实施方式

下面将参照附图更详细地描述本申请公开的示例性实施方式。虽然附图中显示了本申请的示例性实施方式，然而应当理解，可以以各种形式实现本申请，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本申请，并且能够将本申请公开的范围完整的传达给本领域的技术人员。

在下文的描述中，给出了大量具体的细节以便提供对本申请更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本申请可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本申请发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

30 本申请实施例提供一种半导体结构的形成方法，如图 1A 所示，所述方法包括以下步骤：

步骤 S101、提供基底；其中，基底包括依次形成的衬底、第一半导体层和第二半导体层；

35 其中，衬底可以是硅衬底、硅锗衬底或绝缘体上硅（Silicon On Insulator, SOI）衬底，也可以是氮化硅衬底或者其他合适的衬底。

第一半导体层的材料可以是硅（Si）、锗（Ge）、或硅锗（SiGe）、碳化硅（SiC）；也可以是绝缘体上硅（SOI），绝缘体上锗（GOI）；或者还可以为其它的材料，例如砷化镓等 III-V 族化合物。在互补金属氧化物半导体（Complementary Metal Oxide Semiconductor, CMOS）工艺方面，SiGe 工艺的成本和硅工艺相当，但在异质结技

术方面, SiGe 工艺的成本比砷化镓工艺还要低。

第二半导体层可以是硅层, 也可以包括其他半导体元素, 例如: 锗 (Ge), 或包括半导体化合物, 例如: 碳化硅 (SiC)、砷化镓 (GaAs)、磷化镓 (GaP)、磷化铟 (InP)、砷化铟 (InAs) 或锑化铟 (InSb), 或包括其他半导体合金, 例如: 硅锗 (SiGe)、
5 磷化砷镓 (GaAsP)、砷化铟铝 (AlInAs)、砷化镓铝 (AlGaAs)、砷化铟镓 (GaInAs)、磷化铟镓 (GaInP)、及/或磷砷化铟镓 (GaInAsP) 或其组合。

在一些实施例中, 所述第一半导体层和第二半导体层可以通过外延形成, 外延生长的方法可以采用分子束外延 (Molecular Beam Epitaxy, MBE)、超低压化学气相淀积与超高真空技术 (Ultrahigh Vacuum Chemical Vapor Deposition, UHV/CVD) 的结合、
10 紫外光化学气相淀积 (Ultra Violet Chemical Vapor Deposition, UV/CVD)、常压化学气相沉积 (Atmospheric Pressure, APCVD) 和快速热化学气相沉积 (Rapid Thermal Chemical Vapor Deposition, RT-CVD) 等。这些技术具备的优点是它们可以在低温 (300 至 700 摄氏度) 下生长外延层, 这个能力不仅对掺杂面的生成非常重要, 而且可使晶格失配的材料以共格的方式结合起来。在 SiGe 合金中, 由于硅 (Si) 和
15 SiGe 组成的量子阱中, 载流子具有更高的迁移率, 电子的迁移率几乎是纯 Si 的两倍。更重要的是, 当 Si、Ge 合金时, 独立式的合金具有金刚石晶体点阵, 该合金的晶格常数在 Si、Ge 值之间近乎线性依赖, 室温下偏差大约为 4.17%, 当这样的 SiGe 层外延生长具有同晶格常数的衬底上时, 如 Si 衬底, 生长层试图修改它面内的晶格常数, 以便与衬底层形成一个共格的晶面。

步骤 S102、在所述基底中形成间隔分布的第一隔离结构和第二隔离结构; 其中, 相邻两个所述第一隔离结构之间包括在所述第二半导体层中形成的源极层和在所述衬底中形成的漏极层, 所述第一隔离结构的延伸方向为第一方向, 所述第二隔离结构的延伸方向为第二方向, 所述第一隔离结构贯穿所述第一半导体层和所述第二半导体层, 并部分延伸至所述衬底中, 所述第二隔离结构位于所述衬底中。

25 这里, 基底顶表面和底表面 (即基底所在的平面) 方向上, 两彼此相交 (例如彼此垂直) 的方向为第一方向和第二方向, 例如, 定义第一方向为 X 轴方向, 定义第二方向为 Y 轴方向。漏极层和源极层具有相反的导电类型。

步骤 S103、在所述第一半导体层中形成沟道层, 所述沟道层与相邻的两个所述第一隔离结构之间具有延伸方向与所述第一方向相同的通孔。

30 这里, 沟道层位于所述漏极层和所述源极层之间。

步骤 S104、在所述通孔内形成栅极结构。

这里, 所述第一隔离结构用于隔离栅极结构。栅极结构可以包括栅氧化层和位于栅氧化层表面的导电材料。其中, 栅氧化层可以作为介质层, 用于实现栅极结构与基底之间的电性隔离。栅氧化层可以通过高温氧化形成, 高温氧化工艺的温度可以是 900 摄氏度至 1200 摄氏度。栅氧化层的材料可以是硅氧化物、硅氮化物、硅氮
35 氧化物、氧化物/氮化物/氧化物 (Oxide Nitride Oxide, ONO) 或具有比硅氧化物层的介电常数更高的介电常数的高 k 的材料, 能有效阻挡来自多晶硅中的硼扩散, 解决硼穿透问题, 同时分布于栅氧化层与基底界面的少量氮原子还可改善此界面的特性, 增强栅氧化层的可靠性, 降低漏电流。例如, 高 k 材料可以具有约 10 到 25 的
40 介电常数, 并且可以包括例如铪氧化物 (HfO_2)、铝氧化物 (Al_2O_3)、铪铝氧化物 (HfAlO_3)、钽氧化物 (Ta_2O_3) 和/或钛氧化物 (TiO_2)。

本申请实施例中, 通过在基底中形成第一隔离结构和第二隔离结构, 在第一半导体层中形成了沟道层, 在沟道层的通孔内形成栅极结构, 实现栅极自对准, 并且

形成全环栅结构，提高了栅控制能力和开关速度。

步骤 S101 至步骤 S104 分别参见图 1B 至图 1E。

如图 1B 所示，所述基底 100 包括依次形成的衬底 101、第一半导体层 102 和第二半导体层 103。

5 结合图 1B 和图 1C，在所述基底（参见图 1B 中的基底 100）中形成间隔分布的第一隔离结构 104 和第二隔离结构 105；其中，相邻两个所述第一隔离结构 104 之间包括在所述第二半导体层（参见图 1B 中的第二半导体层 103）中形成的源极层 106 和在所述衬底（参见图 1B 中的衬底 101）中形成的漏极层 107，所述第一隔离结构 104 的延伸方向为 X 轴方向，所述第二隔离结构 105 的延伸方向为 Y 轴方向，所述
10 第一隔离结构 104 贯穿所述第一半导体层（参见图 1B 中的第一半导体层 102）和所述第二半导体层 103，并部分延伸至所述衬底 101 中，所述第二隔离结构 105 位于所述衬底 101 中。

如图 1D 所示，在所述第一半导体层（参见图 1B 中的第一半导体层 102）中形成沟道层 108，所述沟道层 108 与相邻的两个所述第一隔离结构 104 之间具有延伸方向与
15 所述第一方向相同的通孔 109。

如图 1E 所示，在所述通孔 109（参见图 1D 中的通孔 109）内形成栅极结构 110。

基于图 1A 提供的一种半导体结构的形成方法，本申请实施例提供一种半导体结构，如图 1E 所示，该结构包括：

基底（参见图 1B 中的基底 100）；其中，所述基底包括依次形成的衬底（参见
20 图 1B 中的衬底 101）、第一半导体层（参见图 1B 中的第一半导体层 102）和第二半导体层（参见图 1B 中的第二半导体层 103）；

位于所述基底 100 中的间隔分布的第一隔离结构 104 和第二隔离结构 105；其中，所述第一隔离结构 104 的延伸方向为第一方向，所述第二隔离结构 105 的延伸方向为第二方向，所述第一隔离结构 104 贯穿所述第一半导体层 102 和所述第二半导体
25 层 103，并部分延伸至所述衬底 101 中，所述第二隔离结构 105 位于所述衬底 101 中；

位于所述第二半导体层 103 中的源极层 106；

位于所述衬底 101 中的漏极层 107；

位于所述第一半导体层 102 中的沟道层 108；

30 位于所述沟道层 108 与相邻的两个所述第一隔离结构 104 之间具有延伸方向与所述第一方向相同的栅极结构 110。

在一些实施例中，所述衬底、第一半导体层和第二半导体层依次为硅衬底、硅锗层和硅层。在硅锗层中载流子具有更高的迁移率，电子迁移率是纯硅层的两倍。

35 在一些实施例中，所述栅极结构包括：栅氧化层和位于所述栅氧化层表面的导电材料。

本申请实施例还提供一种半导体结构的形成方法，如图 2A 所示，所述方法包括以下步骤：

步骤 S201、提供基底；其中，所述基底包括依次形成的衬底、第一半导体层和第二半导体层；

40 步骤 S202、在所述基底中形成初始第一隔离结构和初始第二隔离结构；其中，所述初始第一隔离结构的延伸方向为第一方向，所述初始第二隔离结构的延伸方向为第二方向；所述初始第一隔离结构和初始第二隔离结构贯穿所述第一半导体层和所述第二半导体层，并部分延伸至所述衬底中，以在所述第二半导体层中形成源极

层, 在所述衬底中形成漏极层;

步骤 S203、刻蚀所述初始第一隔离结构形成第一隔离结构, 刻蚀所述初始第二隔离结构形成第二隔离结构;

5 步骤 S204、在所述第一半导体层中形成沟道层, 所述沟道层与相邻的两个所述第一隔离结构之间具有延伸方向与所述第一方向相同的通孔;

步骤 S205、在所述通孔内形成栅极结构。

上述实施例中的在所述基底中形成间隔分布的第一隔离结构和第二隔离结构可以采用步骤 S201 至步骤 S203 来实现。

10 在一些实施例中, 步骤 S202 可以通过步骤 S221 和步骤 S222 来实现, 步骤 S221 参见图 2B 至图 2C, 步骤 S222 参见图 2D 至图 2E。

步骤 S221、参见图 2B, 在所述基底 (参见图 1B 中的基底 100) 中形成第二隔离结构沟槽 105a (沿 Y 轴方向), 参见图 2C, 在所述第二隔离结构沟槽 (参见图 2B 中的第二隔离结构沟槽 105a) 中填充第一介质层 105b 形成所述初始第二隔离结构;

15 步骤 S222、参见图 2D, 在形成所述初始第二隔离结构 105c 后的所述基底 (如图 2C 所示) 中形成第一隔离结构沟槽 104a (沿 X 轴方向), 参见图 2E, 在所述第一隔离结构沟槽 (参见图 2D 中的第一隔离结构沟槽 104a) 中填充第二介质层 104b 和第三介质层 104c 形成所述初始第一隔离结构 104d; 其中, 所述第一隔离结构沟槽 (参见图 2D 中的第一隔离结构沟槽 104a) 和所述第二隔离结构沟槽 (参见图 2B 中的第二隔离结构沟槽 105a) 贯穿所述第一半导体层 102 和所述第二半导体层 103, 20 并部分延伸至所述衬底 101 中。

这里, 第一隔离结构沟槽和第二隔离结构沟槽可以采用自对准浅沟道隔离技术形成, 例如, 自对准的双重图案化 (Self-aligned Double Patterning, SADP) 工艺形成, 也可以通过自对准四重图案化 (Self-aligned Quadruple Patterning, SAQP) 工艺形成。

25 在实施时, 可以先在基底表面沉积一层牺牲材料 (Sacrifice Layer), 一般是 CVD 材料; 然后进行光刻和刻蚀, 把掩模上的图形转移到牺牲材料层上。牺牲材料上的图形又被称为“心轴 (mandrel)”或“核 (core)”。使用原子层沉积 (Atomic Layer Deposition, ALD) 在“心轴”的表面和侧面沉积一层厚度相对比较均匀的薄膜 (称为“侧墙 (spacer) 材料”)。使用反应离子刻蚀工艺把沉积的侧墙材料再刻蚀掉, 这个步骤被称为“回蚀 (etch back)”。由于“心轴”侧壁的几何效应, 沉积在图形两侧的材料会残留下来, 形成所谓的侧墙。使用选择性强的腐蚀液把“心轴”去掉, 30 只留下侧墙在基底表面。侧墙图形的周期是光刻图形的一半, 实现了空间图形密度的倍增。最后, 再使用等离子刻蚀把侧墙图形转移到基底的硬掩模上。

35 这里, 第一介质层所采用的材料可以是硅氧化物, 例如, 二氧化硅、氮氧化硅或者掺杂硼磷的硅氧化物或者其他合适的材料。第二介质层所采用的材料可以与第一介质层所采用的材料相同, 也可以不同。其中, 第一介质层可以采用热氧化、化学气相沉积 (Chemical Vapor Deposition, CVD)、原子层沉积 (Atomic Layer Deposition, ALD)、等离子体增强原子层沉积 (Plasma Enhanced Atomic Layer Deposition, PEALD)、低气压化学气相沉积法 (Low Pressure Chemical Vapor Deposition, LPCVD) 或其他合适的工艺形成; 第二介质层可以采用与第一介质层相同的工艺形成, 也可以采用不同的工艺形成。

40 第三介质层采用的材料可以是氮化硅、氮化铝 (AlN), 氮化镓 (GaN) 和氮化铟 (InN) 等氮化物, 可以通过低气压化学气相沉积法、常压化学气相沉积法

(Atmospheric Pressure, APCVD) 或原子层沉积等工艺形成。

在一些实施例中, 所述第一介质层的材料包括氧化硅, 所述第二介质层的材料和所述第一介质层的材料相同。

5 在一些实施例中, 步骤 S222 中的在所述第一隔离结构沟槽中填充第二介质层和第三介质层形成所述初始第一隔离结构可以通过步骤 S2221 至步骤 S2223 来实现。

步骤 S2221、在所述第一隔离结构沟槽中填充所述第二介质层;

步骤 S2222、去除所述第一隔离结构沟槽底部和所述第二半导体表面的所述第二介质层;

10 步骤 S2223、在所述第一隔离结构沟槽中填充所述第三介质层, 形成所述初始第一隔离结构。

在实际应用中, 去除所述第一隔离结构沟槽底部的第二介质层可以采用干法刻蚀工艺或者湿法刻蚀工艺。其中, 所述干法刻蚀工艺可以是等离子体刻蚀工艺, 反应离子刻蚀工艺或者离子铣工艺。去除所述第二半导体表面的所述第二介质层可以通过化学机械抛光 (Chemical Mechanical Polish, CMP) 工艺来实现。

15 在一些实施例中, 所述步骤 S2222 和步骤 S2223 之间还包括以下步骤 S222a 和 S222b, 参见图 2F。步骤包括:

步骤 222a, 在所述第一隔离结构沟槽 (参见图 2D 中的第一隔离结构沟槽 104a) 底部沉积金属钴;

20 步骤 222b, 退火处理在所述衬底 101 中形成硅化物, 以形成掩埋位线 114; 其中, 所述漏极层 107 位于所述沟道层 (参见图 1E 中的沟道层 108) 和所述掩埋位线 114 之间, 所述初始第二隔离结构贯穿所述掩埋位线 114。

在实际应用中, 在所述第一隔离结构沟槽底部沉积的物质不限于金属钴, 也可以是钛 (Ti)、钽 (Ta)、镍 (Ni)、钨 (W)、铂 (Pt) 以及钯 (Pd) 中的任何一种; 可以采用 CVD 或 ALD 沉积上述金属。

25 在实际应用中, 退火处理可以使金属与衬底相互反应实现硅化。可以采用快速热退火, 根据沉积的金属和衬底的种类在不同的温度下执行快速退火, 例如, 若金属材料是钴, 退火温度范围可以是 400 摄氏度至 800 摄氏度。硅化后形成的金属硅化物可以作为掩埋位线。

30 金属硅化物是一种电阻比多晶硅的电阻低的物质。利用这样的物质, 掩埋位线具有低电阻。经由硅化工艺可以形成掩埋位线。另外, 可以经由完全硅化工艺形成掩埋位线。完全硅化工艺是一种用于将含硅物质完全硅化到期望深度的工艺。可以使用诸如硅化钛 (TiSi_x)、硅化钨 (WSi_x)、硅化钴 (CoSi_x) 以及硅化镍 (NiSi_x) 的近贵金属 (near-noble metal) 或诸如难熔金属的金属硅化物来形成掩埋位线。可以通过经由溅射工艺、CVD 工艺或 ALD 工艺形成导电材料然后执行硅化工艺来获得金属硅化物。导电材料可以包括近贵金属或难熔金属。将掩埋位线全硅化, 可以降低掩埋位线的电阻。

在一些实施例中, 步骤 S203 可以通过步骤 S231 至步骤 S233 来实现, 步骤 S231 至步骤 S232 分别参见图 2G 至图 2I。

40 步骤 S231、参见图 2E, 刻蚀所述第二半导体层 103 中的所述初始第一隔离结构 104d 中的所述第二介质层 104b 和所述初始第二隔离结构 (参见步骤 S221 的描述) 中的所述第一介质层 105b, 这样就会形成图 2G 所示的结构;

步骤 S232、参见图 2G, 在所述第二半导体层 103 的刻蚀后的所述初始第一隔离结构 (参见图 2E 中的初始第一隔离结构 104d) 中填充第四介质层 104e, 这样就会

形成图 2H 所示的结构;

步骤 S233、参见图 2H, 分别刻蚀所述第一半导体层 102 中的所述初始第一隔离结构 (参见图 2E 中的初始第一隔离结构 104d) 中的所述第二介质层 104b 和所述初始第二隔离结构 (参见步骤 S221 的描述) 中的所述第一介质层 105b, 以形成所述
5 第一隔离结构 104 和所述第二隔离结构 105, 这样就会形成图 2I 所示的结构。

这里, 所述第一隔离结构 104 包括第二介质层 104b、第三介质层 104c 和第四介质层 104e。

在一些实施例中, 所述第三介质层的材料包括氮化硅, 所述第四介质层的材料和所述第三介质层的材料相同。

10 在一些实施例中, 在步骤 S233 之后还包括: 步骤 S234、参见图 2I, 刻蚀部分所述第一半导体层 (参见图 2H 中的第一半导体层 102), 形成图 2J 所示的所述沟道层 108; 其中, 所述沟道层 108 与相邻的两个所述第一隔离结构 104 之间具有延伸方向与
与所述第一方向相同的通孔 109。

在实施时, 可以沿第一方向 (即 X 轴方向), 采用各向同性准原子层蚀刻技术刻蚀第一半导体层形成沟道层。可以控制沟道层的尺寸, 提高栅极结构对沟道的控制, 同时提高开关速度。

执行步骤 S205、在所述通孔内形成栅极结构后形成如图 2K 所示的结构。

基于上述方法形成的如图 2K 所示的结构, 本申请实施例提出一种半导体结构, 所述结构包括:

20 基底 (参见图 1B 中的基底 100); 其中, 所述基底包括依次形成的衬底 (参见图 1B 中的衬底 101)、第一半导体层 (参见图 1B 中的第一半导体层 102) 和第二半导体层 (参见图 1B 中的第二半导体层 103);

位于所述基底中的间隔分布的第一隔离结构 104 和第二隔离结构 105; 其中, 所述第一隔离结构 104 的延伸方向为第一方向, 所述第二隔离结构 105 的延伸方向为第二方向, 所述第一隔离结构 104 贯穿所述第一半导体层和所述第二半导体层, 并部分延伸至所述衬底中, 所述第二隔离结构 105 位于所述衬底中; 所述第一隔离结构 104 包括: 位于所述衬底中的第二介质层 104b、位于所述第二半导体层中的第四介质层 104e 以及贯穿所述第一半导体层和所述第二半导体层, 并部分延伸至所述衬底中的第三介质层 104c; 其中, 所述第三介质层 104c 的侧壁与所述第二介质层 104b 和所述第四介质层 104e 相接; 所述第二隔离结构 105 包括位于衬底中的第一介质层 105b。
25 30

位于所述第二半导体层中的源极层 106;

位于所述衬底中的漏极层 107;

位于所述第一半导体层中的沟道层 108;

35 位于所述沟道层 108 与相邻的两个所述第一隔离结构 104 之间具有延伸方向与
所述第一方向相同的栅极结构 110;

位于所述衬底中被所述第二隔离结构 105 贯穿的掩埋位线 114; 其中, 所述漏极层 107 位于所述沟道层 108 和所述掩埋位线 114 之间, 所述第一隔离结构 104 延伸至所述衬底中的部分的高度小于所述第二隔离结构 105 位于所述衬底中的部分的高度。
40

本申请实施例还提供一种半导体结构的形成方法, 所述方法包括以下步骤:

步骤 S301、如图 1B 所示, 提供基底 100; 其中, 所述基底包括依次形成的衬底 101、第一半导体层 102 和第二半导体层 103;

步骤 S302、对所述第二半导体层 103 和部分所述衬底 101 进行离子掺杂，以在所述衬底 101 中形成漏极掺杂区，在所述第二半导体层 103 中形成源极掺杂区；

这里，离子掺杂所采用的掺杂物可以是 N 型掺杂物，例如，磷 (P)、砷 (As)、硅 (Si)、锗 (Ge)、碳 (C)、氧 (O)、硫 (S)、硒 (Se)、碲 (Te) 或锑 (Sb) 等；
5 也可以是 P 型掺杂物，例如硼 (B)、氟化硼 (BF₂)、Si、Ge、C、锌 (Zn)、镉 (Cd)、铍 (Be)、镁 (Mg) 或铟 (In) 等。

步骤 S303、如图 1C 所示，在所述基底（参见图 1B 中的基底 100）中形成间隔分布的第一隔离结构 104 和第二隔离结构 105；其中，相邻两个所述第一隔离结构 104 之间包括在所述第二半导体层 103 中形成的源极层 106 和在所述衬底 101 中形成的漏极层 107，所述第一隔离结构 104 的延伸方向为第一方向，所述第二隔离结构 105 的延伸方向为第二方向，所述第一隔离结构 104 贯穿所述第一半导体层 102 和所述第二半导体层 103，并部分延伸至所述衬底 101 中，所述第二隔离结构位于所述衬底 101 中；

步骤 S304、如图 1D 所示，在所述第一半导体层 102 中形成沟道层 108，所述沟道层 108 与相邻的两个所述第一隔离结构 104 之间具有延伸方向与所述第一方向相同的通孔 109；

步骤 S305、如图 1E 所示，在所述通孔（参见图 1D 中的通孔 109）内形成栅极结构 110；

步骤 S306、如图 3A 所示，在所述第二半导体层 103 中填充第五介质层 111，所述第五介质层 111 的顶面与所述第二半导体 103 的顶面齐平；

这里，第五介质层所采用的材料可以是氮化硅、氮化铝 (AlN)，氮化镓 (GaN) 和氮化铟 (InN) 等氮化物，可以通过低气压化学气相沉积法、常压化学气相沉积法或原子层沉积等工艺形成。

步骤 S307、如图 3A 所示，在每一所述源极层 106 上依次形成接触节点 112 和电容 113。

这里，电容可以为柱状电容，可以不限于圆柱状电容，还可以是方形电容以及其他形状的柱状电容；接触节点可以具有柱体的形状或凹面结构。

在一些实施例中，步骤 S305 可以通过步骤 S3051 和步骤 S3052 来实现。

步骤 S3051、通过热氧化在所述通孔内形成栅氧化层；

30 步骤 S3052、在所述栅氧化层表面填充导电材料，形成所述栅极结构。

在实际应用中，所述导电材料可以是金属，例如钨 (W)，也可以是金属氮化物，例如氮化钛。

在一些实施例中，所述电容可以包括电极板和介电层。其中，所述电极板的材料可以为氮化钛 (TiN) 或者铝箔，所述介电层的材料可以为氧化锆 (ZrO) 和 Al₂O₃ 的复合材料、ZrO 材料、Al₂O₃ 材料或者其他介电常数高于 SiO₂ 介电常数的材料。

本申请实施例中，通过在基底中形成第一隔离结构和第二隔离结构，在第一半导体层中形成了沟道层，在沟道层的通孔内形成栅极结构，从而形成全环栅结构，提高了栅控制能力和开关速度。

上述方法形成的半导体结构如图 3A 和图 3B 所示，基于图 3A，本申请实施例提供 40 一种半导体结构，包括：基底（参见图 1B 中的基底 100）；其中，所述基底包括依次形成的衬底 101、第一半导体层 102 和第二半导体层 103；

位于所述基底中的间隔分布的第一隔离结构 104 和第二隔离结构 105；其中，所述第一隔离结构 104 的延伸方向为第一方向，所述第二隔离结构 105 的延伸方向为

第二方向，所述第一隔离结构 104 贯穿所述第一半导体层 102 和所述第二半导体层 103，并部分延伸至所述衬底 101 中，所述第二隔离结构 105 位于所述衬底中；

位于所述第二半导体 103 层中的源极层 106；

位于所述衬底 101 中的漏极层 107；

5 位于所述第一半导体层 102 中的沟道层 108；

位于所述沟道层 108 与相邻的两个所述第一隔离结构 104 之间具有延伸方向与
所述第一方向相同的栅极结构 110；

位于所述第二半导体层 103 中的第五介质层 111；其中，所述第五介质层 111 的
顶面与所述第二半导体层 103 的顶面平齐；

10 位于每一所述源极层 106 上的接触节点 112 和电容 113。

在一些实施例中，如图 3A 所示，所述结构还包括：位于所述衬底（参见图 3A
中的衬底 101）中被所述第二隔离结构 105 贯穿的掩埋位线 114；其中，所述漏极
层 107 位于所述沟道层 108 和所述掩埋位线 114 之间，所述第一隔离结构 104 延伸
至所述衬底中的部分的高度小于所述第二隔离结构 105 位于所述衬底中的部分的高
15 度。

本申请实施例还提供一种半导体结构形成方法，参见图 4A，所述方法包括以下
步骤：

步骤 S401、参见图 1B，提供基底 100，所述基底 100 包括依次形成的衬底 101、
第一半导体层 102 和第二半导体层 103。

20 步骤 S402、参见图 2B，在所述基底（参见图 1B 中的基底 100）中形成第二隔
离结构沟槽 105a；参见图 2C，在所述第二隔离结构沟槽（参见图 2C 中的第二隔
离结构沟槽 105a）中填充第一介质层 105b 形成所述初始第二隔离结构；

其中，所述第二隔离结构沟槽 105a 贯穿所述第一半导体层 102 和所述第二半导
体层 103，并部分延伸至所述衬底 101 中。

25 步骤 S403、参见图 2D，在形成所述初始第二隔离结构后的所述基底中形成第一
隔离结构沟槽 104a；其中，所述第一隔离结构沟槽 104a 贯穿所述第一半导体层 102
和所述第二半导体层 103，并部分延伸至所述衬底 101 中，相邻两个所述第一隔离结
构沟槽 104a 之间包括在所述第二半导体层 103 中形成的源极层 106 和在所述衬底
101 中形成的漏极层 107。

30 步骤 S404、参见图 2D 和 4B，在图 2D 中的第一隔离结构沟槽 104a 中填充所述
第二介质层 104b，这样就形成图 4B 所示的结构。

步骤 S405、参见图 4B，去除所述第一隔离结构沟槽（参见图 2D 中的第一隔离
结构沟槽 104a）底部和所述第二半导体 103 表面的所述第二介质层 104b，这样就形
成图 4C 所示的结构。

35 步骤 S406、在所述第一隔离结构沟槽（参见图 4A 中的第一隔离结构沟槽 104a）
底部沉积金属钴；参见图 2F，退火处理在所述衬底中形成硅化物，以形成掩埋位线
114。

步骤 S407、参见图 4D，在所述第一隔离结构沟槽（参见图 2D 中的第一隔离结
构沟槽 104a）中填充所述第三介质层 104c，形成所述初始第一隔离结构 104d。

40 步骤 S408、参见图 2E，刻蚀所述第二半导体层 103 中的所述初始第一隔离结构
（参见图 4D 中的初始第一隔离结构 104d）中的所述第二介质层 104b 和所述初始第
二隔离结构（参见步骤 S221 的描述）中的所述第一介质层 105b，这样就会形成图
2G 所示的结构。

步骤 S409、参见图 2G，在所述第二半导体层 103 中的刻蚀后的所述初始第一隔离结构中（参见图 4D 中的初始第一隔离结构 104d）填充第四介质层 104e，这样就会形成图 2H 所示的结构。

5 步骤 S410、参见图 2H，分别刻蚀所述第一半导体层 102 中的所述初始第一隔离结构（参见图 4D 中的初始第一隔离结构 104d）中的所述第二介质层 104b 和所述初始第二隔离结构（参见步骤 S221 的描述）中的所述第一介质层 105b，以形成所述第一隔离结构 104 和所述第二隔离结构 105，这样就会形成图 2I 所示的结构。

步骤 S411、参见图 2I，刻蚀部分所述第一半导体层（参见图 2H 中的第一半导体层 102），形成图 2J 所示的所述沟道层 108；其中，所述沟道层 108 与相邻的两个
10 所述第一隔离结构 104 之间具有延伸方向与所述第一方向相同的通孔 109，且所述沟道层 108 在所述第二方向的宽度小于所述源极层 106 和所述漏极层 107 在所述第二方向的宽度，漏极层 107 位于所述沟道层 108 和所述掩埋位线 114 之间。

步骤 S412、参见图 2K，通过热氧化在所述通孔（参见图 2J 中的通孔 109）内形成栅氧化层 110a；

15 步骤 S413、继续参见图 2K，在所述栅氧化层 110a 表面填充导电材料 110b，形成所述栅极结构 110；

步骤 S414、参见图 4E，在所述第二半导体层 103 中填充第五介质层 111，所述第五介质层 111 的顶面与所述第二半导体 103 的顶面齐平；

步骤 S415、继续参见图 4E，在每一所述源极层 106 上依次形成接触节点 112 和
20 电容 113。

以上半导体结构实施例的描述，与上述方法实施例的描述是类似的，具有同方法实施例相似的有益效果。对于本申请半导体结构实施例中未披露的技术细节，请参照本申请方法实施例的描述而理解。

在本申请所提供的几个实施例中，应该理解到，所揭露的结构和方法，可以通过非目标的方式实现。以上所描述的结构实施例仅仅是示意性的，例如，所述
25 单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，如：多个单元或组件可以结合，或可以集成到另一个系统，或一些特征可以忽略，或不执行。另外，所显示或讨论的各组成部分相互之间的耦合、或直接耦合。

上述作为分离部件说明的单元可以是、或也可以不是物理上分开的，作为单元
30 显示的部件可以是、或也可以不是物理单元，即可以位于一个地方，也可以分布到多个网络单元上；可以根据实际的需要选择其中的部分或全部单元来实现本实施例方案的目的。

本申请所提供的几个方法或结构实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或结构实施例。

35 以上所述，仅为本申请实施例的一些实施方式，但本申请实施例的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请实施例揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请实施例的保护范围之内。因此，本申请实施例的保护范围应以所述权利要求的保护范围为准。

工业实用性

40 本申请实施例提供的半导体结构及其形成方法，其中，半导体结构的形成方法包括：提供基底；其中，所述基底包括依次形成的衬底、第一半导体层和第二半导

- 5 体层；在所述基底中形成间隔分布的第一隔离结构和第二隔离结构；其中，相邻两个所述第一隔离结构之间包括在所述第二半导体层中形成的源极层和在所述衬底中形成的漏极层，所述第一隔离结构的延伸方向为第一方向，所述第二隔离结构的延伸方向为第二方向，所述第一隔离结构贯穿所述第一半导体层和所述第二半导体层，并部分延伸至所述衬底中，所述第二隔离结构位于所述衬底中；在所述第一半导体层中形成沟道层，所述沟道层与相邻的两个所述第一隔离结构之间具有延伸方向与所述第一方向相同的通孔；在所述通孔内形成栅极结构。本申请实施例中，实现了栅极自对准并形成全环栅结构，提高了栅控制能力和开关速度。

权利要求书

- 1、一种半导体结构的形成方法，所述方法包括：
提供基底；其中，所述基底包括依次形成的衬底、第一半导体层和第二半导体层；
- 5 在所述基底中形成间隔分布的第一隔离结构和第二隔离结构；其中，相邻两个所述第一隔离结构之间包括在所述第二半导体层中形成的源极层和在所述衬底中形成的漏极层，所述第一隔离结构的延伸方向为第一方向，所述第二隔离结构的延伸方向为第二方向，所述第一隔离结构贯穿所述第一半导体层和所述第二半导体层，并部分延伸至所述衬底中，所述第二隔离结构位于所述衬底中；
- 10 在所述第一半导体层中形成沟道层，所述沟道层与相邻的两个所述第一隔离结构之间具有延伸方向与所述第一方向相同的通孔；
在所述通孔内形成栅极结构。
- 2、根据权利要求1所述的方法，其中，所述在所述基底中形成间隔分布的第一隔离结构和第二隔离结构之前，还包括：
- 15 对所述第二半导体层和部分所述衬底进行离子掺杂，以在所述衬底中形成漏极掺杂区，在所述第二半导体层中形成源极掺杂区。
- 3、根据权利要求1所述的方法，其中，所述在所述基底中形成间隔分布的第一隔离结构和第二隔离结构，包括：
- 20 在所述基底中形成初始第一隔离结构和初始第二隔离结构；其中，所述初始第一隔离结构的延伸方向为所述第一方向，所述初始第二隔离结构的延伸方向为所述第二方向；所述初始第一隔离结构和初始第二隔离结构贯穿所述第一半导体层和所述第二半导体层，并部分延伸至所述衬底中，以在所述第二半导体层中形成所述源极层，在所述衬底中形成所述漏极层；
刻蚀所述初始第一隔离结构形成所述第一隔离结构，刻蚀所述初始第二隔离结构形成所述第二隔离结构。
- 25 4、根据权利要求3所述的方法，其中，所述在所述基底中形成初始第一隔离结构和初始第二隔离结构，包括：
在所述基底中形成第二隔离结构沟槽，在所述第二隔离结构沟槽中填充第一介质层形成所述初始第二隔离结构；
- 30 在形成所述初始第二隔离结构后的所述基底中形成第一隔离结构沟槽，在所述第一隔离结构沟槽中填充第二介质层和第三介质层形成所述初始第一隔离结构；其中，所述第一隔离结构沟槽和所述第二隔离结构沟槽贯穿所述第一半导体层和所述第二半导体层，并部分延伸至所述衬底中。
- 35 5、根据权利要求4所述的方法，其中，所述在所述第一隔离结构沟槽中填充第二介质层和第三介质层形成所述初始第一隔离结构，包括：
在所述第一隔离结构沟槽中填充所述第二介质层；
去除所述第一隔离结构沟槽底部和所述第二半导体表面的所述第二介质层；
在所述第一隔离结构沟槽中填充所述第三介质层，形成所述初始第一隔离结构。
- 40 6、根据权利要求4所述的方法，其中，所述刻蚀所述初始第一隔离结构形成所述第一隔离结构，刻蚀所述初始第二隔离结构形成所述第二隔离结构，包括：

刻蚀所述第二半导体层中的所述初始第一隔离结构中的所述第二介质层和所述初始第二隔离结构中的所述第一介质层；

在所述第二半导体层的刻蚀后的所述初始第一隔离结构中填充第四介质层；

- 5 分别刻蚀所述第一半导体层中的所述初始第一隔离结构中的所述第二介质层和所述初始第二隔离结构中的所述第一介质层，以形成所述第一隔离结构和所述第二隔离结构。

7、根据权利要求1所述的方法，其中，所述分别刻蚀所述第一半导体层中的所述初始第一隔离结构中的所述第二介质层和所述初始第二隔离结构中的所述第一介质层之后，包括：

- 10 刻蚀部分所述第一半导体层，形成所述沟道层；其中，所述沟道层与相邻的两个所述第一隔离结构之间具有延伸方向与所述第一方向相同的通孔，且所述沟道层在所述第二方向的宽度小于所述源极层和所述漏极层在所述第二方向的宽度。

- 15 8、根据权利要求5所述的方法，其中，所述去除所述第一隔离结构沟槽底部和所述第二半导体表面的所述第二介质层之后，所述在所述第一隔离结构沟槽中填充所述第三介质层之前，还包括：

在所述第一隔离结构沟槽底部沉积金属钴；

- 20 退火处理在所述衬底中形成硅化物，以形成掩埋位线；其中，所述漏极层位于所述沟道层和所述掩埋位线之间，所述第一隔离结构延伸至所述衬底中的部分的高度小于所述第二隔离结构位于所述衬底中的部分的高度，所述第二隔离结构贯穿所述掩埋位线。

9、根据权利要求1至8任一项所述的方法，其中，所述在所述通孔内形成栅极结构，包括：

通过热氧化在所述通孔内形成栅氧化层；

在所述栅氧化层表面填充导电材料，形成所述栅极结构。

- 25 10、根据权利要求9所述的方法，其中，所述方法还包括：

在所述第二半导体层中填充第五介质层，所述第五介质层的顶面与所述第二半导体的顶面齐平；

在每一所述源极层上依次形成接触节点和电容。

- 30 11、根据权利要求5或7所述的方法，其中，所述第一介质层的材料包括氧化硅，所述第二介质层的材料和所述第一介质层的材料相同；所述第三介质层的材料包括氮化硅，所述第四介质层的材料和所述第三介质层的材料相同。

12、根据权利要求10所述的方法，其中，所述栅氧化层的材料包括氧化硅，所述第五介质层的材料包括氮化硅。

13、一种半导体结构，所述结构包括：

- 35 基底；其中，所述基底包括依次形成的衬底、第一半导体层和第二半导体层；

位于所述基底中的间隔分布的第一隔离结构和第二隔离结构；其中，所述第一隔离结构的延伸方向为第一方向，所述第二隔离结构的延伸方向为第二方向，所述第一隔离结构贯穿所述第一半导体层和所述第二半导体层，并部分延伸至所述衬底中，所述第二隔离结构位于所述衬底中；

- 40 位于所述第二半导体层中的源极层；

位于所述衬底中的漏极层；

位于所述第一半导体层中的沟道层；

位于所述沟道层与相邻的两个所述第一隔离结构之间具有延伸方向与所述第一

方向相同的栅极结构。

- 14、根据权利要求 13 所述的结构，其中，所述第一隔离结构包括：位于所述衬底中的第二介质层、位于所述第二半导体层中的第四介质层以及贯穿所述第一半导体层和所述第二半导体层，并部分延伸至所述衬底中的第三介质层；其中，所述第三介质层的侧壁与所述第二介质层和所述第四介质层相接；所述第二隔离结构包括位于衬底中的第一介质层。

- 15、根据权利要求 14 所述的结构，其中，还包括：位于所述衬底中被所述第二隔离结构贯穿的掩埋位线；其中，所述漏极层位于所述沟道层和所述掩埋位线之间，所述第一隔离结构延伸至所述衬底中的部分的高度小于所述第二隔离结构位于所述衬底中的部分的高度。

- 16、根据权利要求 13 所述的结构，其中，所述衬底、所述第一半导体层和所述第二半导体层依次为硅衬底、锗硅层和硅层。

- 17、根据权利要求 16 所述的结构，其中，所述栅极结构包括：栅氧化层和位于所述栅氧化层表面的导电材料。

- 18、根据权利要求 13 至 17 任一项所述的结构，其中，还包括：

位于所述第二半导体层中的第五介质层；其中，所述第五介质层的顶面与所述第二半导体层的顶面平齐；

位于每一所述源极层上的接触节点和电容。

- 19、根据权利要求 14 所述的结构，其中，所述第一介质层的材料包括氧化硅，所述第二介质层的材料和所述第一介质层的材料相同；所述第三介质层的材料包括氮化硅，所述第四介质层的材料和所述第三介质层的材料相同。