

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年3月19日(19.03.2020)



(10) 国際公開番号

WO 2020/054040 A1

- (51) 国際特許分類:
G06F 12/00 (2006.01) *GI1C 5/06* (2006.01)
GI1C 5/04 (2006.01)
- (21) 国際出願番号: PCT/JP2018/034080
- (22) 国際出願日: 2018年9月13日(13.09.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: キオクシア株式会社 (KIOXIA CORPORATION) [JP/JP]; 〒1080023 東京都港区芝浦三丁目1番21号 Tokyo (JP).
- (72) 発明者: 板垣 清太郎 (ITAGAKI, Kiyotaro); 〒1050023 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内 Tokyo (JP).
- (74) 代理人: 蔵田 昌俊, 外 (KURATA, Masatoshi et al.); 〒1050014 東京都港区芝三丁目23番1

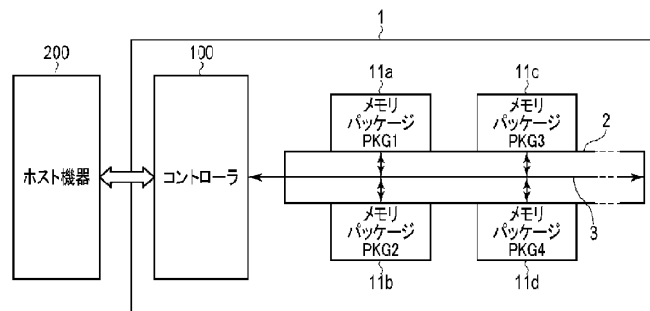
号 セレスティン芝三井ビルディング 11階
鈴榮特許総合事務所内 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: MEMORY SYSTEM AND CONTROL METHOD

(54) 発明の名称: メモリシステム及び制御方法



11a, 11b, 11c, 11d Memory package
100 Controller
200 Host device

(57) Abstract: This memory system comprises: a plurality of memory packages, an ODT circuit, and a controller. The memory packages are arranged in a pair so as to face each other across a substrate, and are connected to the controller by a common bus. The ODT circuit is disposed in every memory package and suppresses signal reflection. The controller writes or reads data to and from the designated memory package via the common bus, controls the ODT circuit to be turned on and off, and holds an ODT activation condition for turning on the ODT circuit. The ODT activation condition is a two-bit information signal defined by at least a two-cycle periodic signal provided at the head of the control signal. The controller turns on the ODT circuit when an assert state of a chip enable signal CEn acquired twice consecutively by using a periodic signal matches the ODT activation condition.

[続葉有]

WO 2020/054040 A1

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

(57) 要約：メモリシステムは、複数のメモリパッケージとODT回路とコントローラとを備える。メモリパッケージは、一対で基板を挟んで対向配置され、共通バスによりコントローラと接続される。ODT回路は、全てのメモリパッケージに配置され、信号の反射を抑制する。コントローラは、共通バスを通じて、指定されたメモリパッケージに対してデータの書き込み又は読み出し、及びODT回路のオンオフ制御を行い、ODT回路をオンするためのODT起動条件を保持する。ODT起動条件は、制御信号の先頭に設けた少なくとも2サイクルの周期信号によって定義される2bitの情報信号である。コントローラは、周期信号を用いて連続して2回取得したチップイネーブル信号CENのアサートの状態がODT起動条件に一致した際にODT回路をオンする。