

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年8月24日(24.08.2023)



(10) 国際公開番号

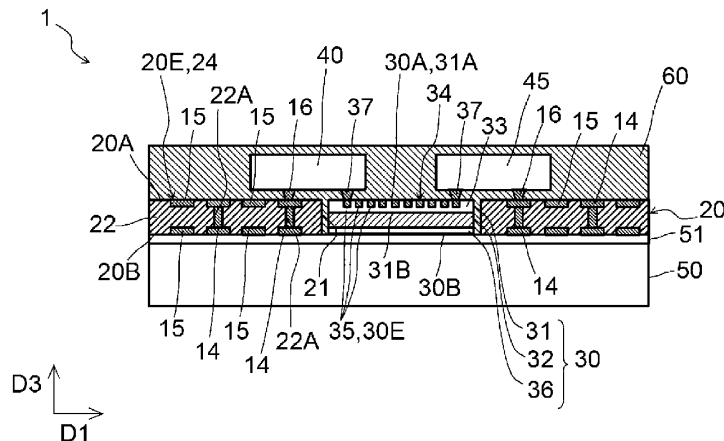
WO 2023/157892 A1

- (51) 国際特許分類:
H01L 25/18 (2023.01) H01L 25/065 (2023.01)
H01L 23/12 (2006.01) H01L 25/07 (2006.01)
H01L 23/32 (2006.01) H05K 3/46 (2006.01)
- (21) 国際出願番号: PCT/JP2023/005328
- (22) 国際出願日: 2023年2月15日(15.02.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-021617 2022年2月15日(15.02.2022) JP
特願 2022-122120 2022年7月29日(29.07.2022) JP
- (71) 出願人: 大日本印刷株式会社 (DAI NIPPON PRINTING CO., LTD.) [JP/JP]; 〒1628001 東京
- 都 新 宿 区 市 谷 加 賀 町 一 丁 目 1 番
1 号 Tokyo (JP).
- (72) 発明者: 倉 持 悟 (KURAMOCHI Satoru);
〒1628001 東京都新宿区市谷加賀町一丁目1番
1号 大日本印刷株式会社内 Tokyo (JP).
- (74) 代理人: 宮嶋 学, 外(MIYAJIMA Manabu et al.);
〒1000005 東京都千代田区丸の内1丁目
6番6号 日本生命丸の内ビル 協和特
許法律事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: SEMICONDUCTOR PACKAGE, SEMICONDUCTOR PACKAGE INTERMEDIATE BODY, REWIRING LAYER CHIP, REWIRING LAYER CHIP INTERMEDIATE BODY, SEMICONDUCTOR PACKAGE MANUFACTURING METHOD, AND SEMICONDUCTOR PACKAGE INTERMEDIATE BODY MANUFACTURING METHOD

(54) 発明の名称: 半導体パッケージ、半導体パッケージ中間体、再配線層チップ、再配線層チップ中間体、半導体パッケージの製造方法及び半導体パッケージ中間体の製造方法

【図2】



(57) Abstract: This semiconductor package comprises: an interposer; a rewiring layer chip adjacent to the interposer; and a semiconductor element layered on the interposer and the rewiring layer chip. The rewiring layer chip includes: a rewiring element having a surface on which the semiconductor element is layered; and a first mold resin layer that contains a resin and that is attached to a surface of the rewiring element at a position on the side opposite the surface on which the semiconductor element is layered. The rewiring element has an insulation layer with insulating properties, and a first

〔続葉有〕

HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP,
KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG,
SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

rewiring layer that is covered by the insulation layer. The first rewiring layer has a first conductive part, at least a portion of which is positioned on the surface of the rewiring element on which the semiconductor element is layered. The interposer has a second rewiring layer including a second conductive part positioned on the surface of the interposer on which the semiconductor element is layered. The semiconductor element is electrically connected to the first conductive part and the second conductive part.

(57) 要約: 半導体パッケージは、インターポーザと、インターポーザと隣り合う再配線層チップと、インターポーザ及び再配線層チップに重なる半導体素子とを備える。再配線層チップは、前記半導体素子が重なる面を含む再配線要素と、前記再配線要素における前記半導体素子が重なる面の反対側に位置する面に取り付けられ、樹脂を含む第1モールド樹脂層とを含む。再配線要素は、絶縁性を有する絶縁層及び前記絶縁層に覆われる第1再配線層を含み、第1再配線層は、前記再配線要素における前記半導体素子が重なる面に少なくとも一部が位置する第1導電部を含み、インターポーザは、前記インターポーザにおける前記半導体素子が重なる面に位置する第2導電部を含む第2再配線層を含む。前記半導体素子は、前記第1導電部及び前記第2導電部に電氣的に接続する。