

半导体结构及半导体结构的制作方法

5 本公开要求于 2022 年 04 月 26 日提交中国专利局、申请号为 202210446041.8、申请名称为“半导体结构及半导体结构的制作方法”的中国专利申请的优先权，其全部内容通过引用结合在本公开中。

技术领域

本公开实施例涉及半导体制造技术领域，尤其涉及一种半导体结构及半导体结构的制作方法。

10 背景技术

动态随机存储器(Dynamic Random Access Memory, DRAM)是计算机等电子设备中常用的半导体装置，其由多个存储单元构成，每个存储单元通常包括晶体管和电容器。所述晶体管的栅极与字线电连接、源极与位线电连接、漏极与电容器电连接，字线上的字线电压能够控制晶体管的开启和关闭，从而通过位线能够读取存储在电容器中的数据信息，或者将数据信息写入到电容器中。电容器通常包括层叠设置的上电极层、介电层和下电极层，然而，相关技术中还存在电容器容量较小的问题。

发明内容

20 本公开实施例第一方面提供一种半导体结构，包括：位于基底上的第一电容结构和第一支撑柱，多个所述第一支撑柱相互平行且间隔地设置在所述基底上，多个所述第一支撑柱位于平行于所述基底的同一平面内，所述第一电容结构包括第一下电极层、第一介电层以及第一上电极层，所述第一下电极层覆盖所述第一支撑柱的侧壁表面和所述基底上，所述第一介电层覆盖在所述第一下电极层上，所述第一上电极层覆盖在所述第一介电层上；

25 还包括多个相互平行且间隔地设置在所述基底上的第一分割沟道，所述第一分割沟道的延伸方向与所述第一支撑柱垂直，所述第一分割沟道将所述第一电容结构分割成多个电容，相邻所述电容对应的所述第一下电极层之间设置有第一绝缘层，所述第一绝缘层覆盖在所述第一分割沟道对应的所述第一支撑柱的侧壁表面和所述基底，相邻所述电容对应的所述第一上电极层之间电性连接。

本公开实施例第二方面提供一种半导体结构的制作方法，包括：

提供基底；

30 形成多个第一支撑柱，多个所述第一支撑柱相互平行且间隔地设置在所述基底上，多个所述第一支撑柱位于平行于所述基底的同一平面内；

形成第一电容结构，所述第一电容结构包括第一下电极层、第一介电层以及第一上电极层，所述第一下电极层覆盖所述第一支撑柱的侧壁表面和所述基底，所述第一介电层覆盖在所述第一下电极层上，所述第一上电极层覆盖在所述第一介电层上；

35 形成多个第一分割沟道，多个所述第一分割沟道相互平行且间隔地设置于所述基底上，所述第一分割沟道的延伸方向与所述第一支撑柱垂直，所述第一分割沟道将所述第一电容结构分割成多个电容；

40 在所述第一分割沟道内形成第一绝缘层，所述第一绝缘层位于相邻所述电容的所述第一下电极层之间，所述第一绝缘层覆盖在所述第一分割沟道对应的所述第一支撑柱的侧壁表面和所述基底上；

在所述第一分割沟道内填充导电材料，以使相邻所述电容对应的所述第一上电极层之间电性

连接。

- 本公开实施例提供一种半导体结构及半导体结构的制作方法，包括位于基底上的第一电容结构和第一支撑柱，多个第一支撑柱间隔且平行地设置在基底上，多个第一支撑柱位于平行于基底的同一平面内，第一电容结构包括第一下电极层、第一介电层以及第一上电极层，第一下电极层覆盖第一支撑柱的侧壁表面和基底上，第一介电层覆盖在第一下电极层上，第一上电极层覆盖在第一介电层上；还包括多个间隔且平行于基底设置的第一分割沟道，第一分割沟道的延伸方向与第一支撑柱垂直，第一分割沟道将第一电容结构分割成多个电容，相邻电容对应的第一下电极层之间设置有第一绝缘层，第一绝缘层覆盖在第一分割沟道对应的第一支撑柱的侧壁表面和基底，相邻电容对应的第一上电极层之间电性连接。通过第一绝缘层将相邻电容隔离，相邻电容对应的第一下电极层通过第一支撑柱电性连接在一起，相邻电容对应的第一上电极层之间电性连接，使得相邻电容实现并联，有利于提高电容容量，进而提高半导体结构的性能。

附图说明

- 图 1a 为本公开实施例提供的一种半导体结构的结构示意图一；
图 1b 为本公开实施例提供的一种半导体结构的结构示意图二；
图 1c 为图 1a 在 A1-A1 处的剖面图；
图 1d 为图 1c 在 B 处的局部放大图；
图 2 为本公开实施例提供的一种半导体结构的制作方法的步骤流程图；
图 3 为半导体结构的制作方法中在基底上形成牺牲层的结构示意图；
图 4a 为半导体结构的制作方法中形成第一沟槽的结构示意图一；
图 4b 为半导体结构的制作方法中形成第一沟槽的结构示意图二；
图 4c 为图 4a 在 A2-A2 处的剖面图；
图 5a 为半导体结构的制作方法中形成填充层的结构示意图一；
图 5b 为半导体结构的制作方法中形成填充层的结构示意图二；
图 5c 为图 5a 在 A3-A3 处的剖面图；
图 6a 为半导体结构的制作方法中形成第二沟槽的结构示意图一；
图 6b 为半导体结构的制作方法中形成第二沟槽的结构示意图二；
图 7a 为半导体结构的制作方法中形成填充沟道的结构示意图一；
图 7b 为半导体结构的制作方法中形成填充沟道的结构示意图二；
图 7c 为图 7a 在 A4-A4 处的剖面图；
图 8a 为半导体结构的制作方法中形成第一支撑柱的结构示意图一；
图 8b 为半导体结构的制作方法中形成第一支撑柱的结构示意图二；
图 8c 为图 8a 在 A5-A5 处的剖面图；
图 9a 为半导体结构的制作方法中形成第三沟槽的结构示意图一；
图 9b 为半导体结构的制作方法中形成第三沟槽的结构示意图二；
图 10a 为半导体结构的制作方法中形成填充侧壁的结构示意图一；
图 10b 为半导体结构的制作方法中形成填充侧壁的结构示意图二；
图 11a 为半导体结构的制作方法中形成第一支撑层的结构示意图一；
图 11b 为半导体结构的制作方法中形成第一支撑层的结构示意图二；
图 12a 为半导体结构的制作方法中去除部分牺牲层和填充层的结构示意图一；
图 12b 为半导体结构的制作方法中去除部分牺牲层和填充层的结构示意图二；
图 12c 为图 12a 在 A6-A6 处的剖面图；
图 13a 为半导体结构的制作方法中形成第一下电极层的结构示意图一；

- 图 13b 为半导体结构的制作方法中形成第一下电极层的结构示意图二；
图 14a 为半导体结构的制作方法中形成第一介质层和第一上电极层的结构示意图一；
图 14b 为半导体结构的制作方法中形成第一介质层和第一上电极层的结构示意图二；
图 15a 为半导体结构的制作方法中去除部分中间支撑层的结构示意图一；
5 图 15b 为半导体结构的制作方法中去除部分中间支撑层的结构示意图二；
图 16a 为半导体结构的制作方法中形成第二支撑层的结构示意图一；
图 16b 为半导体结构的制作方法中形成第二支撑层的结构示意图二；
图 17a 为半导体结构的制作方法中形成第一分割沟道的结构示意图一；
图 17b 为半导体结构的制作方法中形成第一分割沟道的结构示意图二；
10 图 18a 为半导体结构的制作方法中形成第一绝缘层的结构示意图一；
图 18b 为半导体结构的制作方法中形成第一绝缘层的结构示意图二；
图 19a 为半导体结构的制作方法中填充导电材料的结构示意图一；
图 19b 为半导体结构的制作方法中填充导电材料的结构示意图二；
图 19c 为图 19a 在 A1-A1 处的剖面图；
15 图 19d 为图 19c 在 B 处的局部放大图。

具体实施方式

- 为了使本发明实施例的上述目的、特征和优点能够更加明显易懂，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是
20 本发明的一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其它实施例，均属于本发明保护的范围。

请参照图 1a、图 1b 以及图 1c，本公开实施例提供一种半导体结构，包括位于基底 10 上的第一电容结构 41 和第一支撑柱 331。

- 如图 1c 所示，在沿 Z 轴方向上，多个第一支撑柱 331 相互平行且间隔地设置在基底 10 上，
25 多个第一支撑柱 331 位于平行于基底 10 的同一平面内。通过设置多个第一支撑柱 331，可以对第一电容结构 41 起到支撑作用，防止电容结构坍塌。在一些实施例中，第一支撑柱 331 的材质包括单晶硅、单晶锗、单晶硅锗或者 IGZO，从而保证第一支撑柱 331 对第一电容结构 41 的支撑作用。其中，IGZO (indium gallium zinc oxide, 铟镓锌氧化物) 是一种含有铟、镓和锌的非晶氧化物，其具有良好的载流子迁移性能。本实施例中，第一支撑柱 331 的材质可以为 IGZO，有利于
30 提高第一电容结构 41 的性能。

- 第一电容结构 41 包括第一下电极层 411、第一介电层 412 以及第一上电极层 413。第一下电极层 411 覆盖第一支撑柱 331 的侧壁表面和基底 10 上，第一介电层 412 覆盖在第一下电极层 411 上。参照图 1a 和图 1c 可以看出，第一电容结构 41 中，部分第一下电极层 411 环绕第一支撑柱 331 设置，部分第一介电层 412 环绕第一下电极层 411 设置，部分第一下电极层 411 和部分第一
35 介电层 412 还覆盖在基底 10 上；第一电容结构 41 中，第一上电极层 413 覆盖在第一介电层 412 上。

- 如图 1a 和图 1c 所示，本实施例中，多个第一支撑柱 331 和第一电容结构 41 共同构成了第一电容组件 61，在垂直于基底 10 的方向上（也即沿 Y 轴方向上），基底 10 上设置有多个层叠设置的第一电容组件 61。例如，基底 10 上可以设置有三个层叠设置的第一电容组件 61。相邻的第一
40 电容组件 61 对应的第一上电极层 413 之间电性连接。例如，在相邻的第一电容组件 61 所对应的第一上电极层 413 之间可以通过导电层连接，导电层的材质例如可以包括金属或者金属合金等。如图 1c 所示，在垂直于基底 10 的方向上（也即沿 Y 轴方向上），相邻的第一电容组件 61 对应的第一上电极层 413 还可以直接接合在一起，以使相邻的第一电容组件 61 共用同一第一上电极层 413。

如图 1a 和图 1b 所示, 在沿 X 轴方向上, 半导体结构还包括多个相互平行且间隔设置在基底 10 上的第一分割沟道 51, 第一分割沟道 51 将第一电容结构 41 分割成多个电容。例如, 本实施例中可以设置有两个第一分割沟道 51, 第一分割沟道 51 的延伸方向与第一支撑柱 331 的延伸方向垂直, 且第一分割沟道 51 的延伸方向还与基底 10 垂直。两个第一分割沟道 51 可以将第一电容结构 41 分割成三个电容, 这三个电容沿 X 轴方向排布。在基底 10 上设置有多层叠设置的第一电容组件 61 的实施例中, 第一分割沟道 51 还可以将多个第一电容组件 61 分割成多个电容。例如, 本实施例中具有三个层叠设置的第一电容组件 61, 且每个第一电容组件 61 都被两个第一分割沟道 51 分割成三个电容, 也即, 本实施例中基底 10 上共设置有九个电容。

继续参照图 1a 和图 1b, 在任一第一电容组件 61 内, 在沿 X 轴方向上, 相邻电容对应的第一下电极层 411 之间设置有第一绝缘层 511, 第一绝缘层 511 覆盖在第一分割沟道 51 对应的第一支撑柱 331 的侧壁表面和基底 10, 以使相邻电容对应的第一下电极层 411 之间通过第一绝缘层 511 隔离开来。本实施例中, 第一绝缘层 511 位于第一分割沟道 51 所在的区域内, 且部分第一绝缘层 511 环绕第一支撑柱 331 设置, 部分第一绝缘层 511 还覆盖在基底 10 上。在平行于基底 10 的方向上, 相邻电容对应的第一上电极层 413 之间电性连接。例如, 在相邻电容对应的第一上电极层 413 之间可以通过导电层连接, 导电层的材质例如可以包括金属或者金属合金等。如图 1a 所示, 相邻电容对应的第一上电极层 413 之间还可以直接接合在一起, 也即, 相邻电容对应的第一上电极层 413 还覆盖在第一绝缘层 511 上, 以使相邻电容之间共用同一第一上电极层 413。通过设置上述结构, 相邻电容对应的第一下电极层 411 可以通过第一支撑柱 331 电性连接在一起, 相邻电容对应的第一上电极层 413 之间电性连接, 使得相邻电容实现并联, 有利于提高第一电容组件 61 的电容容量, 进而提高半导体结构的性能。

本公开实施例提供一种半导体结构, 包括位于基底 10 上的第一电容结构 41 和第一支撑柱 331, 多个第一支撑柱 331 相互平行且间隔地设置在基底 10 上, 多个第一支撑柱 331 位于平行于基底 10 的同一平面内, 第一电容结构 41 包括第一下电极层 411、第一介电层 412 以及第一上电极层 413, 第一下电极层 411 覆盖第一支撑柱 331 的侧壁表面和基底 10 上, 第一介电层 412 覆盖在第一下电极层 411 上, 第一上电极层 413 覆盖在第一介电层 412 上; 还包括多个相互平行且间隔设置在基底 10 上的第一分割沟道 51, 第一分割沟道 51 的延伸方向与第一支撑柱 331 垂直, 第一分割沟道 51 将第一电容结构 41 分割成多个电容, 相邻电容对应的第一下电极层 411 之间设置有第一绝缘层 511, 第一绝缘层 511 覆盖在第一分割沟道 51 对应的第一支撑柱 331 的侧壁表面和基底 10, 相邻电容对应的第一上电极层 413 之间电性连接。通过第一绝缘层 511 将相邻电容隔离, 相邻电容对应的第一下电极层 411 通过第一支撑柱 331 电性连接在一起, 相邻电容对应的第一上电极层 413 之间电性连接, 使得相邻电容实现并联, 有利于提高电容容量, 进而提高半导体结构的性能。

在一些实施例中, 第一绝缘层 511 的材质可以包括高介电常数材料、氧化硅、氮化硅或者氮氧化硅, 以提高相邻电容对应的第一下电极层 411 之间的绝缘效果。本实施例中, 第一绝缘层 511 的材质可以为高介电常数材料。其中, 高介电常数材料是指介电常数高于二氧化硅的材料, 具有良好的绝缘性, 例如可以包括铁电材料、金属氧化物等等。本实施例中, 第一绝缘层 511 的材质可以为高介电常数材料, 从而进一步提升相邻电容对应的第一下电极层 411 之间的绝缘性能, 实现相邻电容之间并联。

参照图 1d, 第一绝缘层 511 的厚度 H3 大于第一下电极层 411 的厚度 H1, 且小于第一下电极层 411 与第一介电层 412 的厚度之和 H2。第一绝缘层 511 的厚度 H3 大于第一下电极层 411 的厚度 H1, 有利于保证相邻电容对应的第一下电极层 411 之间的绝缘性能, 同时, 第一绝缘层 511 的厚度 H3 小于第一下电极层 411 与第一介电层 412 的厚度之和 H2, 也即, 第一绝缘层 511 的平面位于第一介电层 412 和第一下电极层 411 之间, 还能够便于相邻电容对应的第一上电极层 413 之间电性连接, 从而保证相邻电容之间进行并联。

参照图 1a 和图 1b, 半导体结构还包括覆盖基底 10 上的第一支撑层 351 和第二支撑层 322。本实施例中, 第一支撑层 351 可以设置在第一电容组件 61 的右侧, 第二支撑层 322 可以设置在第一电容组件 61 的左侧, 以使第一电容组件 61 位于第一支撑层 351 和第二支撑层 322 之间。第一支撑层 351 和第二支撑层 322 环绕第一支撑柱 331 的侧壁表面, 从而使得第一支撑柱 331 通过第一支撑层 351 和第二支撑层 322 设置在基底 10 上。在一些实施例中, 第一支撑层 351 和第二支撑层 322 的材质可以包括氮化硅、氮氧化硅或者氧化硅等。继续参照图 1a 和图 1b, 第一介电层 412 还覆盖在第一支撑层 351 和第二支撑层 322 的侧壁, 有利于保证第一上电极层 413 分别与第一支撑层 351 和第二支撑层 322 之间的绝缘性能。

本实施例中, 半导体结构还包括位于基底 10 上的隔离部 70 和多个第二电容组件 62, 在垂直于基底 10 的方向上 (也即沿 Y 轴方向上), 基底 10 上设置有多层叠设置的第二电容组件 62, 隔离部 70 位于第一电容组件 61 和第二电容组件 62 之间, 第二电容组件 62 与第一电容组件 61 关于隔离部 70 对称设置。如图 1a 所示, 第一电容组件 61 位于隔离部 70 的左侧, 第二电容结构 42 位于隔离部 70 的右侧, 且第二电容组件 62 与第一电容组件 61 的结构相同。

值得说明的是, 第一电容组件 61 与第二电容组件 62 所对应的同层结构的材质相同, 以便第一电容组件 61 和第二电容组件 62 可以同步形成。

参照图 1a 和图 1b, 在垂直于基底 10 的方向上 (也即沿 Y 轴方向上), 基底 10 上设置有多层叠设置的第二电容组件 62, 相邻的第二电容组件 62 之间连接。第二电容组件 62 包括多个第二支撑柱 332 和第二电容结构 42, 其中, 多个第二支撑柱 332 相互平行且间隔地设置在基底 10 上, 且每个第二支撑柱 332 均与其对应的第一支撑柱 331 连接, 第二电容结构 42 包括第二下电极层 421、第二介电层 422 以及第二上电极层 423, 第二下电极层 421 覆盖第二支撑柱 332 的侧壁表面和基底 10 上, 第二介电层 422 覆盖在第二下电极层 421 上, 第二上电极层 423 覆盖在第二介电层 422 上。可见, 相邻的第二电容组件 62 对应的第二上电极层 423 之间电性连接。如图 1a 所示, 相邻电容对应的第二上电极层 423 之间还可以直接接合在一起, 也即, 相邻电容对应的第二上电极层 423 还覆盖在第二绝缘层 521 上, 以使相邻电容对应的第二上电极层 423 之间电性连接。通过设置上述结构, 相邻电容对应的第二下电极层 421 可以通过第二支撑柱 332 电性连接在一起, 相邻电容对应的第二上电极层 423 之间电性连接, 使得相邻电容实现并联, 有利于提高第二电容组件 62 的电容容量, 进而提高半导体结构的性能。

多个第二电容组件 62 还包括多个相互平行且间隔地设置在基底 10 上的第二分割沟道 52, 第二分割沟道 52 的延伸方向与第二支撑柱 332 垂直, 第二分割沟道 52 将任一层中的第二电容结构 42 分割成多个电容。在任一第二电容组件 62 内, 在平行于基底 10 的方向上 (也即沿 X 轴方向上), 相邻电容的第二下电极层 421 之间设置有第二绝缘层 521, 第二绝缘层 521 覆盖在第二分割沟道 52 对应的第二支撑柱 332 的侧壁表面和基底 10, 相邻电容对应的第二上电极层 423 连接, 以使相邻电容对应的第二下电极层 421 之间通过第二绝缘层 521 隔离开来。

相同地, 第二电容组件 62 的左侧设置有第三支撑层 352, 第二电容组件 62 的右侧设置有第四支撑层 323, 以使第二电容组件 62 位于第三支撑层 352 和第四支撑层 323 之间。第三支撑层 352 和第四支撑层 323 环绕第二支撑柱 332 的侧壁表面, 第三支撑层 352 和第四支撑层 323 环绕第二支撑柱 332 的侧壁表面, 从而使得第二支撑柱 332 通过第三支撑层 352 和第四支撑层 323 设置在基底 10 上。第二介电层 422 还覆盖在第三支撑层 352 和第四支撑层 323 的侧壁, 有利于保证第二上电极层 423 分别与第三支撑层 352 和第四支撑层 323 之间的绝缘性能。

参照图 1a 和图 1b, 隔离部 70 还位于第一支撑层 351 和第三支撑层 352 之间, 且隔离部 70 还环绕第一支撑柱 331 和第二支撑柱 332 的侧壁设置。隔离部 70 还包括中间支撑层 321, 中间支撑层 321 的一侧与第一支撑柱 331 连接, 中间支撑层 321 的另一侧与第二支撑柱 332 连接, 以使第一支撑柱 331 和第二支撑柱 332 通过中间支撑层 321 电性连接在一起。本实施例中, 中间支撑层 321、第一支撑柱 331 和第二支撑柱 332 的材质相同, 以便通过同一沉积制程同步形成, 从而提高半导体结构的生产效率。

隔离部 70 还包括牺牲层 20，部分牺牲层 20 位于中间支撑层 321 与第一支撑层 351 之间，且部分牺牲层 20 环绕第一支撑柱 331 的侧壁设置；部分牺牲层 20 还位于中间支撑层 321 与第二支撑层 322 之间，且部分牺牲层 20 环绕第二支撑柱 332 的侧壁设置。

本公开实施例还提供一种半导体结构的制作方法，参照图 2，步骤 S101 至步骤 S105 的过程如下：

5 步骤 S101、提供基底。

本实施例中，基底可以为半导体基底，例如单晶硅、多晶硅或非晶结构的硅或硅锗（SiGe），也可以为混合的半导体结构，例如碳化硅、锑化铟、碲化铅、砷化铟、磷化铟、砷化镓或锑化镓、合金半导体或其组合。本实施例在此不对其进行限制。

下面参照图 3 至图 8c，在提供基底 10 以后，还包括：

10 步骤 S102、形成多个第一支撑柱，多个第一支撑柱相互平行且间隔地设置在基底上，多个第一支撑柱位于平行于基底的同一平面内。

参照图 3，本实施例中，形成多个第一支撑柱 331 的步骤包括：形成牺牲层 20，其覆盖基底 10。牺牲层 20 包括交替层叠设置的第一牺牲层 21 和第二牺牲层 22。例如，本实施例中可以包括多个第一牺牲层 21 和多个第二牺牲层 22，其中，第二牺牲层 22 夹设在相邻的两个第一牺牲层 21 之间，部分第一牺牲层 21 还覆盖在基底 10 上，以使第一牺牲层 21 和第二牺牲层 22 在基底 10 上交替层叠设置。在一些实施例中，第一牺牲层 21 的材质可以包括氧化物，第二牺牲层 22 的材质可以包括氮化物，以使第一牺牲层 21 和第二牺牲层 22 的材质有所区分，便于后续选择性的蚀刻部分牺牲层 20。

当然，在一些其他实施例中，牺牲层 20 还可以只包括一层第一牺牲层 21 和一层第二牺牲层 22，第一牺牲层 21 位于第二牺牲层 22 和基底 10 之间。

参照图 4a、图 4b 以及图 4c，本实施例中，在形成牺牲层 20 以后，形成多个第一支撑柱 331 的步骤还包括：去除部分牺牲层 20，以形成多个第一沟槽 31，在沿 Z 轴方向上，多个第一沟槽 31 相互平行且间隔地设置在基底 10 上，且第一沟槽 31 的延伸方向平行于 Y 轴方向。在一种具体的实现方式中，可以对部分牺牲层 20 进行蚀刻，并且蚀刻至暴露出基底 10，以形成多个第一沟槽 31。

参照图 5a、图 5b 以及图 5c，本实施例中，在形成第一沟槽 31 以后，形成多个第一支撑柱 331 的步骤还包括：在第一沟槽 31 内形成填充层 311。在第一沟槽 31 内填充材料，以使在第一沟槽 31 内形成多个填充层 311，在沿 Z 轴方向上，多个填充层 311 相互平行且间隔地设置在基底 10 上，且填充层 311 的延伸方向平行于 Y 轴方向。在一些实施例中，填充材料的材质可以包括多晶硅、单晶硅等。

参照图 6a 和图 6b，本实施例中，在形成填充层 311 以后，形成多个第一支撑柱 331 的步骤还包括：去除部分牺牲层 20 以及部分填充层 311，以形成多个第二沟槽 32，在沿 X 轴方向上，多个第二沟槽 32 相互平行且间隔地设置在基底 10 上，且第二沟槽 32 的延伸方向垂直于第一沟槽 31。在一种具体的实现方式中，可以对部分牺牲层 20 和部分填充层 311 进行蚀刻，并且蚀刻至暴露出基底 10，以形成多个第二沟槽 32。本实施例中，可以形成三个第二沟槽 32，且三个第二沟槽 32 将牺牲层 20 分割成第一区域 81 和第二区域 82，以便后续分别在第一区域 81 和第二区域 82 内进一步形成电容结构。

参照图 7a、图 7b 以及图 7c，本实施例中，在形成第二沟槽 32 以后，形成多个第一支撑柱 331 的步骤还包括：去除部分牺牲层 20，以形成多个填充沟道 33，多个填充沟道 33 间隔且平行于第一沟槽 31 设置。

在牺牲层 20 还可以只包括一层第一牺牲层 21 和一层第二牺牲层 22 的实施例中，在沿 Z 轴方向上，多个填充沟道 33 位于平行于基底 10 的同一平面内。由于第二沟槽 32 的侧壁即为牺牲层 20，通过设置第二沟槽 32，可使牺牲层 20 暴露出来。通过对牺牲层 20 进行蚀刻，第二牺牲层 22 的蚀刻选择比较第一牺牲层 21 的蚀刻选择比高，以去除牺牲层 20 中的第二牺牲层 22，保

留第一牺牲层 21，从而形成多个填充沟道 33，且多个填充沟道 33 均位于相邻的第二沟槽 32 之间，并与第二沟槽 32 连通。

在沿 Z 轴方向上，位于平行于基底 10 的同一平面内的多个填充沟道 33 构成填充结构。在牺牲层 20 包括交替层叠设置的第一牺牲层 21 和第二牺牲层 22 的实施例中，去除牺牲层 20 中第二牺牲层 22 的，保留第一牺牲层 21 之后，还包括：在垂直于基底 10 的方向上（也即沿 Y 轴方向上），形成在基底 10 上层叠设置的填充结构，每层填充结构包括多个相互平行且间隔设置的填充沟道 33。

参照图 8a、图 8b 以及图 8c，本实施例中，在形成填充沟道 33 以后，形成多个第一支撑柱 331 的步骤还包括：在填充沟道 33 内形成第一支撑柱 331。在一些实施例中，可以采用沉积的工艺在填充沟道 33 内形成第一支撑柱 331。第一支撑柱 331 的材质包括单晶硅、单晶硅锗或者 IGZO，从而保证第一支撑柱 331 对第一电容结构 41 的支撑作用。其中，IGZO(indium gallium zinc oxide，铟镓锌氧化物)是一种含有铟、镓和锌的非晶氧化物，其具有良好的载流子迁移性能。本实施例中，第一支撑柱 331 的材质可以为 IGZO，有利于提高第一电容结构 41 的性能。

继续参照图 8a 和图 8b，在填充沟道 33 内形成第一支撑柱 331 的同时，还包括：在第二沟槽 32 内形成中间支撑层 321。由于填充沟道 33 与第二沟槽 32 连通，在形成第一支撑柱 331 的同时，可以采用沉积的工艺同步在第二沟槽 32 内形成中间支撑层 321。本实施例中，中间支撑层 321 的材质与第一支撑柱 331 的材质相同，且中间支撑层 321 与第一支撑柱 331 接合。

下面参照图 9a 至图 11a，在形成多个第一支撑柱 331 以后，还包括：

参照图 9a 和图 9b，本实施例中，在形成多个第一支撑柱 331 以后，还包括：去除部分填充层 311，以形成多个第三沟槽 34，多个第三沟槽 34 相互平行且间隔设置在基底 10 上，第三沟槽 34 的延伸方向垂直于第一沟槽 31。在一种具体的实现方式中，可以对部分填充层 311 进行蚀刻，并且蚀刻至暴露出基底 10，以形成多个第三沟槽 34。对比图 6b 和图 9b，第三沟槽 34 将第一区域 81 内的牺牲层 20 进一步分割成多个区域，以便后续在多个区域内形成多个电容。

参照图 10a 和图 10b，本实施例中，在形成第三沟槽 34 以后，还包括：去除第三沟槽 34 侧壁对应的牺牲层 20，保留第一支撑柱 331，以形成填充侧壁 35。去除第三沟槽 34 侧壁对应的牺牲层 20，也即，去除第三沟槽 34 侧壁对应的第一牺牲层 21，并保留第一支撑柱 331。在一种具体的实施方式中，使第一牺牲层 21 的蚀刻选择比第一支撑柱 331 的蚀刻选择比高，通过蚀刻工艺去除第一牺牲层 21，保留第一支撑柱 331。

参照图 11a 和图 11b，本实施例中，在形成填充侧壁 35 以后，还包括：在部分填充侧壁 35 内形成第一支撑层 351，第一支撑层 351 环绕第一支撑柱 331 的侧壁表面。例如，可以通过沉积的工艺在填充侧壁 35 内形成第一支撑层 351，第一支撑层 351 的材质例如可以包括氮化物。通过设置第一支撑层 351，有利于进一步提升对第一支撑柱 331 的支撑效果。

下面参照图 12a 至图 15b，在形成第一支撑层 351 以后，还包括：

步骤 S103、形成第一电容结构，第一电容结构包括第一下电极层、第一介电层以及第一上电极层，第一下电极层覆盖第一支撑柱的侧壁表面和基底，第一介电层覆盖在第一下电极层上，第一上电极层覆盖在第一介电层上。

参照图 12a、图 12b 以及图 12c，本实施例中，形成第一电容结构 41 的步骤包括：去除部分牺牲层 20 和填充层 311，以保留第一支撑柱 331 和第一支撑层 351。本实施例中，去除位于第一区域 81 内的部分第一牺牲层 21 和填充层 311，以保留第一支撑柱 331 和第一支撑层 351，进而形成一填充空间，以便后续在该填充空间内形成电容。在一种具体的实现方式中，使第一牺牲层 21 和填充层 311 的蚀刻选择比均高于第一支撑柱 331 和第一支撑层 351 的蚀刻选择比，通过蚀刻工艺去除牺牲层 20 和填充层 311，以保留第一支撑柱 331 和第一支撑层 351。

参照图 13a 和图 13b，本实施例中，去除部分牺牲层 20 和填充层 311 以后，还包括：通过选择性生长工艺在位于填充空间内的第一支撑柱 331 和基底 10 上形成第一下电极层 411。值得说明

的是，选择性生长工艺可以选择性地沉积在所需的材料表面。例如，第一下电极层 411 的材质可以包括钨、钛等金属材料，在沉积的过程中，第一下电极层选择性的沉积在第一支撑柱 331 侧壁以及基底 10 的表面，而不沉积在第一支撑层 351 的侧壁上。通过上述选择性沉积工艺，避免后续去除第一支撑层 351 侧壁上的第一下电极层 411，从而提高制作效率。

5 继续参照图 13a 和图 13b，本实施例中，由于中间支撑层 321 的材质与第一支撑柱 331 的材质相同，第一下电极层 411 还覆盖在位于填充空间一侧的中间支撑层 321 上。

参照图 14a 和图 14b，本实施例中，在形成第一下电极层 411 以后，还包括：依次形成第一介电层 412 和第一上电极层 413。在一种具体的实现方式中，可以采用沉积的工艺依次形成第一介电层 412 和第一上电极层 413。第一介电层 412 的材质可以包括高介电常数材料、氧化硅、氮化硅或者氮氧化硅，以实现第一上电极层 413 与第一下电极层 411 之间的绝缘效果。第一上电极层 413 的材质可以包括钨、钛等金属材料，本实施例中，第一上电极层 413 的材质与第一下电极层 411 的材质相同。

继续参照图 14a 和图 14b，在牺牲层 20 包括交替层叠设置的第一牺牲层 21 和第二牺牲层 22 的实施例中，形成第一电容结构 41，还包括：第一电容结构 41 和第一支撑柱 331 构成第一电容组件 61，在垂直于基底 10 的方向上（也即沿 Y 轴方向上），形成多个层叠设置的第一电容组件 61。在依次沉积形成第一下电极层 411、第一介电层 412 以及第一上电极层 413 时，多个第一电容组件 61 同步形成。

相邻的第一电容组件 61 对应的第一上电极层 413 之间电性连接。例如，在沿 Y 轴方向上，在相邻的第一电容组件 61 所对应的第一上电极层 413 之间可以通过导电层连接，导电层的材质例如可以包括金属或者金属合金等。如图 14a 所示，在垂直于基底 10 的方向上（也即沿 Y 轴方向上），相邻的第一电容组件 61 对应的第一上电极层 413 还可以直接接合在一起，以使相邻的第一电容组件 61 共用同一第一上电极层 413。

参照图 15a 和图 15b，形成多个第一电容结构 41，还包括：在依次形成第一介电层 412 和第一上电极层 413 以后：去除部分中间支撑层 321；参照图 16a 和图 16b，在去除部分中间支撑层 321 以后，在部分第二沟槽 32 内形成第二支撑层 322。例如，可以去除位于第一电容结构 41 左侧的中间支撑层 321，以形成第二沟槽 32，并在该第二沟槽 32 内形成第二支撑层 322，设置第二支撑层 322，有利于进一步提升对第一支撑柱 331 的支撑效果。在一种具体的实现方式中，第二支撑层 322 的材质可以包括氮化物。本实施例中，第二支撑层 322 的材质可以与第一支撑层 351 的材质相同。

30 对比图 14a 和图 15a，在去除部分中间支撑层 321 的同时，还去除覆盖在中间支撑层 321 侧壁上的第一下电极层 411，从而在垂直于基底 10 的方向上（沿 Y 轴方向上），将相邻的电容隔离开。

下面参照图 17a 和图 17b，在形成多个第一电容结构 41 以后，还包括：

步骤 S104、形成多个第一分割沟道，多个第一分割沟道相互平行且间隔地设置于基底上，第一分割沟道的延伸方向与第一支撑柱垂直，第一分割沟道将第一电容结构分割成多个电容。

35 去除部分第一支撑层 351，以形成第一分割沟道 51。例如，可以去除相邻的电容之间的第一支撑层 351，以使第一分割沟道 51 内对应的第一支撑柱 331 以及基底 10 暴露出来。在一种具体的实现方式中，使第一支撑层 351 的蚀刻选择比高于第一支撑柱 331 的蚀刻选择比，通过蚀刻工艺去除第一支撑层 351，以保留第一支撑柱 331。

40 值得说明的是，通过设置多个第一分割沟道 51，使沿 X 轴方向分布的第一电容结构 41 被分割成多个电容。

下面参照图 18a 和图 18b，在形成多个第一分割沟道 51 以后，还包括：

步骤 S105、在第一分割沟道内形成第一绝缘层，第一绝缘层位于相邻电容的第一下电极层之间，第一绝缘层覆盖在第一分割沟道对应的第一支撑柱的侧壁表面和基底上。

在一些实施例中，第一绝缘层 511 的材质可以包括高介电常数材料、氧化硅、氮化硅或者氮氧化

硅, 以实现相邻电容对应的第一下电极层 411 之间的绝缘效果。本实施例中, 第一绝缘层 511 的材质可以为高介电常数材料, 从而进一步提升相邻电容对应的第一下电极层 411 之间的绝缘性能。

下面参照图 19a、图 19b、图 19c 以及图 19d, 在第一分割沟道 51 内形成第一绝缘层 511 以后, 还包括: 步骤 S106、在第一分割沟道内填充导电材料, 以使相邻电容对应的第一上电极层之间电性连接。

- 5 在一种具体的实现方式中, 导电材料可以为金属或者金属合金等, 在沿 X 轴方向上, 同一水平面内的第一电容结构 41 中, 相邻电容对应的第一上电极层 413 之间通过导电材料电性连接。本实施例中, 导电材料可以与第一上电极层 413 的材质相同, 以使在沿 X 轴方向上, 同一水平面内的第一电容结构 41 共用同一第一上电极层 413, 从而使得相邻电容对应的第一上电极层 413 之间电性连接。相邻电容对应的第一下电极层 411 可以通过第一支撑柱 331 电性连接在一起, 相邻电容对应的第一上电极层 413 之间电性连接, 使得相邻电容实现并联, 有利于提高第一电容组件 61 的电容容量, 进而提高半导体结构的性能。例如, 参照 19d, 第一绝缘层 511 的厚度 H3 大于第一下电极层 411 的厚度 H1, 有利于保证相邻电容对应的第一下电极层 411 之间的绝缘性能。第一绝缘层 511 的厚度 H3 小于第一下电极层 411 与第一介电层 412 的厚度之和 H2, 还能够便于相邻电容对应的第一上电极层 413 之间进行电性连接, 从而保证相邻电容之间进行并联。

- 15 本公开实施例还提供一种半导体结构的制作方法, 包括: 提供基底 10; 形成多个第一支撑柱 331, 多个第一支撑柱 331 相互平行且间隔地设置在基底 10 上, 多个第一支撑柱 331 位于平行于基底 10 的同一平面内; 形成第一电容结构 41, 第一电容结构 41 包括第一下电极层 411、第一介电层 412 以及第一上电极层 413, 第一下电极层 411 覆盖第一支撑柱 331 的侧壁表面和基底 10, 第一介电层 412 覆盖在第一下电极层 411 上, 第一上电极层 413 覆盖在第一介电层 412 上; 形成多个第一分割沟道 51, 多个第一分割沟道 51 相互平行且间隔地设置于基底 10 上, 第一分割沟道 51 的延伸方向与第一支撑柱 331 垂直, 第一分割沟道 51 将第一电容结构 41 分割成多个电容; 在第一分割沟道 51 内形成第一绝缘层 511, 第一绝缘层 511 位于相邻电容的第一下电极层 411 之间, 第一绝缘层 511 覆盖在第一分割沟道 51 对应的第一支撑柱 331 的侧壁表面和基底 10 上; 在第一分割沟道 51 内填充导电材料, 以使相邻电容对应的第一上电极层 413 之间电性连接。通过第一绝缘层 511 将相邻电容隔离, 相邻电容对应的第一下电极层 411 通过第一支撑柱 331 电性连接在一起, 相邻电容对应的第一上电极层 413 之间电性连接, 使得相邻电容实现并联, 有利于提高电容容量, 进而提高半导体结构的性能。

- 20 参照图 6a, 在形成第二沟槽 32 以后, 第二沟槽 32 将牺牲层 20 分割成第一区域 81 和第二区域 82, 其中, 第一区域 81 用于形成多个层叠设置的第一电容组件 61。参照图 6a 至图 8c, 在形成第一区域 81 内形成第一支撑柱 331 的同时, 还在第二区域 82 内形成了第二支撑柱 332, 且第二支撑柱 332 与第一支撑柱 331 对称设置, 第二支撑柱 332 的结构以及材质在此不再赘述。

- 30 参照图 9a 和图 11b, 形成第一支撑柱 331 的同时, 还包括: 形成隔离部 70。第三沟槽 34 还将第二区域 82 内的牺牲层 20 进一步分割成多个区域, 以便后续在多个区域内形成多个电容。参照图 10a, 隔离部 70 位于位于相邻的第三沟槽 34 之间, 用于将后续在第一区域 81 内形成的电容与后续在第二区域 82 内形成的电容隔离开。隔离部 70 还包括中间支撑层 321, 中间支撑层 321 的一侧与第一支撑柱 331 连接, 中间支撑层 321 的另一侧与第二支撑柱 332 连接, 以使第一支撑柱 331 和第二支撑柱 332 通过中间支撑层 321 电性连接在一起。本实施例中, 中间支撑层 321、第一支撑柱 331 和第二支撑柱 332 的材质相同, 以便通过同一沉积制程同步形成, 从而提高半导体结构的生产效率。隔离部 70 还包括牺牲层 20, 部分牺牲层 20 位于中间支撑层 321 与第一支撑层 351 之间, 且部分牺牲层 20 环绕第一支撑柱 331 的侧壁设置; 部分牺牲层 20 还位于中间支撑层 321 与第二支撑层 322 之间, 且部分牺牲层 20 环绕第二支撑柱 332 的侧壁设置。

参照图 10a 和图 10b, 第二区域 82 内还包括多个填充侧壁 35。参照图 11a 和图 11b, 在填充侧壁 35 内形成第一支撑层 351 的同时, 还形成第三支撑层 352, 第三支撑层 352 位于第二区域 82 内, 且第三支撑层 352 与第一支撑层 351 对称设置, 第三支撑层 352 的结构以及材质在此不再

赘述。

参照图 12a 和图 12b, 去除部分牺牲层 20 和填充层 311, 以保留第一支撑柱 331 和第一支撑层 351 的同时, 还包括: 去除第二区域 82 内的部分牺牲层 20 和填充层 311, 并保留第二支撑柱 332 和第三支撑层 352, 以形成填充空间。参照图 13a 至图 14b, 在第一区域 811 内形成多个层叠设置的第一电容组件 61 的同时, 还包括: 在垂直于基底 10 的方向上(也即在沿 Y 轴方向上), 形成多个第二电容组件 62 层叠设置, 隔离部 70 位于第一电容组件 61 和第二电容组件 62 之间, 第二电容组件 62 与第一电容组件 61 关于隔离部 70 对称设置。第二电容组件 62 位于第二区域 821 内, 且第二电容结构 42 包括第二下电极层 421、第二介质层以及第二上电极层 423, 其结构以及材质在此不再赘述。

参照图 15a 和图 15b, 去除部分中间支撑层 321, 还包括去除位于第二电容结构 42 右侧的中间支撑层 321, 以形成第二沟槽 32。参照图 16a 和图 16b, 形成的第二支撑层 322 的同时, 还形成第四支撑层 323, 第四支撑层 323 位于第二电容结构 42 的背离隔离部 70 的一侧, 且第四支撑层 323 与第二支撑层 322 对称设置, 第四支撑层 323 的结构以及材质在此不再赘述。

参照图 17a 和图 17b, 在形成第一分割沟道 51 的同时, 还包括: 去除第三支撑层 352, 以形成第二分割沟道 52。第二分割沟道 52 的通过设置多个第二分割沟道 52, 以使在沿 X 轴方向上, 位于同一平面内的第二电容结构 42 被分割成多个电容。参照图 18a 和图 18b, 在第二分割沟道 52 内形成第二绝缘层 521 的同时, 还包括: 在第二分割沟道 52 内形成第二绝缘层 521, 第二绝缘层 521 位于相邻电容的第二下电极层 421 之间, 第二绝缘层 521 覆盖在第二分割沟道 52 对应的第二支撑柱 332 的侧壁表面和基底 10 上。第二绝缘层 521 的结构以及材质在此不再赘述。相同地, 第二绝缘层 521 的厚度大于第二下电极层 421 的厚度, 有利于保证相邻电容对应的第二下电极层 421 之间的绝缘性能, 且第二绝缘层 521 的厚度小于第二下电极层 421 与第二介电层 422 的厚度之和, 还能够便于相邻电容对应的第二上电极层 423 之间进行电性连接, 从而保证相邻电容之间进行并联。

参照 19a 和图 19b, 在第一分割沟道 51 内填充导电材料的同时, 还包括: 在第二分割沟道 52 内填充导电材料, 以使相邻电容对应的第二上电极层 423 之间电性连接。本实施例中, 导电材料可以与第二上电极层 423 的材质相同, 以使在沿 X 轴方向上, 同一水平面内的第二电容结构 42 共用同一第二上电极层 423, 从而使得相邻电容对应的第二上电极层 423 之间电性连接。相邻电容对应的第二下电极层 421 可以通过第二支撑柱 332 电性连接在一起, 相邻电容对应的第二上电极层 423 之间电性连接, 使得相邻电容实现并联, 有利于提高第二电容组件 62 的电容容量, 进而进一步提高半导体结构的性能。

以上各实施例仅用以说明本公开的技术方案, 而非对其限制; 尽管参照前述各实施例对本公开进行了详细的说明, 本领域的普通技术人员应当理解: 其依然可以对前述各实施例所记载的技术方案进行修改, 或者对其中部分或者全部技术特征进行等同替换; 而这些修改或者替换, 并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

权 利 要 求 书

1. 一种半导体结构，包括：
位于基底上的第一电容结构和第一支撑柱，多个所述第一支撑柱相互平行且间隔地设置在所述基底上，所述第一电容结构包括第一下电极层、第一介电层以及第一上电极层，所述第一下电极层覆盖所述第一支撑柱的侧壁表面和所述基底上，所述第一介电层覆盖在所述第一下电极层上，
5 所述第一上电极层覆盖在所述第一介电层上；
还包括多个相互平行且间隔地设置在所述基底上的第一分割沟道，所述第一分割沟道的延伸方向与所述第一支撑柱垂直，所述第一分割沟道将所述第一电容结构分割成多个电容，相邻所述电容对应的所述第一下电极层之间设置有第一绝缘层，所述第一绝缘层覆盖在所述第一分割沟道对应的所述第一支撑柱的侧壁表面和所述基底，相邻所述电容对应的所述第一上电极层之间电性连接。
10 2. 根据权利要求 1 所述的半导体结构，其中，所述第一绝缘层的材质包括高介电常数材料、氧化硅、氮化硅或者氮氧化硅。
3. 根据权利要求 2 所述的半导体结构，其中，所述第一绝缘层的厚度大于所述第一下电极层的厚度，且小于所述第一下电极层与所述第一介电层的厚度之和。
15 4. 根据权利要求 1 所述的半导体结构，其中，所述第一支撑柱的材质包括单晶硅、单晶锗、单晶硅锗或者氧化镓锌。
5. 根据权利要求 3 所述的半导体结构，其中，所述第一电容结构和所述第一支撑柱构成第一电容组件，在垂直于基底的方向上，所述基底上设置有多个层叠设置的所述第一电容组件，相邻的
20 所述第一电容组件对应的所述第一上电极层之间电性连接。
6. 根据权利要求 5 所述的半导体结构，其中，还包括覆盖所述基底上的第一支撑层和第二支撑层，所述第一支撑层和第二支撑层环绕所述第一支撑柱的侧壁表面，所述第一电容组件位于所述第一支撑层和所述第二支撑层之间，所述第一介电层还覆盖在所述第一支撑层和所述第二支撑层的侧壁。
25 7. 根据权利要求 5 所述的半导体结构，其中，还包括位于基底上的隔离部和多个第二电容组件，在垂直于基底的方向上，所述基底上设置有多个层叠设置的所述第二电容组件，所述隔离部位于所述第一电容组件和所述第二电容组件之间，所述第二电容组件与所述第一电容组件关于所述隔离部对称设置。
8. 一种半导体结构的制作方法，包括：
30 提供基底；
形成多个第一支撑柱，多个所述第一支撑柱相互平行且间隔地设置在所述基底上；
形成第一电容结构，所述第一电容结构包括第一下电极层、第一介电层以及第一上电极层，所述第一下电极层覆盖所述第一支撑柱的侧壁表面和所述基底，所述第一介电层覆盖在所述第一下电极层上，所述第一上电极层覆盖在所述第一介电层上；
35 形成多个第一分割沟道，多个所述第一分割沟道相互平行且间隔地设置于所述基底上，所述第一分割沟道的延伸方向与所述第一支撑柱垂直，所述第一分割沟道将所述第一电容结构分割成多个电容；
在所述第一分割沟道内形成第一绝缘层，所述第一绝缘层位于相邻所述电容的所述第一下电极层之间，所述第一绝缘层覆盖在所述第一分割沟道对应的所述第一支撑柱的侧壁表面和所述基底上；
40 在所述第一分割沟道内填充导电材料，以使相邻所述电容对应的所述第一上电极层之间电性连接。
9. 根据权利要求 8 所述的半导体结构的制作方法，其中，所述第一绝缘层的材料包括高介电常

数材料、氧化硅、氮化硅或者氮氧化硅。

10. 根据权利要求 8 所述的半导体结构的制作方法, 其中, 所述第一绝缘层的厚度大于所述第一下电极层的厚度, 且小于所述第一下电极层与所述第一介电层的厚度之和。

5 11. 根据权利要求 9 所述的半导体结构的制作方法, 其中, 所述第一支撑柱的材质包括单晶硅、单晶锗、单晶硅锗或者氧化铟镓锌。

12. 根据权利要求 11 所述的半导体结构的制作方法, 其中, 形成第一支撑柱, 包括:
形成牺牲层, 其覆盖所述基底;

去除部分所述牺牲层, 以形成多个第一沟槽, 多个所述第一沟槽相互平行且间隔地设置在所述基底上;

10 在所述第一沟槽内形成填充层;

去除部分所述牺牲层以及部分所述填充层, 以形成多个第二沟槽, 多个所述第二沟槽相互平行且间隔设置在所述基底上, 所述第二沟槽的延伸方向垂直于所述第一沟槽;

去除部分所述牺牲层, 以形成多个填充沟道, 多个所述填充沟道间隔且平行于所述第一沟槽设置;

15 在所述填充沟道内形成所述第一支撑柱。

13. 根据权利要求 12 所述的半导体结构的制作方法, 其中, 所述牺牲层包括交替层叠设置的第一牺牲层和第二牺牲层, 去除部分所述牺牲层, 以形成填充沟道, 包括:

去除所述牺牲层中的所述第二牺牲层, 保留所述第一牺牲层, 以形成在所述基底上层叠设置的填充结构, 在垂直于基底的方向上, 每层所述填充结构包括多个相互平行且间隔设置的所述填充沟道;

20 形成第一电容结构, 还包括: 所述第一电容结构和所述第一支撑柱构成第一电容组件, 在垂直于基底的方向上, 形成多个层叠设置的所述第一电容组件, 相邻的所述第一电容组件对应的所述第一上电极层之间电性连接。

25 14. 根据权利要求 13 所述的半导体结构的制作方法, 其中, 在所述填充沟道内形成所述第一支撑柱的同时, 还包括:

在所述第二沟槽内形成中间支撑层;

形成所述第一电容结构, 还包括:

去除部分所述中间支撑层;

在部分所述第二沟槽内形成第二支撑层。

30 15. 根据权利要求 14 所述的半导体结构的制作方法, 其中, 在所述填充沟道内形成所述第一支撑柱以后, 还包括:

去除部分填充层, 以形成多个第三沟槽, 多个所述第三沟槽相互平行且间隔设置在所述基底上, 所述第三沟槽的延伸方向垂直于所述第一沟槽;

去除所述第三沟槽侧壁对应的所述牺牲层, 保留所述第一支撑柱, 以形成填充侧壁;

35 在部分所述填充侧壁内形成第一支撑层, 所述第一支撑层环绕所述第一支撑柱的侧壁表面。

16. 根据权利要求 15 所述的半导体结构的制作方法, 其中, 形成第一电容结构, 还包括:

去除部分所述牺牲层和所述填充层, 以保留所述第一支撑柱和所述第一支撑层;

通过选择性生长工艺在所述第一支撑柱和所述基底上形成所述第一下电极层;

依次形成所述第一介电层和所述第一上电极层。

40 17. 根据权利要求 15 所述的半导体结构的制作方法, 其中, 形成第一分割沟道, 包括:

去除部分所述第一支撑层。

18. 根据权利要求 14 所述的半导体结构的制作方法, 其中, 还包括:

形成所述第一支撑柱的同时, 还包括: 形成隔离部;

形成多个层叠设置的所述第一电容组件, 还包括: 在垂直于基底的方向上, 形成多个层叠设置

的第二电容组件，所述隔离部位于所述第一电容组件和所述第二电容组件之间，所述第二电容组件与所述第一电容组件关于所述隔离部对称设置。