

均衡电路、数据采集方法及存储器

本申请要求于 2020 年 09 月 24 日提交中国专利局、申请号为
5 202011018885.X、申请名称为“均衡电路、数据采集方法及存储器”的中国
专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请实施例涉及集成电路技术领域，尤其涉及一种均衡电路、数据
10 采集方法及存储器。

背景技术

在计算机高速链路中，随着数据信号的传输速度变得越来越快，难免
会产生明显的符号间干扰 (Inter Symbol Interference, 简称 ISI)。因此需要
15 对高速链路数据信号进行均衡处理，以重新获得可使用的数据信号。

在内存接收器电路设计中，主要采用连续时间线性均衡器(Continuous
Time Linear Equalizer, CTLE)架构来进行均衡处理，其功能是根据信道的
衰减特性进行信号补偿，以提高数据信号的质量。

然而，现有的均衡处理方式已经难以满足高速接收器对接收数据信号
20 的质量的要求。因此，如何进一步提高接收数据信号的质量，目前亟需解
决。

发明内容

本申请实施例提供一种均衡电路、数据采集方法及存储器，可以有效
25 提高接收数据信号的质量。

第一方面，本申请实施例提供了一种均衡电路，包括：第一输入缓冲
电路、第二输入缓冲电路以及选择采样电路，第一输入缓冲电路与第二输
入缓冲电路分别与选择采样电路连接，且第一输入缓冲电路与第二输入缓
冲电路采用的参考电压不同。

30 选择采样电路根据均衡电路前一次输出的数据，选择对第一输入缓冲
电路输出的数据信号或第二输入缓冲电路输出的数据信号进行数据采样，
并将采集到的数据作为均衡电路当前输出的数据。

本申请实施例所提供的均衡电路，包括两种采用不同参考电压的输入缓冲电路，在采集数据时，均基于均衡电路前一次输出的数据，从上述两个输入缓冲电路中选择合适的一个输入缓冲电路，然后对所选择的输入缓冲电路所输出的数据信号进行数据采样，可以有效增加均衡电路的输入电压裕度，进而提升接收数据信号的质量。

在一种可行的实施方式中，上述均衡电路还包括双参考电压产生器；所述双参考电压产生器包括第一参考电压输出端与第二参考电压输出端，所述第一参考电压输出端与所述第一输入缓冲电路的参考电压输入端连接，所述第二参考电压输出端与所述第二输入缓冲电路的参考电压输入端连接。

在一种可行的实施方式中，所述选择采样电路包括选择电路与采样电路，所述选择电路与所述采样电路连接；所述选择电路用于根据所述采样电路发送的数据，选择将所述第一输入缓冲电路输出的数据信号或所述第二输入缓冲电路输出的数据信号输入至所述采样电路；所述采样电路用于对所述选择电路输入的数据信号进行数据采样。

在一种可行的实施方式中，所述选择电路包括第一选择电路与第二选择电路，所述采样电路包括第一采样电路与第二采样电路。

所述第一选择电路的两个输入端分别与所述第一输入缓冲电路的输出端和所述第二输入缓冲电路的输出端连接，所述第二选择电路的两个输入端分别与所述第一输入缓冲电路的输出端和所述第二输入缓冲电路的输出端连接。

所述第一选择电路的输出端与所述第一采样电路的输入端连接，所述第一选择电路的控制端与所述第二采样电路的输出端连接，所述第二选择电路的输出端与所述第二采样电路的输入端连接，所述第二选择电路的控制端与所述第一采样电路的输出端连接。

在一种可行的实施方式中，所述第一采样电路将当前采集到的数据发送至所述第二选择电路的控制端，所述第二选择电路基于所述第一采样电路发送的数据，选择将所述第一输入缓冲电路或所述第二输入缓冲电路中的数据输入至所述第二采样电路；所述第二采样电路将当前采集到的数据发送至所述第一选择电路的控制端，所述第一选择电路基于所述第二采样电路发送的数据，选择将所述第一输入缓冲电路或所述第二输入缓冲电路

中的数据输入至所述第一采样电路。

在一种可行的实施方式中，当所述第一采样电路发送至所述第二选择电路的控制端的数据为 1 时，所述第二选择电路选择将所述第一输入缓冲电路的输出数据输入至所述第二采样电路；当所述第一采样电路发送至所述
5 所述第二选择电路的控制端的数据为 0 时，所述第二选择电路选择将所述第二输入缓冲电路的输出数据输入至所述第二采样电路。

当所述第二采样电路发送至所述第一选择电路的控制端的数据为 1 时，所述第一选择电路选择将所述第一输入缓冲电路的输出数据输入至所述第一采样电路；当所述第二采样电路发送至所述第一选择电路的控制端的数据为 0 时，所述第一选择电路选择将所述第二输入缓冲电路的输出数据输入至所述
10 第一采样电路。

在一种可行的实施方式中，所述均衡电路还包括采样时钟输入电路，所述采样时钟输入电路的输出端分别与所述第一采样电路和所述第二采样电路的采样时钟输入端连接；所述采样时钟输入电路用于向所述第一采样
15 电路和所述第二采样电路提供采样时钟信号。

在一种可行的实施方式中，所述第一采样电路利用所述均衡电路接收到的采样时钟信号的上升沿，对所述第一选择电路输入的数据进行数据采样；所述第二采样电路利用所述均衡电路接收到的采样时钟信号的下降沿，对所述第二选择电路输入的数据进行数据采样。

在一种可行的实施方式中，若所述均衡电路当前输出的数据为所述第一采样电路利用均衡电路接收到的采样时钟信号的上升沿所采集到的数据，则所述均衡电路前一次输出的数据为所述第二采样电路利用均衡电路接收到的采样时钟信号为所述上升沿的前一个相邻下降沿所采集到的数据。
20

若所述均衡电路当前输出的数据为所述第二采样电路利用均衡电路接收到的采样时钟信号的下降沿所采集到的数据，则所述均衡电路前一次输出的数据为所述第一采样电路利用均衡电路接收到的采样时钟信号为所述下降沿的前一个相邻上升沿所采集到的数据。
25

在一种可行的实施方式中，所述第一输入缓冲电路中包括第一比较器电路与第一延时电路，所述第一比较器电路与所述第一延时电路串联，所述
30 第一比较器电路的参考电压输入端与所述第一参考电压输出端连接。

所述第二输入缓冲电路中包括第二比较器电路与第二延时电路，所述第二比较器电路与所述第二延时电路串联，所述第二比较器电路的参考电压输入端与所述第二参考电压输出端连接。

所述第一比较器电路的信号输入端与所述第二比较器电路的信号输入端连接相同的输入数据信号。

在一种可行的实施方式中，所述第一比较器电路与所述第二比较器电路采用相同的电路结构。

在一种可行的实施方式中，所述第一延时电路与所述第二延时电路采用相同的电路结构。

在一种可行的实施方式中，所述第一选择电路与所述第二选择电路采用相同的电路结构。

在一种可行的实施方式中，所述第一采样电路与所述第二采样电路采用相同的电路结构。

在一种可行的实施方式中，所述第一输入缓冲电路采用的参考电压大于所述第二输入缓冲电路采用的参考电压。

第二方面，本申请实施例提供了一种数据采集方法，应用于均衡电路，该均衡电路包括两个输入缓冲电路，这两个输入缓冲电路采用的参考电压不同。

上述数据采集方法包括：

响应于采样时钟信号，根据所述均衡电路前一次输出的数据，选择对所述两个输入缓冲电路中的其中一个输入缓冲电路输出的数据信号进行数据采样，并将采集到的数据作为所述均衡电路当前输出的数据。

本申请实施例所提供的数据采集方法，在采集数据时，均基于均衡电路前一次输出的数据，从两个不同输入缓冲电路中选择一个合适的输入缓冲电路，然后对所选择的输入缓冲电路所输出的数据信号进行数据采样，可以有效增加均衡电路的输入电压裕度，进而提升接收数据信号的质量。

第三方面，本申请实施例提供了一种存储器，该存储器包括均衡电路，该均衡电路为本申请实施例第一方面所提供的均衡电路。

本申请实施例所提供的均衡电路、数据采集方法及存储器中，均衡电路包括两个具有不同参考电压的输入缓冲电路，选择采样电路在采集数据

时，需要根据均衡电路前一次输出的数据，从上述两个输入缓冲电路中选择其中一个所输出数据信号进行数据采集，以提前进行数据均衡处理，由此可以更加有效的消除 ISI，提升接收数据信号的质量。

5 附图说明

为了更清楚地说明本申请实施例或现有技术中的技术方案，下面将对本申请实施例或现有技术描述中所需要使用的附图作一简单地介绍，显而易见地，下面描述中的附图是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其它的附图。

- 图 1 为本申请实施例中提供的一种均衡电路的电路结构示意图；
- 图 2 为本申请实施例中提供的另一种均衡电路的电路结构示意图；
- 图 3 为本申请实施例中提供的均衡电路在采集数据过程中的波形图；
- 图 4 为本申请实施例中所提供的均衡电路的均衡处理效果示意图。

15

具体实施方式

为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本申请一部分实施例，而不是全部的实施例。

20 基于本申请中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

本申请实施例提供了一种新型的均衡电路，可以应用于各种类型的存储器，具体可以应用于各类存储器产品中的接收器电路，例如，可以应用于 DDR4 型内存中的接收器电路。

25 另外，在设计高速接收器时，也可采用本申请实施例提供的均衡电路。

目前在内存的接收器电路设计中，主要采用 CTLE 架构来进行均衡处理，其功能是根据信道的衰减特性进行信号补偿，以提高信号的质量。但是现有的这种均衡处理方式已经难以满足如 DDR4 型内存对信号质量的要求。

30 为了提高信号质量，本申请实施例所提供的均衡电路包括两个具有不同参考电压的输入缓冲电路，选择采样电路在采集数据时，均基于前一

次所采集到的数据，从上述两个输入缓冲电路中选择一个合适的输入缓冲电路，并基于所选择的输入缓冲电路输出的数据信号进行数据采样，以提前进行数据均衡处理，从而可以更加有效的消除 ISI，提升接收数据信号的质量。

5 参照图 1，图 1 为本申请实施例中提供的一种均衡电路的电路结构示意图。上述均衡电路包括：第一输入缓冲电路 10、第二输入缓冲电路 20 以及选择采样电路 30。其中：

10 第一输入缓冲电路 10 与第二输入缓冲电路 20 分别与选择采样电路 30 连接，且第一输入缓冲电路 10 与第二输入缓冲电路 20 采用的参考电压不同。

选择采样电路 30 根据均衡电路前一次输出的数据，选择对第一输入缓冲电路 10 输出的数据信号或第二输入缓冲电路 20 输出的数据信号进行数据采样，并将采集到的数据作为均衡电路当前输出的数据。

15 示例性的，当均衡电路前一次输出的数据的值为 1 时，选择采样电路 30 选择对第一输入缓冲电路 10 输出的数据信号进行数据采样，并将采集到的数据作为均衡电路当前输出的数据；当均衡电路前一次输出的数据的值为 0 时，选择采样电路 30 选择对第二输入缓冲电路 20 输出的数据信号进行数据采样，并将采集到的数据作为均衡电路当前输出的数据。

20 可以理解的是，由于第一输入缓冲电路 10 与第二输入缓冲电路 20 所采用的参考电压不同，因此第一输入缓冲电路 10 与第二输入缓冲电路 20 对接收数据与参考电压进行比较时的电压裕度也会不同。当选择采样电路 30 在采集数据时，根据均衡电路前一次输出的数据，来选择从第一输入缓冲电路 10 所输出的数据信号中进行数据采集还是从第二输入缓冲电路 20 所输出的数据信号中进行数据采集，由此使上述均衡电路能够根据前一次
25 输出的数据提前进行数据均衡处理，有助于消除 ISI，提高接收数据信号的质量。

进一步的，基于上述实施例中所描述的内容，参照图 2，图 2 为本申请实施例中提供的另一种均衡电路的电路结构示意图。本申请一种可行的实施方式中，上述均衡电路还包括参考电压产生器 40，其中：

30 参考电压产生器 40 包括第一参考电压输出端 H 与第二参考电压输出

端 L，第一参考电压输出端 H 输出的第一参考电压与第二参考电压输出端 L 输出的第二参考电压不同。

可选的，第一参考电压大于第二参考电压。

其中，第一参考电压输出端 H 与第一输入缓冲电路 10 的参考电压输入端连接，第二参考电压输出端 L 与第二输入缓冲电路 20 的参考电压输入端连接。

在本申请实施例中，选择采样电路 30 包括选择电路与采样电路，该选择电路与采样电路连接。其中，上述选择电路可以用于根据上述采样电路发送的数据，选择将第一输入缓冲电路 10 输出的数据信号或第二输入缓冲电路 20 输出的数据信号输入至上述采样电路；上述采样电路用于对该选择电路输入的数据信号进行数据采样。

具体的，仍参照图 2，上述选择电路包括第一选择电路 31 与第二选择电路 32，上述采样电路包括第一采样电路 33 与第二采样电路 34；其中：

第一选择电路 31 的两个输入端 a 和 b 分别与第一输入缓冲电路 10 的输出端和第二输入缓冲电路 20 的输出端连接，第二选择电路 32 的两个输入端 a 和 b 分别与第一输入缓冲电路 10 的输出端和第二输入缓冲电路 20 的输出端连接。

第一选择电路 31 的输出端与第一采样电路 33 的输入端连接，第一选择电路 31 的控制端 c 与第二采样电路 34 的输出端连接，第二选择电路 32 的输出端与第二采样电路 34 的输入端连接，第二选择电路 32 的控制端 c 与第一采样电路 33 的输出端连接。

第一采样电路 33 用于将当前采集到的数据 DQ_RISE 发送至第二选择电路 32 的控制端 c，第二选择电路 32 基于第一采样电路 33 发送的数据 DQ_RISE，选择将第一输入缓冲电路 10 或第二输入缓冲电路 20 中的数据输入至第二采样电路 34。

第二采样电路 34 用于将当前采集到的数据 DQ_FALL 发送至第一选择电路 31 的控制端 c，第一选择电路 31 基于第二采样电路 34 发送的数据 DQ_FALL，选择将第一输入缓冲电路 10 或第二输入缓冲电路 20 中的数据输入至第一采样电路 33。

可选的，当第一采样电路 33 发送至第二选择电路 32 的控制端 c 的数

据 DQ_RISE 为 1 时, 第二选择电路 32 选择将第一输入缓冲电路 10 的输出数据输入至第二采样电路 34; 当第一采样电路 33 发送至第二选择电路 32 的控制端 c 的数据 DQ_RISE 为 0 时, 第二选择电路 32 选择将第二输入缓冲电路 20 的输出数据输入至第二采样电路 34。

5 当第二采样电路 34 发送至第一选择电路 31 的控制端 c 的数据 DQ_FALL 为 1 时, 第一选择电路 31 选择将第一输入缓冲电路 10 的输出数据输入至第一采样电路 33; 当第二采样电路 34 发送至第一选择电路 31 的控制端 c 的数据 DQ_FALL 为 0 时, 第一选择电路 31 选择将第二输入缓冲电路 20 的输出数据输入至第一采样电路 33。

10 可选的, 第一选择电路 31 与第二选择电路 32 可以采用相同的电路结构, 由此可以提高电路匹配程度, 节省电路设计成本。

可选的, 第一采样电路 33 与第二采样电路 33 也可以采用相同的电路结构, 以提高电路匹配程度, 节省电路设计成本。

进一步的, 上述均衡电路还包括采样时钟输入电路 50, 该采样时钟输入电路 50 的输出端分别与第一采样电路 33 与第二采样电路 34 的采样时钟输入端连接, 可以向第一采样电路 33 与第二采样电路 34 提供采样时钟信号。

其中, 采样时钟输入电路 50 可以接收互为反向的采样时钟信号 DQS 和 DQSB。

20 另外, 采样时钟输入电路 50 中还包括比较器电路和延时电路。其中, 延时电路可以用于调节比较器电路输出的采样时钟信号的相位。

示例性的, 第一采样电路 33 在接收到的采样时钟信号 DQS 为上升沿时, 基于第一选择电路 31 输出的数据信号进行数据采样, 采集得到数据 DQ_RISE, 并将数据 DQ_RISE 发送至第二选择电路 32, 作为第二选择电路 32 的控制信号; 第二采样电路 34 在接收到的采样时钟信号 DQS 为下降沿时, 基于第二选择电路 32 输出的数据信号进行数据采样, 采集得到数据 DQ_FALL, 并将数据 DQ_FALL 发送至第一选择电路 31, 作为第一选择电路 31 的控制信号。

进一步的, 仍参照图 2, 第一输入缓冲电路 10 中包括第一比较器电路 30 11 与第一延时电路 12, 第一比较器电路 11 与第一延时电路 12 串联, 第一

比较器电路 11 的参考电压输入端与第一参考电压输出端 H 连接。

第二输入缓冲电路 20 中包括第二比较器电路 21 与第二延时电路 22，第二比较器电路 21 与第二延时电路 22 串联，第二比较器电路 21 的参考电压输入端与第二参考电压输出端 L 连接。

5 其中，第一比较器电路 11 的信号输入端与第二比较器电路 21 的信号输入端连接相同的输入数据信号 DQ。

其中，第一延时元件 12 可以用于调节 DQ 信号的相位，使第一采样电路 33 接收到的 DQ 信号与采样时钟信号能够保持同步，从而使得第一采样电路 33 能够根据采样时钟信号采集到正确的数据。第二延时元件 22 同样
10 用于调节 DQ 信号的相位，使第二采样电路 34 接收到的 DQ 信号与采样时钟信号保持同步，从而使得第二采样电路 34 能够根据采样时钟信号采集到正确的数据。

可选的，第一比较器电路 11 与第二比较器电路 21 可以采用相同的电路结构，由此可以提高电路匹配程度，节省电路设计成本。

15 可选的，第一延时电路 12 与第二延时电路 22 也可以采用相同的电路结构，以提高电路匹配程度，节省电路设计成本。

可以理解的是，若均衡电路当前输出的数据为第一采样电路 33 在采样时钟信号 DQS 为上升沿时所采集到的数据，则均衡电路前一次输出的数据为第二采样电路 34 在采样时钟信号 DQS 为该上升沿的前一个相邻下降沿时所采集到的数据；若均衡电路当前输出的数据为第二采样电路 34 在采样时钟信号 DQS 为下降沿时所采集到的数据，则均衡电路前一次输出的数据为第一采样电路 33 在采样时钟信号 DQS 为该下降沿的前一个相邻上升沿时所采集到的数据。
20

为了更好的理解本申请实施例，参照图 3，图 3 为本申请实施例中提供的均衡电路在采集数据过程中的波形图。
25

在图 3 中，DQ_VREFDQADD 表示第一输入缓冲电路 10 基于 DQ 信号与第一参考电压 H 输出的数据，包括 DQ0、DQ1、DQ2……DQ_VREFDQSUB 表示第二输入缓冲电路 20 基于 DQ 信号与第二参考电压 L 输出数据，同样包括 DQ0、DQ1、DQ2……
30

本申请实施例中，当第一采样电路 33 接收到的采样时钟信号 DQS 为

上升沿时，采集数据 DQ0，并将 DQ0 发送至第二选择电路 32，若数据 DQ0 的值为 1，则第二选择电路 32 通过其输入端 a，将第一输入缓冲电路 10 中产生的数据输出至第二采样电路 34，在第二采样电路 34 接收到的采样时钟信号 DQS 为下降沿时，即可采集到第一输入缓冲电路 10 输出的数据 DQ1；若数据 DQ0 的值为 0，则第二选择电路 32 通过其输入端 b，将第二输入缓冲电路 20 中产生的数据输出至第二采样电路 34，在第二采样电路 34 接收到的采样时钟信号 DQS 为下降沿时，即可采集到第二输入缓冲电路 20 输出的数据 DQ1。

同理，在第二采样电路 34 采集到数据 DQ1 后，便将 DQ1 发送至第一选择电路 31，若上述数据 DQ1 的值为 1，则第一选择电路 31 通过其输入端 a，将第一输入缓冲电路 10 中产生的数据输出至第一采样电路 33，在第一采样电路 33 接收到的采样时钟信号 DQS 为上升沿时，即可采集到第一输入缓冲电路 10 输出的数据 DQ2；若上述数据 DQ1 的值为 0，则第一选择电路 31 通过其输入端 b，将第二输入缓冲电路 20 中产生的数据输出至第一采样电路 33，在第一采样电路 33 接收到的采样时钟信号 DQS 为上升沿时，即可采集到第二输入缓冲电路 20 输出的数据 DQ2。

基于上述实施例中所描述的内容，在本申请一种可行的实施方式中，第一参考电压是对基准参考电压进行了增强，第二参考电压则是对基准参考电压进行了减弱。因此，当均衡电路前一次输出的数据为 1 时，选择参考电压为第一参考电压的第一输入缓冲电路所输出的数据信号进行数据采样；当均衡电路前一次输出的数据为 0 时，选择参考电压为第二参考电压的第二输入缓冲电路所输出的数据信号进行数据采样，能够有效提升均衡电路的输入电压裕度，从而有效的消除 ISI，提高写入数据的眼图睁开大小。

为了更好的理解本申请实施例，参照图 4，图 4 为本申请实施例中所提供的均衡电路的均衡处理效果示意图。

在图 4 中，可以明显的看出，当均衡电路前一次输出的数据 Pre_Data 的值为 1 时，选择参考电压为第一参考电压 VREFDQ_ADD 的第一输入缓冲电路所输出的数据信号进行数据采样，均衡电路的输入电压裕度（黑色箭头所示）明显大于通过参考电压为基准参考电压 VREFDQ 的输入缓冲电路所输出的数据信号进行数据采样时，上述均衡电路的输入电压裕度（灰

色箭头所示)。

同理，当均衡电路前一次输出的数据 Pre_Data 的值为 0 时，选择参考电压为第二参考电压 VREFDQ_SUB 的第二输入缓冲电路所输出的数据信号进行数据采样，均衡电路的输入电压裕度（黑色箭头所示）明显大于通过参考电压为基准参考电压 VREFDQ 的输入缓冲电路所输出的数据信号进行数据采样时，上述均衡电路的输入电压裕度（灰色箭头所示）。

本申请实施例所提供的均衡电路，包括两种采用不同参考电压的输入缓冲电路，在采集数据时，均基于均衡电路前一次输出的数据，从上述两个输入缓冲电路中选择合适的输入缓冲电路，然后对所选择的输入缓冲电路所输出的数据信号进行数据采样，可以有效增加均衡电路的输入电压裕度，进而提升接收数据信号的质量。

进一步的，基于上述实施例中所描述的均衡电路，本申请实施例中还提供一种数据采集方法，应用于上述实施例中所描述的均衡电路，该方法包括：

15 响应于采样时钟信号，根据均衡电路前一次输出的数据，选择对两个输入缓冲电路中的其中一个输入缓冲电路输出的数据信号进行数据采样，并将采集到的数据作为均衡电路当前输出的数据。

可选的，上述方法可以由均衡电路中的选择采样电路执行。例如，均衡电路在输出一数据后，将输出的数据发送至选择采样电路，该选择采样电路在接收到的采样时钟信号为上升沿或下降沿时，根据接收到的均衡电路前一次输出的数据，选择对两个输入缓冲电路中的其中一个输入缓冲电路输出的数据信号进行数据采样，并将采集到的数据作为均衡电路当前输出的数据。

25 即本申请实施例所提供的数据采集方法，在采集数据时，需要根据均衡电路前一次输出的数据，从均衡电路的两个输入缓冲电路中选择其中一个所输出数据信号进行数据采集，以提前进行数据均衡处理，由此可以更加有效的消除 ISI，提升接收数据信号的质量。

需要说明的是，上述数据采集方法所采用的处理方式可以参照上述实施例中所述的均衡电路的工作原理，在此不再赘述。

30 进一步的，基于上述实施例中所描述的均衡电路，本申请实施例中还

提供一种存储器，该存储器包括上述实施例中所描述的均衡电路。具体可以参照上述实施例中所描述的均衡电路的工作原理，在此不再赘述。

- 最后应说明的是：以上各实施例仅用以说明本申请的技术方案，而非对其限制；尽管参照前述各实施例对本申请进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例技术方案的范围。
- 5