

(43) 国际公布日
2022 年 9 月 22 日 (22.09.2022)

(51) 国际专利分类号:
H01L 27/108 (2006.01)

(21) 国际申请号: PCT/CN2021/111829

(22) 国际申请日: 2021 年 8 月 10 日 (10.08.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110291828.7 2021年3月18日 (18.03.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 张炜超(ZHANG, Weichao); 中国安徽省
合肥市经济技术开发区空港工业园兴业
大道388号, Anhui 230601 (CN)。

(74) 代理人: 北京律智知识产权代理有限公司 (BEIJING INTELLEGAL INTELLECTUAL PROPERTY AGENT LTD.); 中国北京市朝阳区慧忠路5号B1605、B1606、B1607, Beijing 100101 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: MANUFACTURING METHOD FOR SEMICONDUCTOR STRUCTURE, AND SEMICONDUCTOR STRUCTURE

(54) 发明名称: 半导体结构的制作方法

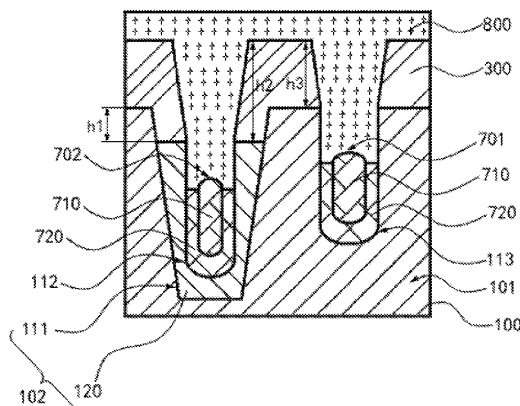


图14

(57) Abstract: The present disclosure provides a manufacturing method for a semiconductor structure, and the semiconductor structure. The manufacturing method for the semiconductor structure comprises: providing a substrate, the substrate comprising an active area and an isolation area, the isolation area comprising a first trench and an isolation layer formed on the first trench; removing a part of the isolation layer to form a first groove; forming a first mask layer, the first mask layer covering an upper surface of the active area and filling the first groove; planarizing the first mask layer, such that an upper surface of the first mask layer located above the active area is flush with an upper surface of the first mask layer located above the isolation area; removing a part of the first mask layer, a part of the isolation layer, and a part of the substrate to form a second trench and a third trench, wherein the second trench is located in

[见续页]

WO 2022/193535 A1

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

the isolation area, the third trench is located in the active area, and the width of the third trench is greater than the width of the second trench; and forming a word line structure in the second trench and the third trench.

(57) 摘要: 本公开提出一种半导体结构的制作方法, 半导体结构的制作方法包括: 提供衬底, 衬底包括有源区和隔离区, 隔离区包括第一沟槽和形成于第一沟槽的隔离层; 去除部分隔离层, 以形成第一凹槽; 形成第一掩膜层, 第一掩膜层覆盖有源区的上表面并填充第一凹槽; 平坦化第一掩膜层, 使位于有源区上方的第一掩膜层的上表面与位于隔离区上方的第一掩膜层的上表面齐平; 去除部分第一掩膜层、部分隔离层和部分衬底, 以形成第二沟槽和第三沟槽; 其中, 第二沟槽位于隔离区内, 第三沟槽位于有源区内, 第三沟槽的宽度大于第二沟槽的宽度; 于第二沟槽和第三沟槽内形成字线结构。