

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号
WO 2024/222723 A1

(43) 国际公布日
2024 年 10 月 31 日 (31.10.2024)

(51) 国际专利分类号:
H01L 21/768 (2006.01)

(21) 国际申请号: PCT/CN2024/089491

(22) 国际申请日: 2024 年 4 月 24 日 (24.04.2024)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310458065.X 2023 年 4 月 25 日 (25.04.2023) CN

(71) 申请人: 北京北方华创微电子装备有限公司 (**BEIJING NAURA MICROELECTRONICS EQUIPMENT CO., LTD.**) [CN/CN]; 中国北京市大兴区北京经济技术开发区文昌大道 8 号, Beijing 100176 (CN)。

(72) 发明人: 李佳阳 (**LI, Jiayang**); 中国北京市大兴区北京经济技术开发区文昌大道 8 号, Beijing 100176 (CN)。

(74) 代理人: 北京天昊联合知识产权代理有限公司 (**TEE & HOWE INTELLECTUAL PROPERTY ATTORNEYS**); 中国北京市东城区东长安街 1 号东方广场东方经贸城西一办公楼 5 层 1, 6-12 室, Beijing 100738 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) **Title:** METHOD FOR FORMING CONDUCTIVE INTERCONNECTION STRUCTURE

(54) 发明名称: 形成导电互连结构的方法

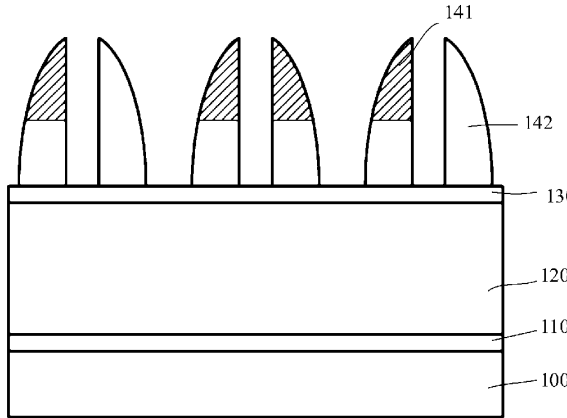


图 4

(57) **Abstract:** Embodiments of the present disclosure provide a method for forming a conductive interconnection structure. The method comprises: forming a predetermined mask pattern on a conductive layer; doping a first mask pattern to form a doped region having a predetermined depth in the first mask pattern, wherein the first mask pattern is a doped predetermined mask pattern, a second mask pattern is an undoped predetermined mask pattern, and the etch rate of the doped region is greater than the etch rate of an undoped region; and etching the conductive layer by using the first mask pattern and the second mask pattern to form the conductive interconnection structure, wherein the height of a conductive line corresponding to a region of the second mask pattern is greater than the height of a conductive line corresponding to a region of the first mask pattern, and the conductive line corresponding to the region of the second mask pattern is formed as a conductive path.

[见续页]



WO 2024/222723 A1

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布：
— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本公开实施例提供一种形成导电互连结构的方法，包括：在导电层上形成预定掩膜图案；对第一掩膜图案进行掺杂，以在第一掩膜图案中形成预定深度的掺杂区域，其中，第一掩膜图案为已掺杂的预定掩膜图案，第二掩膜图案为未掺杂的预定掩膜图案；其中，掺杂区域的刻蚀速率大于未掺杂区域的刻蚀速率；利用第一掩膜图案和第二掩膜图案对导电层进行刻蚀，以形成导电互连结构；其中，对应于第二掩膜图案的区域的导电线的高度高于对应于第一掩膜图案的区域的导电线的高度，对应于第二掩膜图案的区域的导电线形成为导电通路。