

명세서

발명의 명칭: 에피택시 공정을 이용한 반도체 소자 제조 방법 및 이를 위한 제조 장치

기술분야

- [1] 본 발명은 에피택시 공정을 이용한 반도체 소자 제조 방법 및 이를 위한 제조 장치에 관한 것이다.

배경기술

- [2] Gate-All-Around(GAA) MOS 소자와 3D DRAM와 같은 반도체 소자들은 $[\text{Si}/\text{SiGe}_x]_n$ 와 같은 다층 박막의 형성을 통하여 제조될 수 있다. 상기 반도체 소자들은 제조 Si와 SiGe_x 이 교대로 반복되는 다층 박막을 증착하는 에피택시 공정에 의하여 형성될 수 있다. 상기 에피택시 공정은 SiH_4 가스를 공급하여 Si박막을 증착하는 Si 박막 증착공정과 $\text{SiH}_4/\text{GeH}_4$ 가스를 공급하여 SiGe_x 박막을 증착하는 SiGe_x 박막 증착공정이 교대로 반복적으로 진행된다. 상기 제 1 박막의 증착 속도와 제 2 박막의 증착 속도는 각각 증착 온도가 증가함에 따라 증가할 수 있다.
- [3] 또한, 상기 제 1 박막의 증착 속도와 제 2 박막의 증착 속도는 동일한 증착 온도에서 수십배의 차이가 있을 수 있다. 예를 들면, 상기 Si 박막 증착공정과 SiGe_x 박막 증착공정이 동일한 증착 온도에서 진행되는 경우에, Si 박막의 증착 속도와 SiGe_x 박막의 증착 속도는 수 십배 정도의 차이가 있다. 따라서, 상기 증착 온도가 동일한 경우에 1(Si) 박막의 증착 시간은 2(SiGe_x) 박막의 증착 시간보다 수 십배가 길어야 한다. 예를 들면, 상기 증착 온도가 600°C 인 경우에, 제 1 박막의 증착 속도는 $2\text{nm}/\text{min}$ 이고, 제 2 박막의 증착 속도는 $50\text{nm}/\text{min}$ 으로 증착 속도 비는 25배이다. 상기 증착 온도가 600°C 이고, 박막의 두께가 50nm 인 경우에, 제 1 박막의 증착 시간은 25분이 소요되고, 제 2 박막의 증착 시간은 1분이 소요된다. 따라서, 상기 제 1 박막과 제 2 박막을 증착하는데 소요되는 전체 증착 시간이 증가되면서 생산 효율이 저하될 수 있다.

발명의 상세한 설명

기술적 과제

- [4] 본 발명은 반도체 소자를 구성하는 다층 박막의 증착 속도와 증착 효율을 증가시킬 수 있는 에피택시 공정을 이용한 반도체 소자 제조 방법 및 이를 위한 제조 장치를 제공하는 것을 목적으로 한다.

과제 해결 수단

- [5] 본 발명의 에피택시 공정을 이용한 반도체 소자 제조 방법은 VCSEL 소자로 평판 기판을 가열하며 상기 평판 기판의 상부에 제 1 박막과 제 2 박막이 교대로 증착되는 다층 박막을 에피택시 공정으로 형성하는 방법으로서, 상기 평판 기판의 상부에 제 1 증착 온도에서 제 1 소스 가스를 공급하여 상기 제 1 박막을

증착하는 제 1 박막 증착 단계와, 상기 평판 기판의 온도를 상기 제 1 증착 온도에서 상기 제 2 증착 온도로 하강시키는 증착 온도 하강 단계와, 상기 제 2 증착 온도에서 제 2 소스 가스를 공급하여 상기 제 1 박막의 상부에 제 2 박막을 증착하는 제 2 박막 증착 단계 및 상기 평판 기판의 온도를 제 2 증착 온도에서 제 1 증착 온도로 상승시키는 증착 온도 상승 단계를 포함하는 것을 특징으로 한다. 이때, 상기 제 1 박막은 Si 박막이며, 제 2 박막은 $\text{SiGe}_x(0.1 < x < 0.4)$ 박막일 수 있다.

- [6] 또한, 상기 제 1 증착 온도는 $600 \sim 800^\circ\text{C}$ 이며, 상기 제 2 증착 온도는 $500 \sim 750^\circ\text{C}$ 이며, 상기 증착 온도 하강 단계에서 증착 온도 하강 시간은 $1 \sim 10$ 초이며, 상기 증착 온도 상승 단계에서 증착 온도 상승 시간은 $1 \sim 5$ 초일 수 있다.
- [7] 또한, 상기 제 1 박막의 제 1 증착 속도가 상기 제 2 박막의 제 2 증착 속도의 $0.1 \sim 2$ 배가 되도록 상기 제 1 증착 온도와 제 2 증착 온도를 설정할 수 있다.
- [8] 또한, 상기 제 1 박막 증착 단계와 제 2 박막 증착 단계는 각각 상기 제 1 증착 온도와 제 2 증착 온도가 0.2% 이하의 균일도로 제어될 수 있다.
- [9] 또한, 상기 평판 기판은 하면이 노출되도록 외측이 지지되며, 상기 VCSEL 소자에서 조사되는 레이저 빔이 상기 평판 기판의 하면으로 직접 조사되며, 상기 평판 기판은 상기 레이저 빔이 조사될 때 회전될 수 있다.
- [10] 또한, 상기 반도체 소자 제조 방법은 상기 평판 기판을 가열하기 위한 레이저 빔을 조사하는 상기 VCSEL 소자를 포함하는 기판 가열부를 사용하며, 상기 기판 가열부는 적어도 2개의 상기 VCSEL 소자가 배열되는 소자 영역과 상기 VCSEL 소자에 전원을 공급하는 단자가 배열되는 단자 영역을 구비하는 VCSEL 서브 모듈이 적어도 2개가 조합하여 형성되는 VCSEL 모듈을 구비하며, 상기 VCSEL 모듈은 상기 평판 기판의 면적보다 넓은 면적에 배열되며, 상기 VCSEL 모듈은 상기 평판 기판과의 이격 거리가 $100 \sim 300\text{mm}$ 일 수 있다.
- [11] 또한, 상기 VCSEL 모듈은 상기 VCSEL 서브 모듈의 단자 영역이 하나의 방향으로 서로 이어지면서 직선 형상을 이루도록 상기 VCSEL 서브 모듈이 배치될 수 있다.
- [12] 또한, 상기 VCSEL 모듈은 상기 평판 기판의 온도가 0.2% 이하의 온도 균일도를 갖도록 레이저 빔을 조사하며, 상기 VCSEL 소자는 마이크로 에미터 배열의 최대 이격 거리가 0.1mm 이며, 전극 영역의 크기가 0.1mm 보다 작고, 상기 VCSEL 서브 모듈은 상기 VCSEL 소자의 이격 거리가 1mm 보다 작고, 상기 VCSEL 모듈은 상기 VCSEL 서브 모듈의 이격 거리가 10mm 보다 작게 되도록 배치될 수 있다.
- [13] 또한, 상기 VCSEL 서브 모듈은 각각 독립적으로 전원이 공급되며, 상기 평판 기판의 하부에서 상기 평판 기판의 온도를 감지하는 파이로미터를 이용하여 상기 평판 기판이 설정되는 증착 온도로 가열되도록 상기 VCSEL 서브 모듈의 발광 강도를 개별적으로 제어할 수 있다.
- [14] 또한, 상기 평판 기판은 자기 부상 방식에 의하여 회전되며, 상기 평판 기판은 회전시에 상기 VCSEL 모듈에 의하여 간섭 받지 않고 회전될 수 있다.
- [15] 본 발명의 에피택시 공정을 이용한 반도체 소자 제조 장치는 상기의 반도체

- 소자 방법이 진행되는 반도체 소자 제조 장치이며, 평판 기판을 가열하기 위한 레이저 빔을 조사하는 VCSEL 소자를 포함하는 기관 가열부를 사용하며, 상기 기관 가열부는 적어도 2개의 상기 VCSEL 소자가 배열되는 소자 영역과 상기 VCSEL 소자에 전원을 공급하는 단자가 배열되는 단자 영역을 구비하는 VCSEL 서브 모듈이 적어도 2개가 조합하여 형성되는 VCSEL 모듈을 구비하며, 상기 VCSEL 모듈은 상기 평판 기관의 면적보다 넓은 면적에 배열되며, 상기 VCSEL 모듈은 상기 평판 기관과의 이격 거리가 100 ~ 300mm인 것을 특징으로 한다.
- [16] 또한, 상기 VCSEL 모듈은 상기 VCSEL 서브 모듈의 단자 영역이 하나의 방향으로 서로 이어지면서 직선 형상을 이루도록 상기 VCSEL 서브 모듈이 배치될 수 있다.
- [17] 또한, 상기 VCSEL 모듈은 상기 평판 기관의 온도가 0.2% 이하의 온도 균일도를 갖도록 레이저 빔을 조사하며, 상기 VCSEL 소자는 마이크로 에미터 배열의 최대 이격 거리가 0.1mm이며, 상기 전극 영역의 크기가 0.1mm보다 작고, 상기 VCSEL 서브 모듈은 상기 VCSEL 소자의 이격 거리가 1mm보다 작고, 상기 VCSEL 모듈은 상기 VCSEL 서브 모듈의 이격 거리가 10mm보다 작게 되도록 배치될 수 있다.
- [18] 또한, 상기 VCSEL 서브 모듈은 각각 독립적으로 전원이 공급되며, 상기 평판 기관의 상부 또는 하부에서 상기 평판 기관의 온도를 감지하는 파이로미터를 이용하여 상기 평판 기관이 설정되는 증착 온도로 가열되도록 상기 VCSEL 서브 모듈의 발광 강도를 개별적으로 제어할 수 있다.
- [19] 또한, 상기 평판 기관은 자기 부상 방식에 의하여 회전되며, 상기 평판 기관은 회전시에 상기 VCSEL 모듈에 의하여 간섭 받지 않고 회전될 수 있다.

발명의 효과

- [20] 본 발명의 에피택시 공정을 이용한 반도체 소자 제조 방법 및 이를 위한 제조 장치는 반도체 소자를 구성하는 다층 박막을 에피택시 공정을 이용하여 제조하는 과정에서 다층 박막의 증착 속도와 증착 효율을 증가시킬 수 있다.

도면의 간단한 설명

- [21] 도 1은 본 발명의 일 실시예에 따른 에피택시 공정을 이용한 반도체 소자 제조 방법의 공정도이다.
- [22] 도 2는 에피택시 공정에서 1 박막과 2 박막의 온도에 따른 증착 속도에 대한 그래프이다.
- [23] 도 3은 도 1의 반도체 제조 방법을 위한 반도체 소자 제조 장치의 수직 단면도이다.
- [24] 도 4는 도 3의 기관 가열부의 평면도이다.
- [25] 도 5는 도 3의 기관 가열부의 부분 사시도이다.
- [26] 도 6은 웨이퍼와 VCSEL 모듈의 이격 거리에 따른 온도 균일도 그래프이다.
- [27] 도 7은 VCSEL 모듈에 인가되는 전력을 증가시키면서 웨이퍼를 가열할 때

웨이퍼의 온도를 측정한 그래프이다.

- [28] 도 8은 VCSEL 모듈로 웨이퍼를 가열 및 냉각할 때 웨이퍼의 온도 가변 특성을 보여주는 그래프이다.

발명의 실시를 위한 최선의 형태

- [29] 이하에서 실시예와 첨부된 도면을 통하여 본 발명의 에피택시 공정을 이용한 반도체 소자 제조 방법 및 이를 위한 제조 장치에 대하여 보다 구체적으로 설명한다.

[30]

- [31] 먼저, 본 발명의 일 실시예에 따른 에피택시 공정을 이용한 반도체 소자 제조 방법에 대하여 설명한다.

- [32] 도 1은 본 발명의 일 실시예에 따른 에피택시 공정을 이용한 반도체 소자 제조 방법에 대한 공정도이다. 도 2는 에피택시 공정에서 제 1 박막과 제 2 박막의 온도에 따른 증착 속도에 대한 그래프이다.

- [33] 본 발명의 일 실시예에 따른 에피택시 공정을 이용한 반도체 소자 제조 방법은, 도 1을 참조하면, 제 1 박막 증착 단계(S10)와 증착 온도 하강 단계(S20)와 제 2 박막 증착 단계(S30) 및 증착 온도 상승 단계(S40)를 포함할 수 있다.

- [34] 상기 반도체 소자 제조 방법은 제 1 박막과 제 2 박막이 교대로 적층되는 다층 박막을 포함하는 반도체 소자 제조 방법에 사용될 수 있다. 여기서, 상기 제 1 박막과 제 2 박막은 에피택시 공정에 의하여 증착될 때, 동일한 증착 온도에서 증착 속도가 상이한 박막일 수 있다. 상기 제 1 박막은 동일한 증착 온도에서 증착 속도가 상대적으로 낮으며, 제 2 박막은 증착 속도가 상대적으로 높을 수 있다. 또한, 상기 제 1 박막과 제 2 박막은 증착 온도가 감소함에 따라 박막의 증착 속도가 감소할 수 있다. 상기 제 1 박막의 증착 속도가 감소하는 정도가 제 2 박막의 증착 속도가 감소하는 정도보다 클 수 있다. 한편, 상기 반도체 소자 제조 방법은 제 1 박막과 제 2 박막의 증착 속도가 반대인 경우에 증착 온도 하강 단계(S20)와 증착 온도 상승 단계(S40)의 순서가 반대로 진행될 수 있다.

- [35] 상기 반도체 소자 제조 방법은 $[\text{Si}/\text{SiGe}_x]_n$ (n 은 1 이상임)의 다층 박막을 제조하는데 사용될 수 있다. 이러한 경우에, 상기 제 1 박막은 Si 박막일 수 있다. 또한, 상기 제 2 박막은 SiGe_x 박막일 수 있다. 여기서, 상기 x 는 $0.1 < x < 0.40$ 일 수 있다. 또한, 상기 x 는 바람직하게는 $0.25 < x < 0.38$ 일 수 있다. 이때, 상기 SiGe_x 은 Gate-All-Around(GAA) MOS 소자를 제조하는 과정에서 형성되는 박막일 수 있다. 즉, 상기 반도체 소자 제조 방법은 Gate-All-Around(GAA) MOS 소자를 제조하는 방법일 수 있다. 또한, 상기 x 는 바람직하게는 $0.15 < x < 0.25$ 일 수 있다. 이때, 상기 SiGe_x 은 3D DRAM을 제조하는 과정에서 형성되는 박막일 수 있다. 즉, 상기 반도체 소자 제조 방법은 3D DRAM을 제조하는 방법일 수 있다. 또한, 상기 제 1 박막은 제 1 소스 가스가 공급되어 형성될 있다. 또한, 상기 제 2 박막은 제 2 소스 가스가 공급되어 형성될 수 있다. 이때, 상기 제 2 소스 가스는 제 1

소스 가스와 GeH_4 의 혼합 가스일 수 있다.

- [36] 상기 반도체 소자는 Gate-All-Around(GAA) MOS 소자와 3D DRAM과 같은 반도체 소자일 수 있다. 상기 반도체 소자는 $[\text{Si}/\text{SiGe}_x]_n$ 의 다층 박막외에도 소자의 종류에 따라 다양한 박막 또는 전류가 흐르는 도선 배턴과 같은 구성을 더 포함할 수 있다. 상기 반도체 소자 제조 방법은 반도체 소자의 추가적인 구성에 형성하는데 필요한 다양한 공정을 더 포함할 수 있다.
- [37] 또한, 상기 반도체 소자 제조 방법은 에피택시 공정외에도 하나의 증착 온도에서 증착 속도가 다른 적어도 2개의 박막을 형성하는 다양한 공정에도 적용될 수 있다. 또한, 상기 반도체 소자 제조 방법은 서로 다른 온도에서 증착 속도가 동일 또는 상이한 적어도 2개의 박막을 형성하는 공정과 증착된 박막을 열처리하는 경우에도 적용될 수 있다. 예를 들면, 상기 반도체 소자 제조 방법은 반도체 도펀트 활성화 급속열처리 공정, 실리사이드 급속 열처리 공정, 화학기상증착 공정(CVD) 또는 원자층 증착 공정(ALD)과 같은 공정에도 적용될 수 있다.
- [38] 또한, 상기 반도체 소자 제조 방법은 박막별로 증착 온도를 달리하여 박막의 증착 속도를 증가시킬 수 있다. 또한, 상기 반도체 소자 제조 방법은 증착 온도 하강 시간과 증착 온도 상승 시간을 상대적으로 짧게 하여 $[\text{Si}/\text{SiGe}_x]_n$ 다층 박막의 증착속도를 증가시킬 수 있다. 상기에서 언급한 바와 같이 기존의 에피택시 장비는 증착 온도 하강 시간과 증착 온도 상승 시간은 90 ~ 150초 정도가 소요될 수 있다. 이에 비하여 상기 반도체 소자 제조 방법은 증착 온도 하강 시간과 증착 온도 상승 시간이 각각 바람직하게는 1 ~ 5초와 1 ~ 2초가 소요될 수 있다.
- [39] 상기 반도체 소자 제조 방법은 증착 온도 하강 시간과 증착 온도 상승 시간이 상대적으로 짧게 되므로, 제 1 소스 가스를 연속적으로 공급하면서 진행될 수 있다. 즉, 상기 증착 온도 하강 단계(S20)와 증착 온도 상승 단계(S40)는 제 1 소스 가스가 공급되는 상태에서 진행될 수 있다. 따라서, 상기 증착 온도 하강 단계(S20)와 증착 온도 상승 단계(S40)는 제 1 소스 가스가 공급되는 상태로 진행되므로 증착이 진행되는 분위기를 안정적으로 유지할 수 있다. 일반적으로는 상기 증착 온도 하강 단계(S20)와 증착 온도 상승 단계(S40)는 제 1 소스 가스가 공급되지 않은 상태로 진행된다.
- [40] 상기 반도체 소자 제조 방법은 평판 기판 또는 증착된 박막을 가열하는 가열 수단으로 VCSEL 소자를 사용할 수 있다. 상기 가열 수단은 VCSEL 소자가 평판 기판의 면적에 대응되는 면적 또는 더 큰 면적으로 배열되어 형성될 수 있다. 상기 가열 수단은 VCSEL 소자에서 발진되는 레이저 빔을 평판 기판의 하면으로 조사하여 평판 기판을 가열할 수 있다. 상기 반도체 소자 제조 방법은 별도의 서셉터(susceptor)를 사용하지 않고 평판 기판의 외측을 지지하여 평판 기판의 하면이 노출된 상태에서 진행될 수 있다. 또한, 상기 반도체 소자 제조 방법은 평판 기판을 회전시키면서 진행될 수 있다. 따라서, 상기 반도체 소자 제조

방법은 에피택시 공정의 제 1 증착 온도와 제 2 증착 온도의 온도 편차가 0.2% 이하로 제어될 수 있다.

- [41] 상기 평판 기판은 웨이퍼 또는 유리 기판일 수 있다. 또한, 상기 평판 기판은 수지 필름과 같은 플렉서블 기판일 수 있다. 또한, 상기 평판 기판은 표면 또는 내부에 형성되는 다양한 소자 또는 도선 패턴을 포함할 수 있다.

[42]

- [43] 상기 제 1 박막 증착 단계(S10)는 제 1 증착 온도에서 제 1 소스 가스를 공급하여 평판 기판의 상부에 제 1 박막을 증착하는 단계이다. 상기 제 1 박막 증착 단계(S10)는 에피택시 공정에 의하여 제 1 박막을 증착하는 단계이다. 상기 제 1 박막은 1회차에 평판 기판의 상부에 증착되고, 2회차부터 제 2 박막의 상부에 증착될 수 있다. 또한, 상기 제 1 박막은 평판 기판 또는 제 2 박막의 상부에 증착되는 다른 박막의 상부에 증착될 수 있다. 여기서, 상기 제 1 박막은 Si 박막일 수 있다. 상기 제 1 소스 가스는 $\text{Si}_2\text{H}_2\text{Cl}_2$, SiH_4 , Si_2H_6 및 Si_3H_8 에서 선택되는 하나의 가스 또는 적어도 2개의 가스가 혼합된 혼합 가스일 수 있다.

- [44] 상기 제 1 박막 증착 단계(S10)는 평판 기판의 표면 온도를 기준으로 제 1 증착 온도를 제어할 수 있다. 또한, 상기 제 1 박막 증착 단계(S10)는 제 1 증착 온도를 0.2% 이하의 균일도 범위내에서 제어할 수 있다. 이를 위하여, 상기 제 1 박막 증착 단계(S10)는 기판 가열 수단으로 VCSEL 소자를 레이저 빔의 광원으로 이용하여 평판 기판을 가열하며, 기판 회전 수단을 이용하여 평판 기판을 회전시키면서 진행할 수 있다. 또한, 상기 제 1 박막 증착 단계(S10)는 평판 기판을 별도의 서셉터(susceptor)에 안착시키지 않고 가열 수단이 평판 기판의 하면으로 직접 VCSEL 소자의 레이저 빔을 조사하여 가열할 수 있다. 상기 제 1 증착 온도는 600 ~ 800°C일 수 있다. 또한, 상기 제 1 증착 온도는 바람직하게는 650 ~ 750°C일 수 있다. 이때, 상기 Si는 Gate-All-Around(GAA) MOS 소자를 제조하는 과정에서 형성되는 박막일 수 있다. 즉, 상기 반도체 소자 제조 방법은 Gate-All-Around(GAA) MOS 소자를 제조하는 방법일 수 있다. 또한, 상기 제 1 증착 온도는 바람직하게는 700 ~ 800°C일 수 있다. 이때, 상기 Si는 3D DRAM을 제조하는 과정에서 형성되는 박막일 수 있다. 즉, 상기 반도체 소자 제조 방법은 3D DRAM을 제조하는 방법일 수 있다. 여기서 상기 제 1 증착 온도는 평판 기판, 제 2 박막 또는 증착되는 제 1 박막의 표면 온도일 수 있다.

- [45] 상기 제 1 박막 증착 단계(S10)는 제 1 증착 속도로 제 1 박막이 증착되도록 할 수 있다. 상기 제 1 증착 속도는 1 ~ 150nm/min일 수 있다. 또한, 상기 제 1 증착 속도는 바람직하게는 10 ~ 100nm/min일 수 있다. 이때, 상기 제 1 증착 속도는 Gate-All-Around(GAA) MOS 소자를 제조하는 과정에서 박막을 증착하는 속도일 수 있다. 또한, 상기 제 1 증착 속도는 바람직하게는 35 ~ 150nm/min일 수 있다. 이때, 상기 제 1 증착 속도는 3D DRAM을 제조하는 과정에서 박막을 증착하는 속도일 수 있다. 상기 제 1 박막 증착 단계(S10)는 공정 챔버의 공정압력이 0.1 ~ 500Torr인 감압(reduced pressure) 조건에서 진행될 수 있다.

[46]

[47] 상기 증착 온도 하강 단계(S20)는 평판 기판의 온도를 제 1 증착 온도에서 제 2 증착 온도로 하강시키는 단계이다. 상기 제 2 증착 온도는 제 1 증착 온도보다 낮은 온도이다. 상기 제 2 증착 온도는 제 2 박막을 증착하는 에피택시 공정이 진행되는 온도이다. 상기 제 2 증착 온도는 500 ~ 750°C일 수 있다. 또한, 상기 제 2 증착 온도는 바람직하게는 500 ~ 650°C일 수 있다. 이때, 상기 제 2 증착 온도는 제 2 박막으로 SiGe_x 박막을 형성하는 온도일 수 있다. 또한, 상기 SiGe_x 박막은 Gate-All-Around(GAA) MOS 소자를 제조하는 과정에서 형성되는 박막일 수 있다. 즉, 상기 반도체 소자 제조 방법은 Gate-All-Around(GAA) MOS 소자를 제조하는 방법일 수 있다. 또한, 상기 제 2 증착 온도는 바람직하게는 630 ~ 730°C일 수 있다. 이때, 상기 SiGe_x 박막은 3D DRAM을 제조하는 과정에서 형성되는 박막일 수 있다. 즉, 상기 반도체 소자 제조 방법은 3D DRAM을 제조하는 방법일 수 있다. 여기서, 상기 제 2 증착 온도는 평판 기판, 제 1 박막 또는 제 2 박막의 표면 온도일 수 있다.

[48] 상기 증착 온도 하강 단계(S20)는 소정의 증착 온도 하강 시간동안 진행될 수 있다. 즉, 상기 증착 온도 하강 시간은 제 1 증착 온도에서 제 2 증착 온도로 하강하는데 소요되는 시간이다. 상기 증착 온도 하강 시간은 1 ~ 10초일 수 있다. 또한, 상기 증착 온도 하강 시간은 바람직하게는 1 ~ 5초일 수 있다. 상기 증착 온도 하강 단계(S20)는 기존의 에피택시 장비에서 온도 변화에 소요되는 시간보다 짧은 증착 온도 하강 시간동안 증착 온도를 하강시킬 수 있다. 기존의 에피택시 장비들은 50 ~ 250°C를 냉각시키는데 대략 90 ~ 150초가 소요되는 것으로 알려져 있다. 상기 증착 온도 하강 단계(S20)는 상대적으로 짧은 시간에 증착 온도를 하강시키면서, 평판 기판 또는 박막들이 증착 온도보다 언더히팅(underheating)되지 않도록 할 수 있다.

[49] 상기 증착 온도 하강 단계(S20)는 제 1 소스 가스가 공급되는 상태에서 진행될 수 있다. 상기 증착 온도 하강 단계(S20)는 기존의 방법에 비하여 상대적으로 매우 짧은 시간에 진행되므로 제 1 소스 가스를 공급하여도 소모량이 많지 않을 수 있다. 또한, 상기 증착 온도 하강 단계(S20)는 제 1 소스 가스가 공급되는 상태로 진행되므로 증착이 진행되는 분위기를 안정적으로 유지할 수 있다.

[50]

[51] 상기 제 2 박막 증착 단계(S30)는 제 2 증착 온도에서 제 2 소스 가스를 공급하여 제 1 박막의 상부에 제 2 박막을 증착하는 단계이다. 상기 제 2 박막 증착 단계(S30)는 에피택시 공정에 의하여 제 2 박막을 증착하는 단계이다. 상기 제 2 박막 증착 단계(S30)는 평판 기판의 표면 온도를 기준으로 제 2 증착 온도를 제어할 수 있다. 상기 제 2 박막 증착 단계(S30)는 제 2 증착 온도를 0.2% 이하의 균일도 범위내에서 제어할 수 있다. 이를 위하여, 상기 제 2 박막 증착 단계(S30)는 가열 수단으로 VCSEL 소자를 레이저 빔의 광원으로 이용하며, 평판 기판을 회전시키면서 진행할 수 있다. 또한, 상기 제 2 박막 증착 단계(S30)는

평판 기판을 별도의 서셉터(susceptor)를 사용하지 않고 가열 수단이 평판 기판의 하면으로 직접 VCSEL 소자의 레이저를 조사하여 가열할 수 있다. 상기 제 2 증착 온도는 상기에서 언급한 바와 같이 500 ~ 750°C일 수 있다. 또한, 상기 제 2 증착 온도는 바람직하게는 500 ~ 650°C일 수 있다. 또한, 상기 제 2 증착 온도는 바람직하게는 630 ~ 730°C일 수 있다.

[52] 상기 제 2 박막은 SiGe_x 박막일 수 있다. 여기서, 상기 x 는 상기에서 언급한 바와 같이 $0.1 < x < 0.40$ 일 수 있다. 또한, 상기 x 는 바람직하게는 $0.25 < x < 0.38$ 일 수 있다. 또한, 상기 x 는 바람직하게는 $0.15 < x < 0.25$ 일 수 있다.

[53] 상기 제 2 소스 가스는 제 1 소스 가스와 GeH_4 의 혼합 가스일 수 있다. 상기 Ge 의 소스 가스로 GeH_4 가 사용될 수 있다. 상기 제 2 박막 증착 단계(S30)는 제 2 증착 속도로 제 2 박막을 증착시킬 수 있다. 상기 제 2 증착 속도는 10 ~ 120nm/min일 수 있다. 상기 제 2 박막 증착 단계(S30)는 공정 챔버의 공정압력이 0.1 ~ 500Torr인 감압(reduced pressure) 조건에서 진행될 수 있다.

[54]

[55] 상기 증착 온도 상승 단계(S40)는 평판 기판의 온도를 제 2 증착 온도에서 제 1 증착 온도로 상승시키는 단계이다. 상기 증착 온도 상승 단계(S40)는 소정의 증착 온도 상승 시간동안 진행될 수 있다. 즉, 상기 증착 온도 상승 시간은 제 2 증착 온도에서 제 1 증착 온도로 상승하는데 소요되는 시간이다. 상기 증착 온도 상승 시간은 1 ~ 5초일 수 있다. 또한, 상기 증착 온도 상승 시간은 1 ~ 2초일 수 있다. 상기 증착 온도 상승 시간은 증착 온도 하강 시간보다 짧은 시간일 수 있다. 예를 들면, 상기 증착 온도 상승 시간은 1.2초이며, 증착 온도 하강 시간은 3.0초일 수 있다. 기존의 에피택시 장비들은 50 ~ 250°C를 상승시키는데 대략 90 ~ 150초 소요되는 것으로 알려져 있다. 상기 증착 온도 상승 단계(S40)는 상대적으로 짧은 시간에 증착 온도를 상승시키면서, 평판 기판 또는 박막들이 증착 온도보다 오버히팅(overheating)되지 않도록 할 수 있다.

[56] 상기 증착 온도 상승 단계(S40)는 제 1 소스 가스가 공급되는 상태에서 진행될 수 있다. 상기 증착 온도 상승 단계(S40)는 기존의 방법에 비하여 상대적으로 매우 짧은 시간에 진행되므로 제 1 소스 가스를 공급하여도 소모량이 많지 않을 수 있다. 또한, 상기 증착 온도 상승 단계(S40)는 제 1 소스 가스가 공급되는 상태로 진행되므로 증착이 진행되는 분위기를 안정적으로 유지할 수 있다.

[57] 상기 반도체 소자 제조 방법은 제 1 박막을 증착하는 제 1 증착 온도와 제 2 박막을 증착하는 제 2 증착 온도를 다르게 설정할 수 있다. 제 1 박막과 제 2 박막은 도 2에서 보는 바와 같이 동일한 증착 온도에서 서로 다른 증착 속도를 가질 수 있다. 따라서, 상기 반도체 소자 제조 방법은 제 1 박막을 증착하는 제 1 증착 속도를 증가시키기 위하여 제 1 증착 온도를 제 2 증착 온도보다 상대적으로 높게 설정할 수 있다. 상기 반도체 소자 제조 방법은 제 1 증착 속도가 제 2 증착 속도의 0.1 ~ 2배가 되도록 제 1 증착 속도를 설정할 수 있다.

[58]

- [59] 다음은 본 발명의 일 실시예에 따른 반도체 소자 제조 방법을 위한 반도체 소자 제조 장치에 대하여 설명한다.
- [60] 도 3은 도 1의 반도체 제조 방법을 위한 반도체 소자 제조 장치의 수직 단면도이다. 도 4는 도 3의 기판 가열부의 평면도이다. 도 5는 도 3의 기판 가열부의 부분 사시도이다.
- [61]
- [62] 상기 반도체 소자 제조 장치(10)는, 도 3 내지 도 5를 참조하면, 공정 챔버(100)와 기판 가열부(200)와 냉각 가스 분사부(300) 및 기판 회전부(400)를 포함할 수 있다.
- [63] 상기 반도체 소자 제조 장치(10)는 평판 기판(a)을 가열하기 위한 기판 가열 수단으로 VCSEL 소자를 사용할 수 있다. 상기 VCSEL 소자는 에피택시 공정에서 평판 기판(a)인 웨이퍼의 가열을 위하여 $1\mu\text{m}$ 이하의 파장 대역을 갖는 레이저 빔을 조사할 수 있다. 더욱이, 상기 VCSEL 소자는 $1\mu\text{m}$ 이하의 단일 파장의 레이저 빔을 조사할 수 있다. 예를 들면, 상기 VCSEL 소자는 바람직하게는 대략 940nm 의 단일 파장의 레이저 빔을 조사하는 소자일 수 있다.
- [64] 상기 VCSEL 소자는 평판 기판(a)의 전체 영역에 대한 레이저 빔 조사가 가능하도록 배치될 수 있다. 상기 VCSEL 소자는 마이크로 에미터에서 방출되는 레이저 빔의 방사 특성을 이용하며, 인접한 마이크로 에미터의 레이저 빔과 중첩되는 특성을 이용하여 평판 기판(a)을 균일하게 가열할 수 있다. 상기 마이크로 에미터에서 나오는 레이저 빔의 방사 각도는 $20 \sim 30$ 도이며 100mm 이상의 긴 웨이퍼와 VCSEL 소자의 이격 거리에서도 웨이퍼의 일부 영역에만 레이저 빔의 파워를 전달할 수 있다. 따라서, 상기 VCSEL 소자는 VCSEL 서브 모듈로 나누어 배치하고, 서브 모듈별로 개별 파워를 제어하는 독립적인 파워라인을 구성함으로써 웨이퍼에 전달되는 레이저 빔의 파워를 영역별로 제어하는 존 제어(zone control)방식이 가능할 수 있다. 상기 반도체 소자 제조 장치(10)는 기판 가열 모듈에서 조사되는 레이저 빔을 평판 기판(a)에 조사하여 가열할 수 있다.
- [65] 반면에, 상기 평판 기판(a)으로 사용되는 웨이퍼는 400°C 이상에서 $1\mu\text{m}$ 이하의 파장을 갖는 레이저 빔을 흡수할 수 있다. 따라서, 상기 기판 가열 수단으로 R($0.8\mu\text{m}$)G($0.6\mu\text{m}$)B($0.4\mu\text{m}$)의 파장 대역을 가지는 LED 광원을 고려할 수 있다. 그러나, 상기 LED 광원은 면발광(surface emitting) 광원으로 반구형 전방향으로 방사되는 발광 특성을 갖고 있다. 상기 LED 광원은 반구 방사(hemispherical radiation)의 특성 때문에 웨이퍼를 가열하기 위해서는 웨이퍼와 LED 소자 사이의 이격 거리가 50mm 이내의 매우 가까운 이격 거리를 가져야 한다. 상기 에피택시 공정의 증착 온도인 $400 \sim 1,000^\circ\text{C}$ 의 고온 영역에서 이격 거리가 가까우면 LED 소자의 열적 열화를 피할 수 없다. 따라서 상기 LED 광원은 웨이퍼의 가열 온도가 400°C 이하인 경우에만 적용될 수 있다.
- [66] 또한, 상기 LED 광원은 반구 방사의 특성 때문에 웨이퍼의 한 지점에 대한

가열에 넓은 면적 혹은 전체 LED 어레이가 가열에 참여하게 된다. 상기 웨이퍼의 정밀한 가열을 위해서는 국부 영역에 참여하는 LED 어레이의 범위가 한정되어, 국부 영역에 참여하는 부위의 LED 어레이의 출력을 개별 조절하는 제어 방식이 매우 어렵게 된다. 상기 LED 광원을 이용한 웨이퍼 가열 방법은 LED 어레이의 개수 밀도를 부위별로 달리하여 균일한 광 가열이 이루어지도록 하는 방법을 적용할 수 있으나, 에피택시 공정의 정교한 온도 제어를 위해서는 사용하기에 적절하지 않을 수 있다.

- [67] 또한, 상기 반도체 소자 제조 공정중에서 웨이퍼에 증착되는 박막의 도펀트의 활성화나 실리사이드 형성을 위한 급속 가열 공정(Rapid Thermal Processing)에 할로젠 램프를 사용하고 있다. 상기 할로젠 램프는 웨이퍼의 상부, 하부 또는 상하부에 직접 레이저 빔을 조사하여 웨이퍼를 신속하게 가열과 냉각할 수 있다. 그러나, 상기 할로젠 램프에서 조사되는 광은 파장 스펙트럼이 $1\mu\text{m}$ 근처에서 피크를 가지며 $0.5 \sim 3\mu\text{m}$ 대역의 넓은 분포를 갖는다. 따라서, 상기 실리콘 웨이퍼의 흡수 파장($<1\mu\text{m}$)보다 긴 적외선 파장은 웨이퍼의 광 가열에 참여하지 못하게 되므로, 할로젠 램프는 가열 효율이 떨어지게 된다.
- [68] 상기 할로젠 램프에서 나오는 $0.5 \sim 3\mu\text{m}$ 파장의 광이 웨이퍼에 모두 흡수되어 광 가열에 참여하기 위해서는 웨이퍼의 공정 온도가 적어도 600°C 이상이어야 한다. 상기 웨이퍼의 공정 온도가 $600 \sim 700^\circ\text{C}$ 인 낮은 온도에서는 광 흡수율이 낮아 급속 가열이 어렵고, 광 흡수율은 웨이퍼의 도펀트 농도와 온도에 따라 민감하게 변하게 된다. 상기 할로젠 램프는 서셉터없이 직접 웨이퍼를 가열하는 경우에 700°C 근처까지 웨이퍼를 천천히 예열하고 안정화 과정을 거친 후에 $1,000^\circ\text{C}$ 이상의 고온으로 급속 가열하는 방식으로 이용되고 있다. 상기 할로젠 램프는 $600 \sim 700^\circ\text{C}$ 의 에피택시 공정에서 웨이퍼의 급속 가열이 어렵고 정교한 온도 가변이 어렵다. 따라서, 상기 할로젠 램프는 600°C 이하의 에피택시 공정에서 가열 수단으로 적절하지 않은 측면이 있다. 특히, 상기 SiGe_x 박막의 Ge 농도(x)를 높이기 위해서는 600°C 이하의 증착 온도가 경우에는 더욱 그러하다.
- [69] 상기 반도체 소자 제조 장치(10)는 도 1의 반도체 소자 제조 방법을 실시하는데 사용될 수 있다. 예를 들면, 상기 반도체 소자 제조 장치(10)는 평판 기판(a)에 $[\text{Si}/\text{SiGe}_x]\text{n}$ 의 다층 박막을 에피택시 공정으로 형성하는데 사용될 수 있다. 상기 반도체 소자 제조 장치(10)는 제 1 박막과 제 2 박막을 교대로 증착하는 에피택시 공정을 진행할 수 있다. 상기 반도체 소자 제조 장치(10)는 제 1 증착 온도와 제 2 박막을 증착하는 제 2 증착 온도를 다르게 설정할 수 있다. 상기 반도체 소자 제조 장치(10)는 제 1 박막을 증착하는 제 1 증착 속도를 증가시키기 위하여 제 1 증착 온도를 제 2 증착 온도보다 상대적으로 높게 설정할 수 있다. 상기 반도체 소자 제조 장치(10)는 제 1 증착 속도가 제 2 증착 속도의 $0.1 \sim 2$ 배가 되도록 제 1 증착 온도와 제 2 증착 온도를 설정할 수 있다.
- [70] 상기 반도체 소자 제조 장치(10)는 서셉터를 사용하지 않고 평판 기판(a)의 외측 하면을 직접 지지할 수 있다. 상기 반도체 소자 제조 장치(10)는 평판

기판(a)을 직접 지지하므로 400 ~ 1,000°C의 에피택시 공정의 증착 온도 범위에서 평판 기판(a)을 빠르게 승온 또는 냉각시킬 수 있다. 예를 들면, 상기 반도체 소자 제조 장치(10)는 제 1 증착 온도에서 제 2 증착 온도로 증착 온도를 하강시키는데 소요되는 증착 온도 하강 시간을 1 ~ 10초로 단축시킬 수 있다. 또한, 상기 반도체 소자 제조 장치(10)는 제 2 증착 온도에서 제 1 증착 온도로 증착 온도를 상승시키는데 소요되는 증착 온도 상승 시간을 1 ~ 5초로 단축시킬 수 있다. 또한, 상기 반도체 소자 제조 장치(10)는 평판 기판(a)을 직접 가열하므로 에피택시 공정에서 발생하는 평판 기판(a)의 보잉 현상에서도 증착 온도와 증착 속도의 변화를 감소시킬 수 있다.

- [71] 상기 보잉 현상(또는 밴딩 현상)은 실리콘 웨이퍼에 [Si/SiGe]_n 박막을 증착하는 과정에서 실리콘 웨이퍼가 오목 형태이나 볼록 형태로 변형되는 현상이다. 상기 SiGe 박막과 실리콘 웨이퍼는 서로 결정 원자 배열의 격자 거리의 차이가 존재하므로, Si와 SiGe의 결정 격자가 정합을 유지하며 성장하는 에피택시 성장에서는 Si와 SiGe의 격자 거리 차이(lattice mismatch)에서 오는 격자의 변형이 생기며, 웨이퍼는 오목이나 볼록의 형태로 밴딩될 수 있다. 상기 보잉 현상은 서로 다른 물질의 박막이 단결정으로 성장하는 이중 에피택시 성장에서는 불가피하게 일어나는 현상으로, SiGe_x의 x조성이 높을수록, 다층막의 단수(즉 [Si/SiGe_x]_n의 n)가 많아질수록 증가될 수 있다.
- [72] 상기 평판 기판(a)이 서셉터에 지지되는 상태에서 에피택시 공정이 진행되는 경우에, 평판 기판(a)이 부분적으로 오목한 형태 또는 볼록한 형태로 밴딩되면서 서셉터와 접촉 밀착도가 떨어질 수 있다. 상기 평판 기판(a)과 서셉터 사이의 열전달이 부위별로 달라지면서 증착 온도의 균일도가 저하될 수 있다. 상기 증착 온도의 균일도가 저하는 증착 속도의 불균일을 유발하여 증착 두께의 균일도를 저하시키고 박막의 조성 균일도를 저하시킬 수 있다. 또한, 상기 서셉터는 상대적으로 큰 열적 메스를 가지므로 증착 온도의 빠른 승온과 냉각이 어려울 수 있다.
- [73] 상기 반도체 소자 제조 장치(10)는 평판 기판(a)에 에피택시 공정외에도 결정화 공정, 이온 주입 공정 또는 활성화 공정과 같은 제조 공정으로 반도체 소자를 제조하는데 사용될 수 있다.
- [74]
- [75] 상기 공정 챔버(100)는 외부 하우징(110)과 내부 하우징(120)과 레이저 빔 투과관(130)과 기판 지지대(140)와 분리 격벽(150) 및 적외선 투과관(160)을 포함할 수 있다.
- [76] 상기 공정 챔버(100)는 외부 하우징(110)의 상측 내부에 평판 기판(a)이 안착되는 챔버 상부 공간(100a)이 형성될 수 있다. 상기 챔버 상부 공간(100a)은 외부 하우징(110)의 내측에서 내부 하우징(120)의 상부에 형성되며, 평판 기판(a)이 안착되고 에피택시 공정이 진행되는 공간을 제공할 수 있다. 또한, 상기 공정 챔버(100)는 외부 하우징(110)과 내부 하우징(120)의 사이에 챔버 하부

공간(100b)이 형성될 수 있다. 상기 챔퍼 하부 공간은 기관 회전부(400)의 일부가 수용되는 공간을 제공할 수 있다.

- [77] 또한, 상기 공정 챔버(100)는 챔버 상부 공간(100a)으로 공정 가스를 공급하는 공정 가스 공급 유로(100c)와 공정 가스를 외부로 배출하는 공정 가스 배출 유로(100d)를 포함할 수 있다. 상기 공정 가스 공급 유로(100c)는 외부 하우징(110)의 외부에서 챔버 상부 공간(100a)으로 연장되도록 형성될 수 있다. 상기 공정 가스 공급 유로(100c)는 외부 하우징(110)과 적외선 투과판(160) 및 분리 격벽(150)의 구조에 따라 다양한 방식으로 형성될 수 있다. 예를 들면, 상기 공정 가스 공급 유로(100c)는 외부 하우징(110)과 적외선 투과판(160) 및 분리 격벽(150)을 관통하여 형성될 수 있다. 상기 공정 가스 공급 유로(100c)는 평판 기관(a)의 상면으로 평행하게 공정 가스를 공급하도록 형성될 수 있다. 상기 공정 가스 공급 유로(100c)는 단부가 평판 기관(a)의 상면과 동일한 높이에서 평행하게 형성될 수 있다. 상기 공정 가스 배출 유로(100d)는 챔버 상부 공간(100a)에서 외부 하우징(110)의 외측으로 연장되도록 형성될 수 있다. 상기 공정 가스 배출 유로(100d)는 공정 가스 공급 유로(100c)와 마찬가지로 외부 하우징(110)과 적외선 투과판(160) 및 분리 격벽(150)의 구조에 따라 다양한 방식으로 형성될 수 있다. 예를 들면, 상기 공정 가스 배출 유로(100d)는 분리 격벽(150)과 외부 하우징(110)을 관통하여 형성될 수 있다.
- [78] 상기 공정 가스는 공정 가스 공급 유로(100c)를 통하여 유입되어 평판 기관(a)의 상면과 적외선 투과판(160) 사이의 공간을 흐르면서 박막으로 증착될 수 있다. 상기 공정 가스중에서 미반응된 공정 가스와 증착후 생성되는 부산물 가스는 공정 가스 배출 유로(100d)를 통하여 공정 챔버(100)의 외부로 배출될 수 있다. 한편, 상기 공정 가스를운반하는 운반 가스로 수소 가스가 사용될 수 있다. 상기 공정 가스 중에서 Si의 소스 가스로 $\text{Si}_2\text{H}_2\text{Cl}_2$, SiH_4 , Si_2H_6 , Si_3H_8 와 같은 가스가 사용되고, SiGe의 Ge 소스 가스로 GeH_4 가 사용될 수 있다. 또한, 상기 공정 챔버(100)는 공정압이 0.1 ~ 500Torr의 감압(reduced pressure) 조건을 유지할 수 있다.
- [79] 상기 평판 기관(a)은 공정 챔버(100)의 내부에서 하면이 노출되도록 기관 지지대(140)에 의하여 지지될 수 있다. 상기 공정 챔버(100)는 외부에 위치하는 기관 가열부(200)에서 조사되는 레이저 빔이 레이저 빔 투과판(130)을 통과하여 평판 기관(a)의 하면으로 조사되도록 한다.
- [80] 상기 외부 하우징(110)은 외부 상측 벽체(111)와 외부 하측 벽체(113)와 상부판(115) 및 하부판(117)을 포함할 수 있다. 상기 외부 하우징(110)은 전체적으로 내부가 중공인 통 형상으로 형성될 수 있다. 상기 외부 하우징(110)은 대략 원통 형상, 사각통 형상, 오각통 형상 또는 육각통 형상으로 형성될 수 있다. 상기 외부 하우징(110)은 내부에 안착되는 평판 기관(a)의 면적보다 큰 수평 단면적을 갖는 형상으로 형성될 수 있다.
- [81] 상기 외부 하우징(110)은 제조 중에 발생하는 양압과 음압 조건, 급격한 온도

변화 조건에 대응할 수 있도록 압력 및 온도 변화에 따른 파손에 내구성을 갖는 금속 재질로 형성될 수 있다. 또한, 상기 외부 하우징(110)은 제조 공정에 사용되는 공정 가스에 대한 내부식성이 있는 금속 재질로 형성될 수 있다. 상기 외부 하우징(110)은 스테인레스스틸, 인바합금, 하스텔로이와 같은 금속 재질로 형성될 수 있다.

- [82] 상기 외부 상측 벽체(111)는 내부가 중공인 통 형상으로 형성될 수 있다. 상기 외부 상측 벽체(111)는 원통 형상, 사각통 형상, 오각통 형상 또는 육각통 형상으로 형성될 수 있다. 상기 외부 상측 벽체(111)는 외측으로 돌출되어 내부에 분리 격벽(150)이 위치하는 격벽 안착 영역(111a)이 형성될 수 있다. 따라서, 상기 외부 상측 벽체(111)는 수직 벽체와 수직 벽체의 하단에서 내측으로 소정 폭으로 연장되는 수평 벽체를 포함할 수 있다. 상기 외부 상측 벽체(111)는 내부에 기관 회전부(400)의 일부와 기관 지지대(140) 및 평판 기관(a)이 수용되는 공간을 제공할 수 있다.
- [83] 상기 외부 상측 벽체(111)는 내주면에서 외주면으로 관통되는 측부 가스 배출홀(111b)을 구비할 수 있다. 상기 측부 가스 배출홀(111b)은 외부 상측 벽체(111)의 내측에 형성되는 측부 냉각 가스 통로를 흐르는 냉각 가스가 외부 상측 벽체(111)의 외부로 배출되는 경로를 제공할 수 있다.
- [84] 상기 외부 하측 벽체(113)는 내부가 중공인 통 형상으로 형성될 수 있다. 상기 외부 상측 벽체(111)는 원통 형상, 사각통 형상, 오각통 형상 또는 육각통 형상으로 형성될 수 있다. 상기 외부 하측 벽체(113)는 외부 상측 벽체(111)와 동일 또는 유사한 형상으로 형성될 수 있다. 상기 외부 하측 벽체(113)는 외부 상측 벽체(111)보다 작은 직경 또는 폭으로 형성될 수 있다. 상기 외부 하측 벽체(113)는 외부 상측 벽체(111)의 하부에 결합될 수 있다. 상기 외부 하측 벽체(113)는 내부에 내부 하우징(120)과 기관 회전부(400)의 일부를 수용하는 공간을 제공할 수 있다.
- [85] 상기 상부판(115)은 외부 상측 벽체(111)의 상단 평면 형상에 대응되는 판상으로 형성될 수 있다. 상기 상부판(115)은 외부 상측 벽체(111)의 상부에 결합되어 외부 상측 벽체(111)의 상부를 차폐할 수 있다. 상기 상부판(115)은 스테인레스스틸, 인바합금, 하스텔로이와 같은 금속 재질로 형성될 수 있다.
- [86] 상기 상부판(115)은 내측에 상면에서 하면으로 관통되는 상부 관통홀(115a)을 포함할 수 있다. 상기 상부 관통홀(115a)은 적외선 투과판(160)이 전체적으로 노출되는데 필요한 직경 또는 폭으로 형성될 수 있다. 상기 상부 관통홀(115a)은 적외선 투과판(160)의 상부가 노출되고, 냉각 가스 분사부(300)에서 분사되는 냉각 가스가 적외선 투과판(160)의 상면으로 흐르는 공간을 제공할 수 있다. 따라서, 상기 상부 관통홀(115a)은 적외선 투과판(160)의 상부에 상부 냉각 가스 유로(100e)를 형성할 수 있다. 상기 냉각 가스는 질소(N_2), 아르곤(Ar) 또는 건조 공기일 수 있다. 상기 냉각 가스는 적외선 투과판(160)을 냉각시킬 수 있다.
- [87] 상기 상부판(115)은 내측 하면에서 하부 방향으로 연장되는 링 형상의 상부

지지링(116)을 더 포함할 수 있다. 상기 상부 지지링(116)은 소정 높이와 폭으로 형성될 수 있다. 상기 상부 지지링(116)은 하면이 적외선 투과판(160)의 외측 상면에 접촉되도록 결합될 수 있다. 상기 상부 지지링(116)은 상부 냉각 가스 유로(100e)의 높이를 증가시켜 냉각 가스가 상부 냉각 가스 유로(100e)에 채류하는 시간을 증가시킬 수 있다. 따라서, 상기 냉각 가스는 사용량을 줄이면서 적외선 투과판(160)을 효과적으로 냉각시킬 수 있다.

- [88] 상기 상부판(115)은 상부 냉각 가스 유로(100e)에서 적외선 투과판(160) 또는 분리 격벽(150)의 외측으로 연장되는 상부 가스 배출홀(115b)을 포함할 수 있다. 상기 상부 가스 배출홀(115b)은 분리 격벽(150)의 외측과 외부 하우징(110) 사이에 형성되는 측부 냉각 가스 유로(100f)로 관통될 수 있다. 상기 상부 가스 배출홀(115b)은 상부 지지링(116)의 내주면에서 외주면으로 관통되어 직선 형상으로 형성될 수 있다. 또한, 상기 상부 가스 배출홀(115b)은 상부판(115)에 상부 지지링(116)이 형성되지 않는 경우에 상부 관통홀(115a)에서 상부판(115)의 하면으로 절곡되는 형상으로 형성될 수 있다. 상기 상부 가스 배출홀(115b)은 상부 냉각 가스 유로(100e)의 냉각 가스가 분리 격벽(150)의 외측으로 배출되는 경로를 제공할 수 있다. 또한, 상기 상부 가스 배출홀(115b)은 냉각 가스가 측부 냉각 가스 유로(100f)로 배출되는 경로를 제공할 수 있다.

- [89] 상기 하부판(117)은 외부 하측 벽체(113)의 하단 평면 형상에 대응되는 판상으로 형성될 수 있다. 상기 하부판(117)은 내측에 상면에서 하면으로 관통되는 하부 관통홀(117a)을 포함할 수 있다. 상기 하부판(117)은 소정 폭을 갖는 원형 링 또는 사각 링으로 형성될 수 있다. 상기 하부판(117)은 외부 하측 벽체(113)의 하단에 결합되며, 외부 하측 벽체(113)의 외측을 차폐할 수 있다. 상기 하부판(117)은 외부 하측 벽체(113)와 내부 하우징(120)의 하부 사이의 공간을 밀폐할 수 있다. 즉, 상기 하부판(117)은 챔버 하부 공간(100b)의 하부를 밀폐할 수 있다. 상기 하부판(117)은 스테인레스스틸, 인바합금, 하스텔로이와 같은 금속 재질로 형성될 수 있다.

[90]

- [91] 상기 내부 하우징(120)은 내부가 중공인 통 형상으로 형성되며, 원통 형상, 사각통 형상, 오각통 형상 또는 육각통 형상으로 형성될 수 있다. 상기 내부 하우징(120)은 외부 하측 벽체(113)의 내경 또는 내측 폭보다 작은 외경 또는 외측 폭으로 형성될 수 있다. 또한, 상기 내부 하우징(120)은 외부 하측 벽체(113)보다 낮은 높이로 형성될 수 있다. 또한, 상기 내부 하우징(120)은 상단이 공정 챔버(100)의 내부에서 평판 기관(a)이 안착되는 높이로 형성될 수 있다. 또한, 상기 내부 하우징(120)은 평판 기관(a)의 직경 또는 폭보다 큰 직경 또는 큰 폭으로 형성될 수 있다. 또한, 상기 내부 하우징(120)은 평판 기관(a)보다 큰 수평 면적을 갖도록 형성될 수 있다.

- [92] 또한, 상기 내부 하우징(120)은 하측이 외부 하우징(110)의 하측과 대략 동일한 높이에 위치하도록 결합될 수 있다. 상기 내부 하우징(120)은 하단이

하부판(117)의 내측과 결합될 수 있다. 상기 내부 하우징(120)의 외측과 외부 하우징(110)의 내측 사이의 공간은 하부판(117)에 의하여 밀폐될 수 있다. 상기 내부 하우징(120)은 스테인레스스틸, 인바합금, 하스텔로이와 같은 금속 재질로 형성될 수 있다.

[93]

[94] 상기 레이저 빔 투과판(130)은 내부 하우징(120)의 상부에 결합되어 내부 하우징(120)의 상부를 밀폐할 수 있다. 상기 레이저 빔 투과판(130)은 평판 기관(a)의 하부에 위치할 수 있다. 상기 레이저 빔 투과판(130)은 쿼츠, 유리와 같이 레이저 빔이 투과하는 투명판으로 형성될 수 있다. 상기 레이저 빔 투과판(130)은 기관 가열부(200)에서 조사되는 레이저 빔이 평판 기관(a)의 하면으로 조사되는 통로를 제공할 수 있다. 상기 레이저 빔 투과판(130)은 평판 기관(a)의 면적보다 큰 면적으로 형성될 수 있다. 예를 들면, 상기 레이저 빔 투과판(130)은 직경 또는 폭이 평판 기관(a)의 직경 또는 폭보다 크게 형성될 수 있다.

[95]

[96] 상기 기관 지지대(140)는 상부 지지대(141) 및 측부 지지대(143)를 포함할 수 있다. 상기 기관 지지대(140)는 내부 하우징(120)의 상부에 위치하여, 평판 기관(a)의 하면이 노출되도록 평판 기관(a)의 하부 외측을 지지할 수 있다. 즉, 상기 기관 지지대(140)는 서셉터를 사용하지 않고 평판 기관(a)의 외측 하면을 직접 지지할 수 있다. 따라서, 상기 평판 기관(a)은 400 ~ 1,000°C의 에피택시 공정의 증착 온도 범위에서 빠른 승온과 냉각이 가능하게 된다. 즉, 상기 평판 기관(a)은 제 1 증착 온도에서 제 2 증착 온도로 짧은 시간에 냉각되고, 반대로 짧은 시간에 가열될 수 있다. 또한, 상기 기관 지지대(140)는 챔버 하부 공간(100b)으로 연장되어 기관 회전부(400)와 결합될 수 있다. 상기 기관 지지대(140)는 기관 회전부(400)의 작용에 의하여 평판 기관(a)을 회전시킬 수 있다. 상기 기관 지지대(140)의 내부 공간에 별도의 수소 가스를 공급할 수 있다. 상기 수소 가스는 공정 가스가 기관 지지대(140)의 내부 공간으로 유입되는 것을 방지할 수 있다. 따라서, 상기 수소 가스는 공정 가스가 평판 기관(a)의 하면에 Si 박막 또는 SiGe 박막이 증착되는 것을 방지할 수 있다. 상기 수소 가스는 구체적으로 도시하지 않았지만 별도의 유입구를 통하여 기관 지지대(140)의 내부로 유입될 수 있다.

[97] 상기 상부 지지대(141)는 내측에 기관 노출홀(141a)을 구비하며 소정 폭을 갖는 링 형상으로 형성될 수 있다. 상기 상부 지지대(141)는 평판 기관(a)의 하면을 노출시키면서 평판 기관(a)의 하부 외측을 지지할 수 있다. 상기 상부 지지대(141)는 평판 기관(a)의 직경 또는 폭보다 큰 직경 또는 폭으로 형성될 수 있다.

[98] 상기 기관 노출홀(141a)은 상부 지지대(141)의 중앙에서 상면과 하면을 관통하여 형성될 수 있다. 상기 기관 노출홀(141a)은 평판 기관(a)의 하면에서

반도체 소자가 형성되는 영역을 전체적으로 노출할 수 있도록 소정 면적으로 형성될 수 있다.

- [99] 상기 측부 지지대(143)는 대략 상부와 하부가 개방된 통 형상으로 형성되며, 내부 하우징(120)의 형상에 대응되는 형상으로 형성될 수 있다. 예를 들면, 상기 측부 지지대(143)는 내부 하우징(120)이 원통 형상으로 형성되는 경우에 이에 대응하여 원통 형상으로 형성될 수 있다. 상기 측부 지지대(143)는 챔버 상부 공간(100a)과 챔버 하부 공간(100b)에 걸쳐서 위치할 수 있다. 상기 측부 지지대(143)는 상부가 상부 지지대(141)의 외측에 결합되며, 하부가 챔버 하부 공간(100b)으로 연장되어 기관 회전부(400)와 결합될 수 있다. 따라서, 상기 측부 지지대(143)는 기관 회전부(400)에 의하여 회전되면서 상부 지지대(141)와 평판 기관(a)을 회전시킬 수 있다.

[100]

- [101] 상기 분리 격벽(150)은 소정 높이를 갖는 링 형상으로 형성되며, 외부 상측 벽체(111)의 내경보다 작은 외경으로 형성될 수 있다. 상기 분리 격벽(150)은 내경이 외부 하측 벽체(113)의 내경에 대응되는 내경으로 형성될 수 있다. 상기 분리 격벽(150)은 외부 상측 벽체(111)의 높이보다 작은 높이로 형성될 수 있다. 상기 분리 격벽(150)은 외부 상측 벽체(111)의 내측에 위치할 수 있다. 즉, 상기 분리 격벽(150)은 외부 상측 벽체(111)의 내측에 격벽 안착 영역(111a)에 위치할 수 있다. 상기 분리 격벽(150)은 외부 상측 벽체(111)와의 사이에 냉각 가스가 흐르는 측부 냉각 가스 유로(100f)를 형성할 수 있다. 상기 분리 격벽(150)은 쿼츠, 유리와 같은 투명 재질로 형성될 수 있다. 상기 측부 냉각 가스 유로(100f)는 외부에서 공급되는 냉각 가스가 흐르는 통로를 제공할 수 있다. 상기 측부 냉각 가스 유로(100f)는 분리 격벽(150)의 외주면을 감싸도록 링 형상으로 형성될 수 있다. 상기 측부 냉각 가스 유로(100f)는 상부 냉각 가스 유로(100e)를 흐른 냉각 가스가 유입되도록 할 수 있다. 또한, 상기 측부 냉각 가스 유로(100f)는 별도로 냉각 가스가 유입되도록 할 수 있다. 상기 측부 냉각 가스 유로(100f)는 냉각 가스가 분리 격벽(150)의 외주면과 접촉하면서 흐르게 하여 분리 격벽(150)이 필요한 온도로 유지되도록 할 수 있다. 상기 공정 챔버(100)는 측부 냉각 가스 유로(100f)를 흐르는 냉각 가스의 유속을 실시간으로 제어하여 에피택시 공정 진행중에 분리 격벽(150)의 온도를 일정하게 유지할 수 있다.

[102]

- [103] 상기 적외선 투과판(160)은 분리 격벽(150)의 평면 형상에 대응되는 판상으로 형성될 수 있다. 상기 적외선 투과판(160)은 쿼츠 또는 유리나 같은 투명 재질로 형성될 수 있다. 상기 적외선 투과판(160)은 분리 격벽(150)의 상부에 결합되어 분리 격벽(150)의 상부를 밀폐할 수 있다. 상기 적외선 투과판(160)은 상부판(115)의 상부 관통홀(115a)의 하부에 결합되어 상부 관통홀(115a)을 밀폐할 수 있다. 즉, 상기 적외선 투과판(160)은 분리 격벽(150)과 상부판(115)의 사이에 결합될 수 있다. 상기 적외선 투과판(160)은 하면이 평판 기관(a)의

상부에서 평판 기관(a)의 상면과 대향하여 위치할 수 있다.

- [104] 상기 적외선 투과판(160)은 에피택시 공정 중에 평판 기관(a)에서 발생하는 복사 에너지를 외부로 투과시킬 수 있다. 특히, 상기 적외선 투과판(160)은 적외선을 포함하는 파장의 복사 에너지를 외부로 투과시킬 수 있다.
- [105] 또한, 상기 적외선 투과판(160)은 400°C 이하의 온도로 유지되며, 바람직하게는 300 ~ 400°C의 온도로 유지될 수 있다. 상기 적외선 투과판(160)은 300 ~ 400°C의 온도로 유지되므로, 소스 가스에 의한 증착이 방지되어 증착에 의한 방사율 증가가 방지될 수 있다. 또한, 상기 적외선 투과판(160)은 에피택시 공정의 회수에 따라 방사율이 증가되지 않으므로, 공정이 진행되는 평판 기관(a)들 사이의 증착 온도 차이를 감소시킬 수 있다.
- [106]
- [107] 상기 기관 가열부(200)는 소자 배열판(210) 및 VCSEL 모듈(220)을 포함할 수 있다. 또한, 상기 기관 가열부는 파이로미터(230)을 더 포함할 수 있다. 상기 기관 가열부(200)는 공정 챔버(100)의 내부 하우징(120)의 내측에서 레이저 빔 투과판(130)의 하부에 위치할 수 있다. 상기 기관 가열부(200)는 레이저 빔 투과판(130)을 통하여 평판 기관(a)의 하면으로 레이저 빔을 조사할 수 있다. 상기 기관 가열부(200)는 레이저 빔을 평판 기관(a)의 외측으로 30 ~ 60mm 정도 넓은 외각까지 조사되도록 형성될 수 있다. 또한, 상기 VCSEL 모듈(220)은 평판 기관(a)과의 이격 거리가 100 ~ 300mm일 수 있다.
- [108] 상기 기관 가열부(200)는 소자 배열판(210)의 상면에 복수 개의 VCSEL 모듈(220)이 격자 형태로 배열될 수 있다. 상기 VCSEL 모듈(220)은, 도 5를 참조하면, 소자 배열판(210)의 상면에 x 방향과 y 방향으로 배열되어 격자 형상으로 배열될 수 있다.
- [109] 상기 소자 배열판(210)은 소정 면적과 두께를 갖는 판상으로 형성될 수 있다. 상기 소자 배열판(210)은 바람직하게는 평판 기관(a)의 형상과 면적에 대응되도록 형성될 수 있다. 상기 소자 배열판(210)은 평판 기관(a)의 면적보다 큰 면적으로 형성될 수 있다. 상기 소자 배열판(210)은 레이저 빔이 평판 기관(a)의 외측으로 30 ~ 60mm 정도 넓은 외각까지 조사되도록 VCSEL 모듈(220)이 배열되는데 필요한 면적으로 형성될 수 있다.
- [110] 상기 소자 배열판(210)은 열전도성이 있는 세라믹 재질 또는 금속 재질로 형성될 수 있다. 상기 소자 배열판(210)은 VCSEL 모듈(220)에서 발생하는 열을 방열시키는 작용을 할 수 있다.
- [111] 상기 VCSEL 모듈(220)은 복수 개의 VCSEL 소자를 포함하여 형성될 수 있다. 상기 VCSEL 모듈(220)은 소자 기관(221)과 VCSEL 소자(223)와 전극 단자(225) 및 냉각 블록(227)을 포함할 수 있다. 상기 VCSEL 모듈(220)은 복수 개가 모듈 배열판에 격자 방향으로 배열되어 위치할 수 있다. 상기 VCSEL 모듈(220)은 소자 배열판(210)의 표면에서 평판 기관(a)에서 박막이 형성되는 영역에 레이저 빔을 조사하는데 필요한 영역에 배열될 수 있다. 상기 VCSEL 모듈(220)은

레이저 빔이 평판 기관(a)의 외측으로 30 ~ 60mm 정도 넓은 외각까지 조사되도록 배열될 수 있다. 상기 소자 기관(221)은 별도의 점착제층(226)에 의하여 냉각 블록(227)에 결합될 수 있다.

- [112] 상기 VCSEL 모듈(220)은 VCSEL 소자(223)에서 방출되는 레이저 빔의 방사 특성을 이용하며, 인접한 VCSEL 소자(223)의 레이저 빔과 중첩되는 특성을 이용하여 평판 기관(a)을 균일하게 가열할 수 있다.
- [113] 상기 VCSEL 모듈(220)은 복수 개의 VCSEL 소자(223)가 x 축 방향과 y 축 방향으로 배열되어 형성된다. 상기 VCSEL 모듈(220)은 전체 VCSEL 소자(223)에 동일한 전류가 인가되도록 형성될 수 있다. 또한, 상기 VCSEL 모듈(220)은 각각의 VCSEL 소자(223)에 서로 다른 전력이 인가되도록 형성될 수 있다.
- [114] 상기 VCSEL 모듈(220)은 평판 기관(a)의 하부에서 레이저 빔을 조사하여 평판 기관(a)을 가열할 수 있다. 상기 평판 기관(a)의 상부에 레이저 빔을 조사하는 경우에 평판 기관(a)의 표면에 형성되는 소자의 패턴과 실리콘 외의 물질 (즉, 금속, SiO₂, Si₃N₄ 등)에 의하여 레이저 빔의 반사율이 상이하게 되면서 균일한 표면 온도를 실현하기 어려운 문제가 있다. 또한, 상기 평판 기관(a)의 상부에 위치하는 적외선 투과판(160)에 Si 또는 SiGe이 증착되면 적외선 투과판(160)에서 빔 흡수가 일어나 빔 조사 강도가 바뀔 수 있다.
- [115] 상기 소자 기관(221)은 전자 소자를 실장하는데 사용되는 일반적인 기관으로 형성될 수 있다. 상기 소자 기관(221)은 복수 개의 마이크로 에미터가 실장되는 소자 영역(221a) 및 단자가 실장되는 단자 영역(221b)으로 구분될 수 있다. 상기 소자 영역(221a)은 복수 개의 마이크로 에미터가 격자 형상으로 배열되어 실장될 수 있다. 상기 단자 영역(221b)은 소자 영역(221a)에 접하여 위치하며 복수 개의 단자가 실장될 수 있다.
- [116] 상기 VCSEL 소자(223)는 복수 개가 소자 기관(221)의 상면에 x 축 방향과 y 축 방향으로 배열되어 형성된다. 상기 VCSEL 소자(223)는 940nm의 단일 파장의 레이저 빔을 조사할 수 있다. 상기 VCSEL 소자(223)는 고출력의 레이저 빔을 발진하므로, 기존의 할로젠 램프에 대비하여 평판 기관(a)의 온도 상승률을 증가시킬 수 있으며, 수명도 상대적으로 길다.
- [117] 상기 VCSEL 소자(223)는 복수 개의 마이크로 에미터가 x 축 방향과 y 축 방향으로 배열되어 형성된다. 상기 VCSEL 소자(223)는 구체적으로 도시하는 않았지만, 마이크로 에미터를 고정하기 위한 발광 프레임(미도시)과 마이크로 에미터에 전류를 공급하기 위한 전력선(미도시)을 구비하여 형성될 수 있다. 상기 VCSEL 소자(223)는 전체 마이크로 에미터에 동일한 전류가 인가되도록 형성될 수 있다. 또한, 상기 VCSEL 소자(223)는 각각의 마이크로 에미터에 서로 다른 전력이 인가되도록 형성될 수 있다.
- [118] 상기 마이크로 에미터는 복수 개가 소자 기관(221)의 상면에서 소자 영역(221a)에 x 방향과 y 방향으로 배열되어 격자 형상으로 배열될 수 있다. 상기 마이크로 에미터는 소자 영역(221a)의 면적과 평판 기관(a)에 조사되는 레이저

빔의 에너지 량에 따라 적정한 개수가 적정한 간격으로 형성될 수 있다. 또한, 상기 마이크로 에미터는 발광되는 레이저 빔이 인접하는 마이크로 에미터의 레이저 빔과 오버랩될 때 균일한 에너지를 조사할 수 있는 간격으로 위치할 수 있다.

- [119] 상기 전극 단자(225)는 소자 기관(221)의 단자 영역(221b)에 복수 개로 형성될 수 있다. 상기 전극 단자(225)는 + 단자와 - 단자를 포함하며, VCSEL 소자(223)에 전기적으로 연결될 수 있다. 상기 전극 단자(225)는, 구체적으로 도시하지 않았지만, 다양한 방식으로 VCSEL 소자(223)에 전기적으로 연결될 수 있다. 상기 전극 단자(225)는 VCSEL 소자(223)의 구동에 필요한 전류를 공급할 수 있다.
- [120] 상기 냉각 블록(227)은 소자 기관(221)의 평면 형상에 대응되는 평면 형상과 소정 높이로 형성될 수 있다. 상기 냉각 블록(227)은 열전도성이 있는 세라믹 재질 또는 금속 재질로 형성될 수 있다. 상기 냉각 블록(227)은 소자 기관(221)의 하면에 별도의 점착제층에 의하여 결합될 수 있다. 상기 냉각 블록(227)은 소자 기관(221)의 표면에 실장되는 VCSEL 소자(223)에서 발생하는 열을 하부로 방출할 수 있다. 따라서, 상기 냉각 블록(227)은 소자 기관(221)과 VCSEL 소자(223)를 냉각할 수 있다. 미설명 부호인 226은 소자 기관(221)과 냉각 블록(227)을 결합시키는 점착제층일 수 있다.
- [121] 또한, 상기 냉각 블록(227)은 내부에 냉각수가 흐르는 냉각 유로(미도시)가 형성될 수 있다. 상기 냉각 유로는 유입구와 유출구가 하면에 형성되고, 냉각 블록(227)의 내부에 다양한 형태의 유로로 형성될 수 있다.
- [122]
- [123] 상기 파이로미터(230)는 비접촉식으로 평판 기관(a)의 온도를 측정할 수 있다. 상기 파이로미터(230)는 1 μ m 대역을 이용하여 보다 정확하게 평판 기관의 온도를 측정할 수 있다. 상기 파이로미터(230)는 VCSEL 모듈(220)에 형성되는 관통홀(미도시)의 하부에 위치할 수 있다. 상기 파이로미터(230)는 관통홀을 통하여 평판 기관(a)의 하면으로부터 온도를 측정할 수 있다. 또한, 상기 파이로미터(230)는 평판 기관(a)의 상부에 위치할 수 있다. 상기 파이로미터(410)는 평판 기관(a)의 상부에서 온도를 측정할 수 있다. 따라서, 상기 파이로미터는 평판 기관의 상부 또는 하부에서 상기 평판 기관의 온도를 감지하며, VCEL 서브 모듈이 평판 기관을 설정되는 증착 온도로 가열되도록 할 수 있다.
- [124] 상기 평판 기관(a)의 상부는 Si 박막 또는 SiGe_x 박막이 증착되므로 평판 기관(a) 표면의 방사율(emissivity)이 바뀌게 된다. 따라서, 상기 파이로미터(230)는 바람직하게는 평판 기관(a)의 하부 온도를 측정할 수 있다. 한편, 상기 파이로미터(230)는 VCSEL 모듈(220)의 레이저 빔과 파이로미터의 감지 광원 사이에 간섭이 생길 수 있다. 상기 VCSEL 모듈(220)에서 조사되는 레이저 빔은 단일 파장의 레이저 빔이므로 파이로미터(230)가 온도를 감지하는데 사용되는

과장 대역과 구분될 수 있는 장점이 있다. 따라서, 상기 VCSEL 모듈(220)의 레이저 빔이 파이로미터(230)의 온도 감지에 간섭을 주지 않으므로, 파이로미터(230)는 800°C 이하의 저온에서도 평판 기관(a)의 온도를 정확히 읽을 수 있다.

- [125] 상기 파이로미터(230)은 복수 개가 VCSEL 모듈(220)의 하부에 분포되어 위치할 수 있다. 상기 파이로미터(230)는 VCSEL 모듈(220)의 중심에서 외각으로의 방사상 방향으로 이격되어 위치할 수 있다. 상기 파이로미터는 각각의 VCSEL 서브 모듈에 대응되어 위치하며, VCSEL 서브 모듈이 가열하는 각 영역에 대응하는 웨이퍼에 온도를 측정할 수 있다. 따라서, 상기 평판 기관(a)의 회전 과정에서 입력되는 파이로미터(230)의 온도가 동일하도록 각각의 영역에 대응하는 VCSEL 서브 모듈에 개별적인 인가 출력을 피드백하여 웨이퍼의 온도가 균일하게 되도록 제어할 수 있다.
- [126]
- [127] 상기 냉각 가스 분사부(300)는 분사 하우징(310) 및 가스 분사판(320)을 포함할 수 있다. 상기 냉각 가스 분사부(300)는 적외선 투과판(160)의 상면에 냉각 가스를 분사하여 적외선 투과판(160)을 냉각시킬 수 있다. 상기 냉각 가스는 질소(N₂) 가스, 아르곤(Ar) 가스 또는 압축 냉각 공기일 수 있다.
- [128] 상기 분사 하우징(310)은 냉각 가스 유입홀(311)을 포함할 수 있다. 상기 분사 하우징(310)은 내부가 중공이고 하부가 개방된 통 형상으로 형성될 수 있다. 상기 분사 하우징(310)은 평면 형상이 외부 하우징(110)의 상부판(115)에 대응되는 형상으로 형성될 수 있다. 상기 분사 하우징(310)은 내부에 냉각 가스가 유입되는 냉각 가스 유입 공간이 형성될 수 있다.
- [129] 상기 냉각 가스 유입홀(311)은 분사 하우징(310)의 상판 또는 측면판에 외부에서 내부 측, 냉각 가스 유입 공간으로 관통하는 홀 형상으로 형성될 수 있다. 상기 냉각 가스 유입홀(311)은 분사 하우징(310)의 평면 면적에 따라 1개 또는 복수 개로 형성될 수 있다. 상기 냉각 가스 유입홀(311)은 냉각 가스가 냉각 가스 유입 공간으로 유입되는 경로를 제공할 수 있다.
- [130] 상기 가스 분사판(320)은 가스 분사홀(321)을 포함할 수 있다. 상기 가스 분사판(320)은 판상으로 형성되며, 분사 하우징(310)의 평면 면적에 대응되는 면적으로 형성될 수 있다. 상기 가스 분사판(320)은 분사 하우징(310)의 하부에 결합되어 분사 하우징(310)의 하부를 차폐할 수 있다.
- [131] 상기 가스 분사홀(321)은 가스 분사판(320)의 상면에서 하면으로 관통되어 형성된다. 상기 가스 분사홀(321)은 냉각 가스 유입 공간과 상부판(115)의 상부 관통홀(115a)을 연결할 수 있다. 상기 가스 분사홀(321)은 외부에서 냉각 가스 유입 공간으로 유입되는 냉각 가스를 상부 관통홀(115a)과 적외선 투과판(160)으로 분사할 수 있다.
- [132] 상기 가스 분사홀(321)은 복수 개가 가스 분사판(320)에 전체적으로 이격되어 형성될 수 있다. 상기 가스 분사홀(321)은 냉각 가스를 보다 균일하게 적외선

투과판(160)으로 분사할 수 있다. 따라서, 상기 가스 분사판(320)은 하부의 적외선 투과판(160)을 보다 균일하게 냉각할 수 있다.

[133]

[134] 상기 기관 회전부(400)는 내측 회전 수단(410) 및 외측 회동 수단(420)을 포함할 수 있다. 상기 기관 회전부(400)는 기관 지지대(140)를 비접촉식으로 수평 방향으로 회전시킬 수 있다. 보다 구체적으로는 상기 내측 회전 수단(410)은 공정 챔버(100)의 챔버 하부 공간(100b)에서 기관 지지대(140)의 하부에 결합될 수 있다. 또한, 상기 외측 회동 수단(420)은 공정 챔버(100)의 외측에서 내측 회전 수단(410)과 대향하여 위치할 수 있다. 상기 외측 회동 수단(420)은 내측 회전 수단(410)을 자력을 이용하여 비접촉식으로 회전시킬 수 있다.

[135] 상기 내측 회전 수단(410)은 모터의 로터와 같은 구조로 형성될 수 있다. 예를 들면, 상기 내측 회전 수단(410)은 전체적으로 링 형상으로 형성되며 N극과 S극이 원주 방향을 따라 교대로 형성되는 자석 구조로 형성될 수 있다. 상기 내측 회전 수단(410)은 기관 지지대(140)의 측부 지지대(143)에 결합될 수 있다. 이때, 상기 내측 회전 수단(410)은 하부판(117)의 상부에서 상측으로 이격되어 위치할 수 있다. 한편, 상기 내측 회전 수단(410)은, 구체적으로 도시하지 않았지만, 회전시에 진동을 방지하거나 원활하게 회전할 수 있도록 별도의 지지 수단에 의하여 지지될 수 있다. 예를 들면, 상기 내측 회전 수단(410)은 하부에 지지 베어링 또는 롤러에 의하여 지지될 수 있다.

[136] 상기 외측 회동 수단(420)은 모터의 스테이터와 같은 구조로 형성될 수 있다. 예를 들면, 상기 외측 회동 수단(420)은 링 형태로 형성되는 철심과 철심에 권취되는 도선을 포함할 수 있다. 상기 외측 회동 수단(420)은 도선에 공급되는 전원에 의하여 발생하는 자력으로 내측 회전 수단(410)을 회전시킬 수 있다. 상기 외측 회동 수단(420)은 외부 하우징(110)을 기준으로 내측 회전 수단(410)과 대향하도록 외부 하우징(110)의 외부에 위치할 수 있다. 즉, 상기 외측 회동 수단(420)은 내측 회전 수단(410)과 동일한 높이에서 외부 하우징(110)을 기준으로 외측에 위치할 수 있다.

[137]

[138] 다음은 본 발명의 일 실시예 따른 반도체 소자 제조 방법을 위한 반도체 소자 제조 장치(10)의 기관 가열부(200)를 보다 구체적으로 설명한다.

[139] 상기 기관 가열부(200)는 복수 개의 VCSEL 모듈(220)로 형성될 수 있다. 상기 VCSEL 모듈(220)은 복수 개의 VCSEL 소자(223)로 형성될 수 있다. 또한, 상기 VCSEL 모듈(220)은 적어도 2개의 VCSEL 서브 모듈이 배열되어 형성될 수 있다. 상기 VCSEL 서브 모듈은 VCSEL 소자(223)가 균등한 간격으로 배치되는 소자 영역(221a)과 VCSEL 소자(223)를 직렬 혹은 병렬로 연결하고 외부 전원과 연결하는 단자 영역(221b)을 구비할 수 있다. 또한, 상기 VCSEL 모듈(220)은 적어도 2개의 소자 영역(221a)과 단자 영역(221b)을 구비할 수 있다. 상기 VCSEL 모듈(220)은 적어도 2개의 VCSEL 서브 모듈로 구성되며, 평판 기관(a)의 전체

영역에 레이저 빔을 조사할 수 있도록 평면적으로 배열될 수 있다.

- [140] 상기 VCSEL 소자(223)는 사각 형상이면서 대략 폭이 1 ~ 2mm이며, 내부에 다수의 마이크로 에미터가 형성되는 에미터 영역 및 마이크로 에미터를 전기적으로 연결하는 전극이 형성되는 전극 영역을 구비할 수 있다. 상기 VCSEL 소자(223)는 전극 영역에 마이크로 에미터의 레이저 빔의 소스가 없게 된다. 따라서, 상기 전극 영역에서의 레이저 빔의 분포와 강도는 인접한 마이크로 에미터의 레이저 빔의 방사(divergence)에 의한 중첩에 의해 결정된다. 상기 마이크로 에미터는 10 ~ 30°의 방사각 (divergence angle)를 갖고 있다. 따라서, 상기 VCSEL 소자(223)에서 조사되는 레이저 빔의 강도가 균일하기 위해서는 전극영역에서 중첩된 레이저 빔의 모양과 강도가 마이크로 에미터의 에미터 영역에서 나오는 레이저 빔의 모양과 강도와 동일하여야 한다. 상기 레이저 빔의 모양과 강도는 중첩 거리에 의해 달라지게 된다. 따라서, 상기 VCSEL 모듈(220)의 빔 강도의 균일도는 VCSEL 소자 단위(단범위 배열), VCSEL서브 모듈 단위(중범위 배열), 전체 모듈 단위(장범위 배열)에서 존재하는 전극 영역의 크기와 배치 모양에 영향을 받는다.
- [141] 상기 마이크로 에미터에서 방출되는 레이저 빔들 사이의 중첩은 평판 기관(a)와 마이크로 에미터 사이의 이격 거리에 의해 변하게 되므로, 최고의 균일도를 갖는 특정한 이격거리가 존재하게 된다. 상기 이격 거리는 단범위, 중범위, 장범위에 걸친 레이저 빔의 중첩이 최적화되는 거리에서 최적화되며, 최적화된 이격 거리는 에피택시 공정 장치의 구현을 위해서는 100 ~ 300mm에서 일어나는 것이 바람직하다. 즉, 상기 VCSEL 소자(223) 또는 VCSEL 모듈(220)은 평판 기관(a)과의 이격 거리가 100 ~ 300mm일 수 있다.
- [142] 상기 VCSEL 소자(223)의 내부에 위치하는 마이크로 에미터의 배열과 전극을 배치하는 단범위 배열에서 마이크로 에미터 간의 피치(pitch) 즉 최대 이격 거리는 0.1mm일 수 있다. 상기 전극의 면적이 소자 크기(1mmx1mm)의 1/10 이라고 하면 전극 영역의 크기는 0.1mm 보다 작게 형성될 수 있다. 또한, 상기 전극의 피치는 0.1 mm일 수 있다. 상기 VCSEL내의 전극 공간에서 마이크로 에미터가 없기 때문에 나오는 빔 에너지의 불균일도는 0.01%이다. 따라서, 상기 VCSEL 소자(223)내에서의 단범위 배치는 목적하는 0.2%의 증착 온도의 균일도를 달성하는데 문제가 되지 않는다.
- [143] 상기 VCSEL 소자(223)를 VCSEL 서브 모듈내에 배치하는 배열(중범위 배열)에서 VCSEL 소자(223)와 VCSEL 소자(223)들 사이의 간격을 1mm이하로 하면, 발생하는 빔 에너지의 불균일도는 0.1%이하로 될 수 있다. 상기 VCSEL 소자(223)와 VCSEL 소자(223)들 사이의 간격이 1.5mm를 넘게 되면 빔 에너지의 불균일도는 0.2% 이상으로 나빠지게 된다. 따라서, 상기 VCSEL 소자들에서 빔 에너지가 0.2% 이하의 균일도를 달성하기 위해서는, VCSEL 소자와 VCSEL 소자들 사이의 이격 거리를 최소한 1mm 이하로 하여야 한다.
- [144] 상기 VCSEL 서브 모듈은 외부 전원과 연결하는 입력 단자와 출력 단자가

형성되는 단자 영역(221b)이 필요하며, 필요한 면적은 최소 5×5mm 이상이어야 한다. 상기 단자 영역(221b)은 5mm 이상으로 존재할 시에, 단자에서 레이저 빔이 발생하지 않기 때문에 발생하는 빔 에너지의 불균일도는 수 % 이상이 될 수 있다. 또한, 상기 VCSEL 서브 모듈이 배열되는 VCSEL 모듈(220)은 VCSEL 서브 모듈의 단자 영역(221b)을 포함하는 빈 공간이 최소 5×5mm 이상이며, 빈 공간의 크기가 더 크게 되면 빔 에너지의 불균일도는 더 저하될 수 있다.

- [145] 상기 VCSEL 모듈(220)은 도 5에서 보는 바와 같이, 2개의 VCSEL 서브 모듈이 결합된 구조로 형성될 수 있다. 상기 VCSEL 서브 모듈의 단자 영역(221b)은 VCSEL 모듈(220)에서 서로 대각선 방향에 위치하며, 서로 반대 방향으로 돌출될 수 있다. 상기 단자 영역(221b)은 대략 직사각형 형상으로 형성될 수 있다.
- [146] 상기 VCSEL 모듈(220)은 단자 영역(221b)을 포함하는 빈 영역이 한쪽 방향을 따라 선형으로 배치하는 것이다. 상기 단자 영역(221b)을 빈 영역을 선형으로 배치하면 빈 영역에서 만들어지는 레이저 빔의 중첩은 단자 영역(221b)의 수직 방향에서 일어나게 되며, 이 방향의 중첩거리는 VCSEL 모듈(220) 전체에 걸쳐 일정하기 때문에 동일한 형태로 중첩되는 레이저 빔을 만들 수 있다.
- [147] 상기 VCSEL 모듈(220)은 단자 영역(221b)이 일직선으로 정렬되도록 VCSEL 서브 모듈이 배치될 수 있다. 상기 VCSEL 서브 모듈에서 직사각형 혹은 정사각형의 소자 영역(221a)의 한 변의 길이는 10mm보다 크고 40mm보다 작은 것이 바람직하다. 상기 소자 영역(221a)의 길이가 너무 작으면 평판 기관 영역에 대응되는 VCSEL 서브 모듈의 개수가 과도하게 증가하고 단자 영역(221b)을 형성하기 어려운 측면이 있다. 또한, 상기 소자 영역(221a)의 한 변의 길이가 너무 크면 VCSEL 서브 모듈의 개수가 감소하나, 각 VCSEL 서브 모듈이 담당하는 평판 기관(a) 영역의 범위가 넓어져 국부적인 온도 편차를 조정하기 위한 영역 제어가 어려울 수 있다.
- [148] 상기 VCSEL 모듈(220)에서 소자 영역(221a)으로부터 돌출되는 단자 영역(221b)은 단자의 크기와 배선을 고려하여 결정될 수 있으며, 소자 영역(221a)으로부터 돌출되는 돌출 길이는 바람직하게는 10mm 이하일 수 있다. 예를 들면, 상기 돌출 길이는 7mm일 수 있다. 상기 VCSEL 모듈(220)은 복수 개의 VCSEL 서브 모듈이 배치되어 형성되며, 단자 영역(221b)이 한 쪽 방향으로 직선 형상을 이루도록 배치될 수 있다. 상기 VCSEL 모듈(220)은 VCSEL 서브 모듈 사이의 이격 거리가 10mm보다 작게 되도록 배치될 수 있다.
- [149]
- [150] 다음은 본 발명의 반도체 소자 제조 장치의 평가 결과에 대하여 설명한다.
- [151] 도 6은 VCSEL 모듈과 웨이퍼의 이격 거리에 따라 레이저 빔의 균일도 그래프이다. 상기 VCSEL 모듈에서 조사되는 레이저 빔의 중첩은 단자 영역이 마주하는 인접 VCSEL 모듈 사이에 존재하는 단자 영역에서 일어나며 중첩 거리가 동일하여 동일한 중첩 효과를 얻을 수 있다. 상기 레이저 빔의 중첩 불균일도가 최소가 되는 이격거리는 120mm와 250mm이다. 상기 120mm에서는

가장 인접한 VCSEL 소자 사이의 중첩이고 250mm에서는 단자에서 가장 인접한 VCSEL 소자와 두 번째 떨어진 VCSEL 소자가 동시에 참여하는 중첩이다. 상기 120mm에서의 중첩 균일도는 0.6%이고 250mm에서의 중첩 균일도는 0.25%이다. 상기 VCSEL 모듈은 이격 거리가 250mm일 때 0.25%의 극히 우수한 균일도를 얻을 수 있으나, 필요로 하는 0.2%의 균일도에는 미치지 못할 수 있다.

- [152] 상기 VCSEL 모듈이 0.2% 이하의 중첩 온도의 균일도를 구현하기 위해서 웨이퍼를 회전시킬 수 있다. 상기 VCSEL 모듈은 중첩되는 불균일 영역이 1차원의 선형으로 분포될 수 있다. 따라서 상기 웨이퍼의 회전에 의해 선형의 불균일 영역은 효율적으로 균질화될 수 있다. 상기 균질화 정도는 웨이퍼의 회전 속도에 따라 달라지게 되는데 에피택시 공정에 적정한 20 ~ 50rpm의 회전 속도에서 0.1%의 균일도를 얻을 수 있다.
- [153] 한편, 상기 VCSEL 모듈의 단자 영역은 인접 VCSEL 소자에서 방출되는 레이저 빔이 서로 중첩되는 영역이다. 따라서 상기 단자 영역의 폭은 균일도에 영향을 미칠 수 있다. 상기 VCSEL 소자의 마이크로 에미터에서 나오는 레이저 빔은 가우시안(TEM₀₀ 모드)이나 M형(TEM₀₁ 모드)의 빔 프로파일을 갖고 있으므로 중첩된 빔의 강도가 VCSEL 소자내의 빔 강도와 정확히 일치하지는 않는다. 따라서 상기 VCSEL 모듈은 중첩 거리가 작아야 균일도가 향상될 수 있다. 상기 단자 영역은 폭이 0.7mm에서 1.1mm로 증가하면 균일도가 0.76%로 나빠지게 된다. 따라서, 상기 VCSEL 모듈은 목적하는 0.2% 이하의 균일도를 얻기 위해서는 단자 영역의 폭이 10mm이하이어야 한다. 따라서, 상기 VCSEL 모듈은 VCSEL 서브 모듈을 상기와 같이 배치하고 웨이퍼를 회전시킴으로써 에피택시 공정에서 요구하는 0.2%의 균일도를 실현할 수 있다.
- [154] 또한, 상기 VCSEL 모듈에서 중심에서 외각으로의 방사상 방향으로 영역(zone) 제어는 VCSEL 서브 모듈을 구분하여 동일한 영역으로 구성하고 각 영역에 대응하는 웨이퍼에 온도를 측정하는 복수의 파이로미터를 장착할 수 있다. 상기 웨이퍼의 회전 과정에서 입력되는 파이로미터의 온도가 동일하도록 각각의 영역에 대응하는 VCSEL 서브 모듈에 개별적인 인가 출력을 피드백하여 웨이퍼의 온도가 균일하게 되도록 제어할 수 있다.
- [155]
- [156] 도 7은 VCSEL 모듈에 인가되는 파워를 증가시키면서 웨이퍼를 가열할 때 웨이퍼의 온도를 측정한 그래프이다. 승온 속도는 대략 150°C/sec이다. 상기 웨이퍼는 600°C 이하의 온도에서도 급속 가열이 일어남을 알 수 있다. 따라서, 상기 VCSEL 모듈은 600°C 이하의 저온에서도 본 발명의 에피택시 공정에 필요한 빠른 온도 가변이 가능한 것을 확인할 수 있다.
- [157] 도 8은 VCSEL 모듈로 웨이퍼를 가열할 때 웨이퍼의 온도 가변 특성을 보여주는 그래프이다. 상기 웨이퍼는 600°C와 680°C 사이에서 가열과 냉각을 반복하였다.
- [158] 상기 웨이퍼가 600°C에서 680°C로 가열되는데 소요되는 시간은 1.2초이며,

오버히팅(overheating)은 일어나지 않는다. 또한, 상기 웨이퍼가 680°C에서 600°C로 냉각되는데 소요되는 시간은 대략 3초이며 언더히팅(underheating)이 일어나지 않는다.

- [159] 일반적인 에피택시 장비는 동일한 조건으로 평가한 결과 가열과 냉각에 대략 90 ~ 150초 정도가 소요되는 것으로 평가된다. 따라서, 본 발명의 일 실시예에 따른 반도체 소자 제조 장치는 1~3초 이내에 가열 및 냉각이 가능하여 $[\text{Si}/\text{SiGe}_x]_n$ 의 다층막 제조 속도를 2배에서 10배까지 증가시킬 수 있다.

[160]

- [161] 본 명세서에 개시된 실시예는 여러 가지 실시 가능한 예중에서 당업자의 이해를 돕기 위하여 가장 바람직한 실시예를 선정하여 제시한 것일 뿐, 이 발명의 기술적 사상이 반드시 이 실시예에만 의해서 한정되거나 제한되는 것은 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변화와 부가 및 변경이 가능함 물론, 균등한 다른 실시예의 구현이 가능하다.

산업상 이용가능성

- [162] 본 발명은 에피택시 공정을 이용하여 반도체 소자를 제조하는 분야와 반도체 소자를 제조하기 위한 장치를 제조하는 분야에 적용될 수 있다.

청구범위

- [청구항 1] VCSEL 소자로 평판 기판을 가열하며 상기 평판 기판의 상부에 제 1 박막과 제 2 박막이 교대로 증착되는 다층 박막을 에피택시 공정으로 형성하는 방법으로서,
상기 평판 기판의 상부에 제 1 증착 온도에서 제 1 소스 가스를 공급하여 상기 제 1 박막을 증착하는 제 1 박막 증착 단계와,
상기 평판 기판의 온도를 상기 제 1 증착 온도에서 상기 제 2 증착 온도로 하강시키는 증착 온도 하강 단계와,
상기 제 2 증착 온도에서 제 2 소스 가스를 공급하여 상기 제 1 박막의 상부에 제 2 박막을 증착하는 제 2 박막 증착 단계 및
상기 평판 기판의 온도를 상기 제 2 증착 온도에서 상기 제 1 증착 온도로 상승시키는 증착 온도 상승 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.
- [청구항 2] 제 1 항에 있어서,
상기 제 1 박막은 Si 박막이며, 제 2 박막은 $\text{SiGe}_x(0.1 < x < 0.4)$ 박막인 것을 특징으로 하는 반도체 소자 제조 방법.
- [청구항 3] 제 2 항에 있어서,
상기 제 1 증착 온도는 $600 \sim 800^\circ\text{C}$ 이며, 상기 제 2 증착 온도는 $500 \sim 750^\circ\text{C}$ 이며,
상기 증착 온도 하강 단계에서 증착 온도 하강 시간은 $1 \sim 10$ 초이며,
상기 증착 온도 상승 단계에서 증착 온도 상승 시간은 $1 \sim 5$ 초인 것을 특징으로 하는 반도체 소자 제조 방법.
- [청구항 4] 제 2 항에 있어서,
상기 제 1 박막의 제 1 증착 속도가 상기 제 2 박막의 제 2 증착 속도의 $0.1 \sim 2$ 배가 되도록 상기 제 1 증착 온도와 제 2 증착 온도를 설정하는 것을 특징으로 하는 반도체 소자 제조 방법.
- [청구항 5] 제 1 항에 있어서,
상기 제 1 박막 증착 단계와 제 2 박막 증착 단계는 각각 상기 제 1 증착 온도와 제 2 증착 온도가 0.2% 이하의 균일도로 제어되는 것을 특징으로 하는 반도체 소자 제조 방법.
- [청구항 6] 제 1 항에 있어서,
상기 평판 기판은 하면이 노출되도록 외측이 지지되며, 상기 VCSEL 소자에서 조사되는 레이저 빔이 상기 평판 기판의 하면으로 직접 조사되며,
상기 평판 기판은 상기 레이저 빔이 조사될 때 회전되는 것을 특징으로 하는 반도체 소자 제조 방법.
- [청구항 7] 제 1 항에 있어서

상기 평판 기판을 가열하기 위한 레이저 빔을 조사하는 상기 VCSEL 소자를 포함하는 기관 가열부를 사용하며,
 상기 기관 가열부는 적어도 2개의 상기 VCSEL 소자가 배열되는 소자 영역과 상기 VCSEL 소자에 전원을 공급하는 단자가 배열되는 단자 영역을 구비하는 VCSEL 서브 모듈이 적어도 2개가 조합하여 형성되는 VCSEL 모듈을 구비하며,
 상기 VCSEL 모듈은 상기 평판 기관의 면적보다 넓은 면적에 배열되며,
 상기 VCSEL 모듈은 상기 평판 기관과의 이격 거리가 100 ~ 300mm인 것을 특징으로 하는 반도체 소자 제조 방법.

[청구항 8]

제 7 항에 있어서,
 상기 VCSEL 모듈은 상기 VCSEL 서브 모듈의 단자 영역이 하나의 방향으로 서로 이어지면서 직선 형상을 이루도록 상기 VCSEL 서브 모듈이 배치되는 것을 특징으로 하는 반도체 소자 제조 방법.

[청구항 9]

제 7 항에 있어서,
 상기 VCSEL 모듈은 상기 평판 기관의 온도가 0.2% 이하의 온도 균일도를 갖도록 레이저 빔을 조사하며,
 상기 VCSEL 소자는 마이크로 에미터 배열의 최대 이격 거리가 0.1mm이며, 전극 영역의 크기가 0.1mm보다 작고,
 상기 VCSEL 서브 모듈은 상기 VCSEL 소자의 이격 거리가 1mm보다 작고,
 상기 VCSEL 모듈은 상기 VCSEL 서브 모듈의 이격 거리가 10mm보다 작게 되도록 배치되는 것을 특징으로 하는 반도체 소자 제조 방법.

[청구항 10]

제 7 항에 있어서,
 상기 VCSEL 서브 모듈은 각각 독립적으로 전원이 공급되며,
 상기 평판 기관의 하부에서 상기 평판 기관의 온도를 감지하는 파이로미터를 이용하여 상기 평판 기관이 설정되는 중착 온도로 가열되도록 상기 VCSEL 서브 모듈의 발광 강도를 개별적으로 제어하는 것을 특징으로 하는 반도체 소자 제조 방법.

[청구항 11]

제 7 항에 있어서,
 상기 평판 기관은 자기 부상 방식에 의하여 회전되며,
 상기 평판 기관은 회전시에 상기 VCSEL 모듈에 의하여 간섭 받지 않고 회전되는 것을 특징으로 하는 반도체 소자 제조 방법.

[청구항 12]

제 1 항에 따른 반도체 소자 방법이 진행되는 반도체 소자 제조 장치이며,
 평판 기판을 가열하기 위한 레이저 빔을 조사하는 VCSEL 소자를 포함하는 기관 가열부를 사용하며,
 상기 기관 가열부는 적어도 2개의 상기 VCSEL 소자가 배열되는 소자 영역과 상기 VCSEL 소자에 전원을 공급하는 단자가 배열되는 단자 영역을 구비하는 VCSEL 서브 모듈이 적어도 2개가 조합하여

형성되는 VCSEL 모듈을 구비하며,

상기 VCSEL 모듈은 상기 평판 기판의 면적보다 넓은 면적에 배열되며,
상기 VCSEL 모듈은 상기 평판 기판과의 이격 거리가 100 ~ 300mm인
것을 특징으로 하는 반도체 소자 제조 장치.

[청구항 13]

제 12 항에 있어서,

상기 VCSEL 모듈은 상기 VCSEL 서브 모듈의 단자 영역이 하나의
방향으로 서로 이어지면서 직선 형상을 이루도록 상기 VCSEL 서브
모듈이 배치되는 것을 특징으로 하는 반도체 소자 제조 장치.

[청구항 14]

제 12 항에 있어서,

상기 VCSEL 모듈은 상기 평판 기판의 온도가 0.2% 이하의 온도 균일도를
갖도록 레이저 빔을 조사하며,

상기 VCSEL 소자는 마이크로 에미터 배열의 최대 이격 거리가
0.1mm이며, 상기 전극 영역의 크기가 0.1mm보다 작고,

상기 VCSEL 서브 모듈은 상기 VCSEL 소자의 이격 거리가 1mm보다
작고,

상기 VCSEL 모듈은 상기 VCSEL 서브 모듈의 이격 거리가 10mm보다
작게 되도록 배치되는 것을 특징으로 하는 반도체 소자 제조 장치.

[청구항 15]

제 12 항에 있어서,

상기 VCSEL 서브 모듈은 각각 독립적으로 전원이 공급되며,

상기 평판 기판의 상부 또는 하부에서 상기 평판 기판의 온도를 감지하는
파이로미터를 이용하여 상기 평판 기판이 설정되는 증착 온도로
가열되도록 상기 VCSEL 서브 모듈의 발광 강도를 개별적으로 제어하는
것을 특징으로 하는 반도체 소자 제조 장치.

[청구항 16]

제 12 항에 있어서,

상기 평판 기판은 자기 부상 방식에 의하여 회전되며,

상기 평판 기판은 회전시에 상기 VCSEL 모듈에 의하여 간섭 받지 않고
회전되는 것을 특징으로 하는 반도체 소자 제조 장치.