

发明名称：写数据信号延迟控制方法、装置、设备和介质

本申请要求于 2022 年 05 月 20 日提交中国专利局，申请号为 2022105488270、发明名称为“写数据信号延迟控制方法、装置、设备和介质”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及计算机技术领域，特别是涉及一种写数据信号延迟控制方法、装置、设备和介质。

背景技术

在高带宽内存系统中，通过高带宽内存系统中的主机向高带宽内存系统中的存储器发送写数据信号，可实现对存储器进行相应的写操作控制。然而，主机向存储器发送写数据信号的过程中，由于写数据信号的传输容易受环境变化、以及信号间串扰等因素的影响，容易导致写数据信号和存储器中的采样信号出现偏移，进而出现写数据采样错误的情况。若写数据采样错误，则主机对存储器的写操作将出现错误，这样将导致写入至存储器中的数据出现错误，从而会降低存储器的工作稳定性。

发明内容

基于此，有必要针对上述技术问题，提供一种写数据信号延迟控制方法、装置、设备和介质。

第一方面，本申请提供了一种写数据信号延迟控制方法，由计算机设备执行，所述方法包括：

通过主机对存储器中的寄存器电路进行工作模式配置，得到支持读写的训练寄存器；

通过所述主机将样本写数据信号发送至所述存储器；

通过所述存储器基于采样信号对所述样本写数据信号进行采样，并将采样得到的采样写数据信号缓存至所述训练寄存器中；

若所述主机从所述训练寄存器中读取的所述采样写数据信号与所述样本写数据信号不一致，则基于所述样本写数据信号对设置在所述主机上的写数据延控电路进行延迟调整训练，得到已训练的写数据延控电路；

通过所述已训练的写数据延控电路对输入的写数据信号进行信号偏移调整，得到与采样信号的采样沿对齐的目标写数据信号；所述目标写数据信号用于写入至所述存储器中。

第二方面，本申请提供了一种写数据信号延迟控制装置，所述装置包括：

配置模块，用于通过主机对存储器中的寄存器电路进行工作模式配置，得到支持读写的训练寄存器；

发送模块，用于通过所述主机将样本写数据信号发送至所述存储器；

采样模块，用于通过所述存储器基于采样信号对所述样本写数据信号进行采样，并将采样得到的采样写数据信号缓存至所述训练寄存器中；

训练模块，用于若所述主机从所述训练寄存器中读取的所述采样写数据信号与所述样本写数据信号不一致，则基于所述样本写数据信号对设置在所述主机上的写数据延控电路进行延迟调整训练，得到已训练的写数据延控电路；

调整模块，用于通过所述已训练的写数据延控电路对输入的写数据信号进行信号偏移调整，得到与采样信号的采样沿对齐的目标写数据信号；所述目标写数据信号用于写入至所述存储器中。

第三方面，本申请提供了一种计算机设备，包括存储器和一个或多个处理器，存储器中存储有计算机可读指令，该一个或多个处理器执行计算机可读指令时实现本申请各方法实施例中的步骤。

第四方面，本申请提供了一个或多个计算机可读存储介质，存储有计算机可读指令，该计算机可读指令被一个或多个处理器执行时实现本申请各方法实施例中的步骤。

第五方面，本申请提供了一种计算机程序产品，包括计算机可读指令，计算机可读指令被一个或多个处理器执行时实现本申请各方法实施例中的步骤。

本申请的一个或多个实施例的细节在下面的附图和描述中提出。本申请的其它特征、目的和优点将从说明书、附图以及权利要求书变得明显。

为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

附图说明

- 图 1 WO 2023/221627 中写数据信号延迟控制方法的应用环境图；
图 2 为一个实施例中写数据信号延迟控制方法的流程示意图；
图 3 为一个实施例中写数据信号的组成结构示意图；
图 4 为一个实施例中写指令的发送时序示意图；
图 5 为一个实施例中写数据信号的格式示意图；
图 6 为一个实施例中突发长度为 2 时的写数据信号的格式示意图；
图 7 为一个实施例中突发长度为 4 时的写数据信号的格式示意图；
图 8 为一个实施例中写数据信号的发送过程示意图；
图 9 为一个实施例中读指令的发送时序示意图；
图 10 为一个实施例中写数据信号与采样信号的采样沿对齐情况示意图；
图 11 为一个实施例中模式寄存器的配置说明表示意图；
图 12 为一个实施例中写数据信号中各个子样本信号的分布示意图；
图 13 为一个实施例中写数据延控电路的基本结构图；
图 14 为一个实施例中写数据信号中的各个子样本信号示意图；
图 15 为一个实施例中写数据信号中各个子样本信号分别与采样信号的采样沿对齐情况示意图；
图 16 为一个实施例中对各子电路进行单电路的延迟调整训练的过程示意图；
图 17 为一个实施例中写数据延控电路中各个子电路的结构示意图；
图 18 为一个实施例中写数据信号延迟控制的训练电路的基本结构图；
图 19 为另一个实施例中写数据信号延迟控制方法的流程示意图；
图 20 为一个实施例中写数据信号延迟控制装置的结构框图；
图 21 为一个实施例中计算机设备的内部结构图；
图 22 为另一个实施例中计算机设备的内部结构图。

具体实施方式

为了使本申请的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本申请进行进一步详细说明。应当理解，此处描述的具体实施例仅仅用以解释本申请，并不用于限定本申请。

本申请提供的写数据信号延迟控制方法，可以应用于如图 1 所示的应用环境中。其中，终端 102 通过网络与服务器 104 进行通信。数据存储系统可以存储服务器 104 需要处理的数据。数据存储系统可以集成在服务器 104 上，也可以放在云上或其他服务器上。其中，终端 102 可以但不限于各种台式计算机、笔记本电脑、智能手机、平板电脑、物联网设备和便携式可穿戴设备，物联网设备可为智能音箱、智能电视、智能空调、智能车载设备等。便携式可穿戴设备可为智能手表、智能手环、头戴设备等。服务器 104 可以是独立的物理服务器，也可以是多个物理服务器构成的服务器集群或者分布式系统，还可以是提供云服务、云数据库、云计算、云函数、云存储、网络服务、云通信、中间件服务、域名服务、安全服务、CDN、以及大数据和人工智能平台等基础云计算服务的云服务器。终端 102 以及服务器 104 可以通过有线或无线通信方式进行直接或间接地连接，本申请在此不做限制。

服务器 104 中部署有包括主机和存储器的高带宽内存系统。服务器 104 可通过主机对存储器中的寄存器电路进行工作模式配置，得到支持读写的训练寄存器。服务器 104 通过主机将样本写数据信号发送至存储器，通过存储器基于采样信号对样本写数据信号进行采样，并将采样得到的采样写数据信号缓存至训练寄存器中。若主机从训练寄存器中读取的采样写数据信号与样本写数据信号不一致，则服务器 104 可基于样本写数据信号对设置在主机上的写数据延控电路进行延迟调整训练，得到已训练的写数据延控电路。服务器 104 可通过已训练的写数据延控电路对输入的写数据信号进行信号偏移调整，得到与采样信号的采样沿对齐的目标写数据信号；目标写数据信号用于写入至存储器中。

可以理解，服务器 104 中的主机可以生成样本写数据信号，并将样本写数据信号发送至服务器 104 中的存储器，以进行后续的延迟调整训练。还可以理解的是，终端 102 也可以生成样本写数据信号，并将样本写数据信号发送至服务器 104。进而，服务器 104 可通过主机接收样本写数据信号，并将接收的样本写数据信号发送至服务器 104 中的存储器中，以进行后续的延迟调整训练。本实施例对此不做限定，可以理解，图 1 中的应用场景仅为示意说明，并不限于此。

在一个实施例中，如图 2 所示，提供了一种写数据信号延迟控制方法，该方法可应用于计算机设备，计算机设备可以是终端或服务器，由终端或服务器自身单独执行，也可以通过终端和服务器之间

的交互来WO 2023/221627可以该方法应用于计算机设备为例进行说明，包括PCT/CN2023/081939

步骤 202，通过主机对存储器中的寄存器电路进行工作模式配置，得到支持读写的训练寄存器。

其中，寄存器电路是存储器中独立的电路，其支持配置为多种工作模式，比如，寄存器电路可支持配置为可读写模式、只读模式和只写模式等。可以理解，通过将寄存器电路配置为可读写模式，可得到支持读写的寄存器，即支持读写的训练寄存器。可以理解，训练寄存器，是在训练阶段用于缓存数据的寄存器。通过将寄存器电路配置为只读模式，可得到支持读的寄存器。通过将寄存器电路配置为只写模式，可得到支持写的寄存器。

具体地，计算机设备中包括主机和存储器。计算机设备可通过主机对存储器中的寄存器电路进行工作模式配置，得到支持读写的训练寄存器。可以理解，计算机设备可通过主机对存储器中的寄存器电路的工作模式配置为可读写模式，得到支持读写的训练寄存器。

在一个实施例中，主机和存储器是高带宽内存系统的组成部分，高带宽内存系统部署在计算机设备中。

在一个实施例中，存储器可以是动态的随机存取存储器，也可以是随机存取存储器。需要说明的是，本申请实施例仅做举例说明，并不构成对存储器的类型做具体限定。

步骤 204，通过主机将样本写数据信号发送至存储器。

其中，样本写数据信号，是在训练阶段用于训练主机上设置的写数据延控电路的写数据信号，可以理解，样本写数据信号是一种用于训练写数据延控电路的样本数据。写数据延控电路，是用于对写数据信号进行延迟控制的电路，以控制写数据信号与存储器的采样信号的采样沿对齐，使得存储器的采样信号可正确采样到写数据信号。采样信号，是存储器中用于采样主机发送过来的写数据信号的时钟信号。

具体地，计算机设备可通过主机获取样本写数据信号，并通过主机将样本写数据信号发送至存储器。

在一个实施例中，如图 3 所示，写数据信号包括写数据总线信号、掩码信号和数据总线翻转信号三个部分。其中，写数据总线信号的数据位宽为 128 位，掩码信号的数据位宽为 16 位，数据总线翻转信号的数据位宽为 16 位。

在一个实施例中，计算机设备通过主机将样本写数据信号发送至存储器之前，主机会先向存储器发送写指令。而写指令的发送需要遵循如图 4 所示的时序，从图 4 可知，写指令包括 9 个字段，其中，SID 表示堆栈的标识号，CA 字段表示列地址，BA 字段表示 Bank 地址，PAR 字段表示指令校验字段，V 字段可表示 1 或 0，即高电平或低电平。其中，时钟 1 和时钟 2 是两个差分时钟。

在一个实施例中，如图 5 所示，写数据信号包括写数据总线信号、掩码信号和数据总线翻转信号三个部分。计算机设备通过主机向存储器发送了写指令之后，间隔了 4 个周期会再通过主机向存储器发送写数据信号，即写数据总线信号、掩码信号和数据总线翻转信号。每一部分的写数据信号分别对应各自的采样信号。每一部分的写数据信号可分别包括多组数据（比如，4 组，即数据 1、数据 2、数据 3 和数据 4）。

在一个实施例中，计算机通过主机向存储器发送写数据信号是基于突发形式实现的，即，每一次发送写数据信号，都会多组一起发送。如图 6 所示，计算机通过主机向存储器发送写数据信号的突发长度为 2，计算机设备可通过主机在 T0 时刻向存储器发送写指令，在写指令发送的 4 个周期之后，即在 T4 时刻，计算机设备可通过主机向存储器发送 2 组写数据信号（即，数据 1 和数据 2）。其中，主机向存储发送的写指令的数值包括 BAX（Bank 地址）和 CAa（列地址）。

在一个实施例中，如图 7 所示，计算机通过主机向存储器发送写数据信号的突发长度为 4，计算机设备可通过主机在 T0 时刻向存储器发送写指令，在写指令发送的 4 个周期之后，即在 T4 时刻，计算机设备可通过主机向存储器发送 4 组写数据信号（即，数据 1、数据 2、数据 3 和数据 4）。其中，主机向存储发送的写指令的数值包括 BAX（Bank 地址）和 CAa（列地址）。

在一个实施例中，如图 8 所示，计算机设备可通过主机向存储器发送激活指令，以开始本次的数据写入。发送激活指令之后，计算机设备可通过主机向存储器发送写指令（即写指令 1、写指令 2 和写指令 3）。进而计算机设备可通过主机向存储器发送写数据信号（即数据 1、数据 2 和数据 3），需要说明的是，在发送写数据信号的同时，主机可将与写数据信号相匹配的写数据选取脉冲信号作为采样信号一同发送至存储器。最终，计算机设备可通过主机向存储器发送预充电指令，以结束本次的

步骤 206, 通过存储器基于采样信号对样本写数据信号进行采样, 并将采样得到的采样写数据信号缓存至训练寄存器中。

其中, 采样写数据信号, 是存储器基于采样信号所采样得到的写数据信号。

具体地, 计算机设备在通过主机将样本写数据信号发送至存储器的同时, 也将相应的采样信号发送至存储器中。进而, 计算机设备可通过存储器基于接收到的采样信号对样本写数据信号进行采样, 并将采样得到的采样写数据信号缓存至训练寄存器中。

在一个实施例中, 计算机设备可通过主机将样本写数据信号和与样本写数据信号相匹配的写数据选取脉冲信号一同发送至存储器。存储器可将接收到的写数据选取脉冲信号作为采样信号, 并基于采样信号对主机发送过来的样本写数据信号进行采样, 得到采样写数据信号。可以理解, 由于采样信号是与样本写数据信号相匹配的写数据选取脉冲信号, 因此通过该采样信号对样本写数据信号进行采样, 可以提升数据信号的采样准确率。

步骤 208, 若主机从训练寄存器中读取的采样写数据信号与样本写数据信号不一致, 则基于样本写数据信号对设置在主机上的写数据延控电路进行延迟调整训练, 得到已训练的写数据延控电路。

具体地, 计算机设备可通过主机从存储器的训练寄存器中读取采样写数据信号, 并将主机从训练寄存器中读取的采样写数据信号与主机发送至存储器的样本写数据信号进行比对, 若采样写数据信号与样本写数据信号不一致, 则说明样本写数据信号在传输过程中与采样信号的采样沿发生了偏移, 样本写数据信号未能正确被采样信号采样, 进而样本写数据信号并没有成功缓存至训练寄存器, 此时, 为保证后续写数据信号与采样信号的采样沿对齐, 计算机设备可基于样本写数据信号对设置在主机上的写数据延控电路进行延迟调整训练, 得到已训练的写数据延控电路。

可以理解, 写数据信号与采样信号的采样沿对齐, 具体是指写数据信号的信号中心与存储器的采样信号的采样沿对齐。

在一个实施例中, 采样信号的采样沿包括采样信号的上升沿和采样信号的下降沿。若计算机设备是通过存储器的采样信号的上升沿对写数据信号进行采样, 则写数据信号的信号中心与存储器的采样信号的上升沿对齐。若计算机设备是通过存储器的采样信号的下降沿对写数据信号进行采样, 则写数据信号的信号中心与存储器的采样信号的下降沿对齐。可以理解, 由于采样信号的采样沿包括上升沿和下降沿, 通过更细粒度的确定使用采样信号的上升沿或采样信号的下降沿对写数据信号进行采样, 可以避免误对齐的情况, 从而进一步提升数据信号的采样准确率。

在一个实施例中, 样本写数据信号包括多个子样本信号, 设置在主机上的写数据延控电路包括多个子电路, 其中, 一个子电路用于控制一个子样本信号的延迟。计算机设备可基于多个子样本信号, 分别对设置在主机上的多个子电路进行延迟调整训练, 得到已训练的写数据延控电路。

在一个实施例中, 计算机设备在通过主机从存储器的训练寄存器中读取采样写数据信号之前, 主机先向存储器发送读指令。而读指令的发送需要遵循如图 9 所示的时序, 如图 9 所示, 读指令包括 9 个字段, 其中, SID 表示堆栈的标识号, CA 字段表示列地址, BA 字段表示 Bank 地址, PAR 字段表示指令校验字段, V 字段可表示 1 或 0, 即高电平或低电平。

步骤 210, 通过已训练的写数据延控电路对输入的写数据信号进行信号偏移调整, 得到与采样信号的采样沿对齐的目标写数据信号; 目标写数据信号用于写入至存储器中。

其中, 输入的写数据信号, 是指在训练阶段结束之后的实际应用场景中主机所获取到的写数据信号。目标写数据信号, 是经过偏移调整之后的、且与采样信号的采样沿对齐的写数据信号。

具体地, 在延迟调整训练之后的实际应用阶段中, 计算机设备可通过主机获取实际应用场景中的写数据信号, 并将获取的写数据信号输入至已训练的写数据延控电路, 以通过已训练的写数据延控电路对输入的写数据信号进行信号偏移调整, 得到与存储器中采样信号的采样沿对齐的目标写数据信号。进而, 计算机设备可将调整后的目标写数据信号发送至存储器, 存储器可通过采样信号对目标写数据信号进行采样, 以将目标写数据信号写入至存储器中。

在一个实施例中, 计算机设备通过存储器的采样信号的上升沿对写数据信号进行采样。如图 10 所示, (a) 中的写数据信号的信号中心刚好和采样信号的上升沿对齐, 此时, 存储器通过采样信号可以准确采样到写数据信号。(b) 中的写数据信号的信号中心和采样信号的上升沿之间存在偏移, 甚至采样信号的上升沿已经漂移出写数据信号的数据窗口, 此时, 存储器通过采样信号不能采样到写数据信号。(c)

中的写数据信号和采样信号的上升沿之间也存在偏移,此时,存储器易导致不能准确采样到写数据信号。

上述写数据信号延迟控制方法中,通过主机对存储器中的寄存器电路进行工作模式配置,得到支持读写的训练寄存器;通过主机将样本写数据信号发送至存储器;通过存储器基于采样信号对样本写数据信号进行采样,并将采样得到的采样写数据信号缓存至训练寄存器中,并将采样写数据信号与主机发送出去的样本写数据信号进行比对,若主机从训练寄存器中读取的采样写数据信号与样本写数据信号不一致,则说明主机传输过来的样本写数据信号和存储器的采样信号出现了偏移,此时,可基于样本写数据信号对设置在主机上的写数据延控电路进行延迟调整训练,得到已训练的写数据延控电路。进而,在实际的应用过程中,可通过已训练的写数据延控电路对输入的写数据信号进行信号偏移调整,并将调整后的目标写数据信号发送至存储器,这样可使得存储器接收到的目标写数据信号和存储器的采样信号的采样沿对齐,从而使得存储器可正确采样到主机发送过来的写数据信号,保证了写入存储器的数据的正确性,从而提升了存储器工作稳定性。

在一个实施例中,通过主机对存储器中的寄存器电路进行工作模式配置,得到支持读写的训练寄存器,包括:通过主机将存储器中模式寄存器的值设置为目标值;模式寄存器,是用于配置寄存器电路的工作模式的寄存器;目标值,是寄存器电路所支持的可读写模式对应的值;通过目标值控制寄存器电路工作在可读写模式,得到支持读写的训练寄存器。

具体地,存储器中部署有模式寄存器,该模式寄存器可对存储器中的寄存器电路的工作模式进行配置。可以理解,计算机设备可通过主机将存储器中模式寄存器的值设置为可读写模式对应的目标值,进而通过目标值控制寄存器电路工作在可读写模式,并将工作在可读写模式的寄存器电路作为支持读写的训练寄存器。

在一个实施例中,模式寄存器的工作模式配置说明如图 11 所示,模式寄存器的值包括 8 个比特数据。第 1 位用于配置数据字自环测试,第 2 位至第 3 位用于配置数据字读多路复用器控制,第 4 位至第 6 位用于配置数据字多输入位移寄存器控制,第 7 位用于配置预留,第 8 位用于配置存储器的 CATTRIP 引脚。比如,将模式寄存器的配置为 8 位二进制的数值,即 00000001,可将寄存器电路中的默认值复位为十六进制的数值,即 0xAAAAAh。将模式寄存器的配置为 8 位二进制的数值,即 00010011,可将寄存器电路的工作模式配置为寄存器模式(读写方向),即可读写模式,得到训练寄存器。可以理解,若主机写入新的数据至存储器中,新写入的数据将覆盖原始默认值 0xAAAAAh。

上述实施例中,由于存储器中模式寄存器可用于配置寄存器电路的工作模式,因此,通过配置存储器中模式寄存器的值来配置寄存器电路的工作模式可以提升寄存器电路的配置效率和配置准确率。

在一个实施例中,样本写数据信号包括多个子样本信号;设置在主机上的写数据延控电路包括多个子电路;一个子电路用于控制一个子样本信号的延迟;基于样本写数据信号对设置在主机上的写数据延控电路进行延迟调整训练,得到已训练的写数据延控电路,包括:针对写数据延控电路中的每一个子电路,基于与子电路对应的子样本信号对子电路进行单电路的延迟调整训练,得到已训练的初始子电路;其中,通过初始子电路进行信号偏移调整后的子样本信号与采样信号的采样沿对齐;基于多个子样本信号,对各个初始子电路进行多电路的延迟调整训练,得到已训练的写数据延控电路;已训练的写数据延控电路包括多个已训练的目标子电路;通过各个目标子电路分别进行信号偏移调整后的各个子样本信号与采样信号的同一个采样沿对齐。

其中,初始子电路,是对子电路进行单电路的延迟调整训练后所得到的初始已训练的电路。目标子电路,是对初始子电路进行进阶的延迟调整训练得到的最终的电路。

具体地,针对写数据延控电路中的每一个子电路,计算机设备可基于与子电路对应的子样本信号对子电路进行单电路的延迟调整训练,得到已训练的初始子电路。可以理解,若计算机设备将子样本信号输入至初始子电路,则通过初始子电路进行信号偏移调整后的子样本信号与采样信号的采样沿对齐。计算机设备可基于多个子样本信号,对各个初始子电路进行多电路的延迟调整训练,得到多个已训练的目标子电路,并基于多个已训练的目标子电路确定已训练的写数据延控电路。可以理解,若计算机设备将子样本信号输入至目标子电路,则通过各个目标子电路分别进行信号偏移调整后的各个子样本信号与采样信号的同一个采样沿对齐。

在一个实施例中,如图 12 所示,样本写数据信号包括 160 个子样本信号,可以理解,样本写数

据信号由 WO 2023/221627 样本信号组成。160 比特的样本写数据信号可分为 PCT/CN2023/081939 部分、第二部分、第三部分和第四部分。其中，每一部分包括四个字节空间，每一个字节空间中包括 10 个比特位的数据，也即，每一个部分包括 40 比特的数据。可以理解，有 128 比特是写数据总线信号，有 16 比特是掩码信号，有 16 比特是数据总线翻转信号。

在一个实施例中，如图 13 所示，160 比特的样本写数据信号可分为四个部分，即第一部分、第二部分、第三部分和第四部分。每一个部分包括 40 比特的子样本信号。设置在主机上的写数据延控电路包括 160 个子电路，其中，一个子电路包括多个写数据延迟控制单元，一个子电路用于控制一个子样本信号的延迟。

在一个实施例中，如图 14 所示，样本写数据信号包括 160 比特子样本信号，写数据延控电路包括 160 个子电路，一个子电路用于控制一个子样本信号的延迟。针对 160 个子电路中的每一个子电路，基于与子电路对应的子样本信号对子电路进行单电路的延迟调整训练，得到已训练的初始子电路，其中，通过初始子电路进行信号偏移调整后的子样本信号与采样信号的采样沿对齐。可以理解，通过初始子电路进行信号偏移调整后的 160 个比特的子样本信号只满足分别与采样信号的各个采样沿对齐，而不一定满足与采样信号的同一个采样沿对齐。如图 15 所示，160 个比特的子样本信号未与采样信号的同一个采样沿对齐，此时，训练还没有结束，还需要继续对各个子电路进行调整训练，直至 160 个比特的子样本信号均与采样信号的同一个采样沿对齐时，调整训练结束，得到已训练的写数据延控电路。

上述实施例中，通过先对写数据延控电路中的各个子电路分别进行单电路的延迟调整训练，得到初始子电路，使得样本写数据信号中的各个子样本信号分别与采样信号的采样沿对齐。由于各个子样本信号所对齐的采样信号的采样沿不一定是同一个采样沿，为保证各个子样本信号所对齐的采样信号的采样沿是同一个采样沿，可再进一步地对经过单电路的延迟调整训练得到的初始子电路进行多电路的延迟调整训练，使得各个子样本信号所对齐的采样信号的采样沿是同一个采样沿，从而提升写数据延控电路的训练效果。

在一个实施例中，采样写数据信号包括与多个子样本信号分别对应的多个子采样信号；基于多个子样本信号，对各个初始子电路进行多电路的延迟调整训练，得到已训练的写数据延控电路，包括：若主机从训练寄存器中未能一次性读取到多个子采样信号，则根据待进阶训练的初始子电路的初始调整信息，对待进阶训练的初始子电路继续进行延迟调整训练，直至主机从训练寄存器中能一次性读取到多个子采样信号，得到已训练的写数据延控电路；其中，待进阶训练的初始子电路，是未被读取到的子样本信号所对应的初始子电路；待进阶训练的初始子电路的初始调整信息，是在单电路的延迟调整训练得到初始子电路过程中所使用的调整信息。

具体地，计算机设备可将未被读取到的子样本信号所对应的初始子电路，作为待进阶训练的初始子电路。以及，计算机设备可将单电路的延迟调整训练得到初始子电路过程中所使用的调整信息，作为待进阶训练的初始子电路的初始调整信息。计算机设备可通过主机从存储器的训练寄存器读取各个子采样信号，若主机从训练寄存器中未能一次性读取到多个子采样信号，则说明各个子样本信号所对齐的采样信号的采样沿不是同一个采样沿，此时，计算机设备可根据待进阶训练的初始子电路的初始调整信息，对待进阶训练的初始子电路继续进行延迟调整训练，直至主机从训练寄存器中能一次性读取到多个子采样信号，可以理解，主机从训练寄存器中能一次性读取到多个子采样信号，则说明各个子样本信号所对齐的采样信号的采样沿是同一个采样沿，此时，可基于继续训练所得到的多个已训练的目标子电路确定已训练的写数据延控电路。

上述实施例中，主机从训练寄存器中未能一次性读取到多个子采样信号，说明各个子样本信号所对齐的采样信号的采样沿不是同一个采样沿，此时，根据待进阶训练的初始子电路的初始调整信息，对待进阶训练的初始子电路继续进行延迟调整训练，直至主机从训练寄存器中能一次性读取到多个子采样信号，可以使得各个子样本信号对齐至采样信号的同一个采样沿，从而进一步提升写数据延控电路的训练效果。

在一个实施例中，根据待进阶训练的初始子电路的初始调整信息，对待进阶训练的初始子电路继续进行延迟调整训练，直至主机从训练寄存器中能一次性读取到多个子采样信号，得到已训练的写数据延控电路，包括：根据待进阶训练的初始子电路的初始调整信息，朝着增加或降低目标子样本信号延迟的方向逐渐调整待进阶训练的初始子电路，直至主机从训练寄存器中能一次性读取到多个子采样

信号，得到WO 2023/221627数据延控电路；其中，目标子样本信号，是与待进阶PCT/CN2023/081939路对应的子样本信号。

具体地，计算机设备可将与待进阶训练的初始子电路对应的子样本信号作为目标子样本信号。进而，计算机设备可根据待进阶训练的初始子电路的初始调整信息，朝着增加或降低目标子样本信号延迟的方向逐渐调整待进阶训练的初始子电路，直至主机从训练寄存器中能一次性读取到多个子采样信号，得到已训练的写数据延控电路。

可以理解，基于初始调整信息对待进阶训练的初始子电路进行调整，可实现将目标子样本信号按照整个时钟周期朝着增加或降低延迟的方向进行移动。

举例说明，计算机设备可根据待进阶训练的初始子电路的初始调整信息，先朝着增加目标子样本信号一个时钟周期延迟的方向调整待进阶训练的初始子电路。若主机从训练寄存器中还是未能一次性读取到多个子采样信号，则将目标子样本信号恢复至进行延迟调整之前的状态，进而再朝着降低目标子样本信号一个时钟周期延迟的方向调整待进阶训练的初始子电路。若主机从训练寄存器中还是未能一次性读取到多个子采样信号，则继续朝着增加目标子样本信号两个时钟周期延迟的方向调整待进阶训练的初始子电路，若主机从训练寄存器中还是未能一次性读取到多个子采样信号，则继续朝着降低目标子样本信号两个时钟周期延迟的方向调整待进阶训练的初始子电路，依次类推对待进阶训练的初始子电路进行逐渐调整，直至主机从训练寄存器中能一次性读取到多个子采样信号，得到已训练的写数据延控电路。

上述实施例，在主机从训练寄存器中未能一次性读取到多个子采样信号的情况下，根据待进阶训练的初始子电路的初始调整信息，朝着增加或降低目标子样本信号延迟的方向逐渐调整待进阶训练的初始子电路，直至主机从训练寄存器中能一次性读取到多个子采样信号，可以使得各个子样本信号对齐至采样信号的同一个采样沿，从而进一步提升写数据延控电路的训练效果。

在一个实施例中，上述写数据信号延迟控制方法还包括：若主机从训练寄存器中能一次性读取到多个子采样信号，则将各个初始子电路作为各个目标子电路，得到已训练的写数据延控电路。

具体地，计算机设备可通过主机从存储器的训练寄存器读取各个子采样信号，若主机从训练寄存器中能一次性读取到多个子采样信号，则说明各个子样本信号所对齐的采样信号的采样沿是同一个采样沿，此时，将各个初始子电路作为各个目标子电路，得到已训练的写数据延控电路。

上述实施例中，主机从训练寄存器中能一次性读取到多个子采样信号，说明各个子样本信号所对齐的采样信号的采样沿是同一个采样沿，此时，可直接将各个初始子电路作为各个目标子电路，得到已训练的写数据延控电路。这样，可在保证写数据延控电路的训练效果的同时，提升写数据延控电路的训练效率。

在一个实施例中，子电路中包括依次连接的写数据延迟单元；每个写数据延迟单元之后皆接有抽头接口；抽头接口支持从子电路中导出信号；初始子电路为已确定目标抽头接口的电路；针对写数据延控电路中的每一个子电路，基于与子电路对应的子样本信号对子电路进行单电路的延迟调整训练，得到已训练的初始子电路，包括：针对写数据延控电路中的每一个子电路，基于与子电路对应的子样本信号对子电路进行单电路的延迟调整训练，以确定针对子电路的延迟调整信息；基于延迟调整信息，从子电路中确定目标抽头接口；其中，目标抽头接口之前的目标写数据延迟单元，用于通过延迟处理对与子电路对应的子样本信号进行信号偏移调整，得到与采样信号的采样沿对齐的信号。

其中，写数据延迟单元，是子电路中用于对写数据信号进行延迟控制处理的最小单元，可以理解，数量越多的写数据延迟单元对写数据信号进行延迟控制处理，写数据信号的延迟就越大，反之越小。抽头接口，是在子电路中的各写数据延迟单元之后所设置的接口，抽头接口支持从子电路中导出信号，可以理解，写数据信号在传输通过子电路时可从任意一个抽头接口接出，以使得写数据信号从子电路中导出。可以理解，子电路中负责导出写数据信号的抽头接口之前的写数据延迟单元会对写数据信号进行延迟控制处理，而该抽头接口之后的写数据延迟单元并不会对写数据信号进行延迟控制处理。延迟调整信息，是用于对子电路进行调整的信息。可以理解，对子电路进行调整，是指对写数据信号传输通过子电路中写数据延迟单元的数量进行调整，以增加或减少写数据信号的延迟。目标抽头接口，是用于从子电路导出写数据信号的抽头接口。目标写数据延迟单元，是在子电路中位于目标抽头接口之前的所有的写数据延迟单元。

具体地，针对写数据延控电路中的每一个子电路，计算机设备可基于与子电路对应的子样本信

号对子电路WO 2023/221627训练。训练结束后, 计算机设备可获得针对主机上PCT/CN2023/081939调整信息。计算机设备可基于延迟调整信息, 从子电路中的各个抽头接口中确定目标抽头接口。可以理解, 计算机设备可通过位于目标抽头接口之前的目标延迟单元对与子电路对应的子样本信号进行延迟处理, 以对与子电路对应的子样本信号与采样信号的采样沿之间的偏移进行调整, 使得与子电路对应的子样本信号与存储器中采样信号的采样沿重新对齐。

在一个实施例中, 计算机设备基于与子电路对应的子样本信号对子电路的延迟调整训练, 具体可以是, 计算机设备可朝着增加与子电路对应的子样本信号延迟的方向调整主机上的子电路, 以及朝着降低与子电路对应的子样本信号延迟的方向调整主机上的子电路, 以完成对子电路的延迟调整训练, 以得到延迟调整信息。

在一个实施例中, 计算机设备可通过增加与子电路对应的子样本信号传输通过写数据延迟单元的数量来增加与子电路对应的子样本信号的延迟, 以及通过减少与子电路对应的子样本信号传输通过写数据延迟单元的数量来降低与子电路对应的子样本信号的延迟。

上述实施例中, 通过基于与子电路对应的子样本信号对各个相应子电路进行单电路的延迟调整训练, 可以确定各个子电路的延迟调整信息, 从而基于各个子电路对应的延迟调整信息, 可以分别从各个子电路中确定目标抽头接口, 得到初始子电路, 提升了初始子电路的训练效果。

在一个实施例中, 针对写数据延控电路中的每一个子电路, 基于与子电路对应的子样本信号对子电路进行单电路的延迟调整训练, 以确定针对子电路的延迟调整信息, 包括: 针对写数据延控电路中的每一个子电路, 在存储器基于采样信号采样到与子电路对应的子样本信号的第一状态下, 朝着增加与子电路对应的子样本信号延迟的方向调整子电路, 直至出现存储器基于采样信号未采样到与子电路对应的子样本信号的第二状态时, 得到针对子电路的第一调整信息; 将第二状态恢复至第一状态, 并朝着降低与子电路对应的子样本信号延迟的方向调整子电路, 直至出现存储器基于采样信号未采样到与子电路对应的子样本信号的第二状态时, 得到针对子电路的第二调整信息; 根据第一调整信息和第二调整信息, 确定针对子电路的延迟调整信息。

其中, 第一状态, 是存储器通过采样信号采样到与子电路对应的子样本信号的状态。第二状态, 是存储器通过采样信号未采样到与子电路对应的子样本信号的状态。第一调整信息, 是在增加与子电路对应的子样本信号延迟的过程中, 存储器通过采样信号从采样到与子电路对应的子样本信号到未采样到与子电路对应的子样本信号, 即与子电路对应的子样本信号处于临界状态时所记录的调整信息。第二调整信息, 是在降低与子电路对应的子样本信号延迟的过程中, 存储器通过采样信号从采样到与子电路对应的子样本信号到未采样到与子电路对应的子样本信号, 即与子电路对应的子样本信号处于临界状态时所记录的调整信息。

具体地, 针对写数据延控电路中的每一个子电路, 计算机设备可通过主机将与子电路对应的子样本信号发送至存储器, 并可通过存储器的采样信号对与子电路对应的子样本信号进行采样。在存储器通过采样信号采样到与子电路对应的子样本信号的第一状态下, 计算机设备可朝着增加与子电路对应的子样本信号延迟的方向调整该子电路, 即逐渐增加与子电路对应的子样本信号传输通过写数据延迟单元的数量, 直至出现存储器通过采样信号未采样到与子电路对应的子样本信号的第二状态时, 记录针对该子电路的第一调整信息。将第二状态恢复至第一状态, 即, 将存储器通过采样信号未采样到与子电路对应的子样本信号的第二状态, 恢复至最开始训练时存储器通过采样信号采样到与子电路对应的子样本信号的第一状态, 并朝着降低与子电路对应的子样本信号延迟的方向调整该子电路, 即逐渐减少与子电路对应的子样本信号传输通过写数据延迟单元的数量, 直至再次出现存储器通过采样信号未采样到与子电路对应的子样本信号的第二状态时, 记录该子电路的第二调整信息。进而, 计算机设备可根据记录下来的第一调整信息和记录下来的第二调整信息, 确定针对该子电路的延迟调整信息。

在一个实施例中, 计算机设备逐渐增加或减少与子电路对应的子样本信号传输通过写数据延迟单元的数量, 具体可以是逐步增加或减少与子电路对应的子样本信号传输通过写数据延迟单元的数量, 每一步增加或减少的写数据延迟单元的数量可以为至少一个。比如, 一步增加或减少一个写数据延迟单元, 也可以一步增加或减少两个写数据延迟单元, 还可以一步增加或减少三个写数据延迟单元。

在一个实施例中, 如图 16 所示, 计算机设备可通过存储器的采样信号对与子电路对应的子样本信号进行采样。在延迟调整训练的第一阶段, 在存储器通过采样信号采样到与子电路对应的子样本信

号的第一WO 2023/221627,设备可朝着增加与子电路对应的子样本信号延迟的PCT/CN2023/081939的写数据延控电路,直至出现存储器通过采样信号未采样到与子电路对应的子样本信号的第二状态时,即达到延迟调整训练的第二阶段,此时,马上记录针对该子电路的第一调整信息。进而,计算机设备可将第二状态恢复至第一状态,即,恢复至延迟调整训练的第一阶段,并朝着降低与子电路对应的子样本信号延迟的方向调整该子电路,直至再次出现存储器通过采样信号未采样到与子电路对应的子样本信号的第二状态时,即达到延迟调整训练的第三阶段,此时,马上记录该子电路的第二调整信息。

上述实施例中,存储器在未进行延迟调整之前可基于采样信号采样到与子电路对应的子样本信号,说明采样信号的采样沿还位于子样本信号的数据窗口之内,此时朝着增加与子电路对应的子样本信号延迟的方向调整子电路,可以增加子样本信号的延迟,增加延迟的过程中一旦出现未采样到子样本信号,可以马上记录表示数据窗口一边临界状态的第一调整信息。在对与子电路对应的子样本信号进行复位之后,朝着降低与子电路对应的子样本信号延迟的方向调整子电路,可以降低子样本信号的延迟,降低延迟的过程中一旦出现未采样到子样本信号,可以马上记录表示数据窗口另一边临界状态的第二调整信息。由于第一调整信息与第二调整信息刚好可以确定一个时钟周期,因此,根据第一调整信息和第二调整信息,便可以准确地确定针对子电路的延迟调整信息。

在一个实施例中,子电路包括第一组成电路和第二组成电路;第二组成电路连接在第一组成电路之后;第一组成电路和第二组成电路分别包括依次连接的写数据延迟单元;第一调整信息,包括与子电路对应的子样本信号已传输通过第二组成电路中的写数据延迟单元的第一数量;针对写数据延控电路中的每一个子电路,在存储器基于采样信号采样到与子电路对应的子样本信号的第一状态下,朝着增加与子电路对应的子样本信号延迟的方向调整子电路,直至出现存储器基于采样信号未采样到与子电路对应的子样本信号的第二状态时,得到针对子电路的第一调整信息,包括:控制与子电路对应的子样本信号依次经过第一组成电路中的各写数据延迟单元,以进行初始的延迟控制处理,得到初始控制后的与子电路对应的子样本信号;在存储器基于采样信号采样到与子电路对应的子样本信号的第一状态下,朝着增加初始控制后的与子电路对应的子样本信号的延迟的方向,继续控制初始控制后的与子电路对应的子样本信号逐个传输通过第二组成电路中的写数据延迟单元,直至出现存储器基于采样信号从第二组成电路的相应抽头接口处未采样到与子电路对应的子样本信号的第二状态时,记录与子电路对应的子样本信号已传输通过第二组成电路中的写数据延迟单元的第一数量。

其中,第一组成电路和第二组成电路分别是子电路中的组成电路。

具体地,针对写数据延控电路中的每一个子电路,计算机设备可通过主机控制与子电路对应的子样本信号依次经过第一组成电路中的各写数据延迟单元,以对与子电路对应的子样本信号进行初始的延迟控制处理,得到初始控制后的与子电路对应的子样本信号。计算机设备可通过存储器的采样信号对初始控制后的与子电路对应的子样本信号进行采样,在存储器通过采样信号采样到初始控制后的与子电路对应的子样本信号的第一状态下,计算机设备可朝着增加初始控制后的与子电路对应的子样本信号的延迟的方向,继续控制初始控制后的与子电路对应的子样本信号逐个传输通过第二组成电路中的写数据延迟单元,直至出现采样信号从第二组成电路的相应抽头接口处未采样到与子电路对应的子样本信号的第二状态时,记录与子电路对应的子样本信号已传输通过第二组成电路中的写数据延迟单元的第一数量。

上述实施例中,先通过第一组成电路对与子电路对应的子样本信号进行初始的延迟控制处理,得到初始控制后的与子电路对应的子样本信号,此时,初始控制后的与子电路对应的子样本信号可能与采样信号的采样沿并不对齐。通过在采样到初始控制后的与子电路对应的子样本信号的第一状态下,朝着增加初始控制后的与子电路对应的子样本信号的延迟的方向,继续控制初始控制后的与子电路对应的子样本信号逐个传输通过第二组成电路中的写数据延迟单元,直至出现采样信号从第二组成电路的相应抽头接口处未采样到与子电路对应的子样本信号的第二状态时,马上记录与子电路对应的子样本信号已传输通过第二组成电路中的写数据延迟单元的第一数量,这样,可以记录到准确的表示与子电路对应的子样本信号的数据窗口其中一边临界状态的第一调整信息,从而进一步提升获取到的延迟调整信息的准确性。

在一个实施例中,第二调整信息包括与子电路对应的子样本信号未传输通过的写数据延迟单元的第二数量;将第二状态恢复至第一状态,并朝着降低与子电路对应的子样本信号延迟的方向调整子电路,直至出现存储器基于采样信号未采样到与子电路对应的子样本信号的第二状态时,得到针对子电

WO 2023/221627 号：将第二状态恢复至第一状态，并朝着降低初始控制 PCT/CN2023/081939 对应的子样本信号的延迟的方向，控制初始控制后的与子电路对应的子样本信号逐个减少传输通过第一组成电路中的写数据延迟单元，直至出现存储器基于采样信号从第一组成电路的相应抽头接口处未采样到与子电路对应的子样本信号的第二状态时，记录与子电路对应的子样本信号未传输通过的写数据延迟单元的第二数量。

具体地，计算机设备可将第二状态恢复至第一状态，即，将存储器通过采样信号未采样到初始控制后的与子电路对应的子样本信号的第二状态，恢复至最开始训练时存储器通过采样信号采样到初始控制后的与子电路对应的子样本信号的第一状态。进而，计算机设备可朝着降低初始控制后的与子电路对应的子样本信号的延迟的方向，控制初始控制后的与子电路对应的子样本信号逐个减少传输通过第一组成电路中的写数据延迟单元，直至出现采样信号从第一组成电路的相应抽头接口处未采样到与子电路对应的子样本信号的第二状态时，计算机设备可记录与子电路对应的子样本信号未传输通过的写数据延迟单元的第二数量。

上述实施例中，朝着降低初始控制后的与子电路对应的子样本信号的延迟的方向，控制初始控制后的与子电路对应的子样本信号逐个减少传输通过第一组成电路中的写数据延迟单元，直至出现采样信号从第一组成电路的相应抽头接口处未采样到与子电路对应的子样本信号的第二状态时，马上记录与子电路对应的子样本信号未传输通过的写数据延迟单元的第二数量。这样，可以记录到准确的表示与子电路对应的子样本信号的数据窗口另外一边临界状态的第二调整信息，从而进一步提升获取得到的延迟调整信息的准确性。

在一个实施例中，根据第一调整信息和第二调整信息，确定针对子电路的延迟调整信息，包括：根据第一数量和第二数量的均值，确定针对子电路的延迟调整信息。

具体地，计算机设备可计算出第一数量和第二数量的均值，并根据第一数量和第二数量的均值，计算得到针对子电路的延迟调整信息。

在一个实施例中，计算机设备可将计算得到的第一数量和第二数量的均值，直接作为针对子电路的延迟调整信息。

上述实施例中，通过第一数量和第二数量的均值确定延迟调整信息，可以进一步提升延迟调整信息的准确率。

在一个实施例中，如图 17 所示，写数据延控电路的各个子电路中分别包括一个步长计数器，该步长计数器可用于记录写数据信号已传输通过第二组成电路中的写数据延迟单元的第一数量，以及记录写数据信号未传输通过的写数据延迟单元的第二数量。

在一个实施例中，在针对写数据延控电路中的每一个子电路，在存储器基于采样信号采样到与子电路对应的子样本信号的第一状态下，朝着增加与子电路对应的子样本信号延迟的方向调整子电路之前，方法还包括：在存储器基于采样信号未采样到与子电路对应的子样本信号的第二状态下，对存储器的当前工作频率进行频率降低调整处理，得到降低后的目标工作频率；目标工作频率，是使存储器基于采样信号采样到与子电路对应的子样本信号的工作频率；基于工作在目标工作频率上的存储器中的采样信号，采样与子电路对应的子样本信号，以使得存储器基于采样信号采样到与子电路对应的子样本信号。

其中，当前工作频率是存储器当前的工作频率，即存储器通过采样信号未采样到与子电路对应的子样本信号时存储器的工作频率。目标工作频率，是对当前工作频率进行频率降低调整处理后所得到的频率。

具体地，针对写数据延控电路中的每一个子电路，计算机设备可通过主机将与子电路对应的子样本信号发送至存储器，并通过存储器的采样信号对与子电路对应的子样本信号进行采样。在存储器通过采样信号未采样到与子电路对应的子样本信号的第二状态下，说明存储器的当前工作频率过高，导致与子电路对应的子样本信号持续为高的时间较短，从而导致存储器通过采样信号采样不到与子电路对应的子样本信号，此时，计算机设备可对存储器的当前工作频率进行频率降低调整处理，得到降低后的目标工作频率。可以理解，降低存储器的工作频率可以拉长与子电路对应的子样本信号持续为高的时间，工作在目标工作频率上的存储器可以顺利采样到与子电路对应的子样本信号。进而，计算机设备可基于工作在目标工作频率上的存储器，对与子电路对应的子样本信号进行采样，以使得存储器采样到与子电路对应的子样本信号。之后，在存储器通过采样信号采样到与子电路对应的子样本信

号的第一WO 2023/221627述朝着增加与子电路对应的子样本信号延迟的方向PCT/CN2023/081939步骤及其后续步骤。

上述实施例中，存储器在接收到主机发送的与子电路对应的子样本信号之后，若存储器通过采样信号未采样到与子电路对应的子样本信号，说明采样信号的采样沿已经漂移出与子电路对应的子样本信号所在的数据窗口，此时，通过将存储器的当前工作频率降低至目标工作频率，工作在目标工作频率的存储器可以拉长与子电路对应的子样本信号持续为高的时间，进而可使得存储器的采样信号可以采样到与子电路对应的子样本信号，提升了延迟调整训练的成功率。

在一个实施例中，在基于样本写数据信号对设置在主机的写数据延控电路进行延迟调整训练，得到已训练的写数据延控电路之后，上述写数据信号延迟控制方法还包括：通过定时器周期性地触发通过硬件控制执行通过主机对存储器中的寄存器电路进行寄存器模式配置，得到用于缓存数据的训练寄存器的步骤，以触发重新进行延迟调整训练。

具体地，计算机设备中部署有定时器，计算机设备可通过定时器周期性地触发通过硬件控制执行通过主机对存储器中的寄存器电路进行寄存器模式配置，得到用于缓存数据的训练寄存器的步骤，以触发重新进行延迟调整训练。可以理解，计算机设备可通过定时器进行计时，每间隔预设时长就触发一次通过硬件控制重新进行延迟调整训练。

举例说明，计算机设备可通过定时器进行计时，每间隔 24 小时就触发一次通过硬件控制重新进行延迟调整训练。

上述实施例中，通过定时器周期性地触发通过硬件控制对写数据延控电路进行定期的重新训练，可以保证计算机设备在工作过程中，不会出现写数据信号与采样信号的采样沿偏移的情况，进一步提升了存储器指令工作的稳定性。

在一个实施例中，在基于样本写数据信号对设置在主机的写数据延控电路进行延迟调整训练，得到已训练的写数据延控电路之后，方法还包括：监测高带宽内存系统的系统工作状态；高带宽内存系统包括主机和存储器；若系统工作状态为不繁忙状态，则通过软件控制重新执行通过主机对存储器中的寄存器电路进行工作模式配置，得到用于缓存数据的训练寄存器的步骤，以触发重新进行延迟调整训练。

具体地，计算机设备中部署有高带宽内存系统，计算机设备可对高带宽内存系统的工作状态进行监测。若监测到高带宽内存系统的系统工作状态为不繁忙状态，则计算机设备可通过软件控制重新执行通过主机对存储器中的寄存器电路进行工作模式配置，得到用于缓存数据的训练寄存器的步骤，以触发重新进行延迟调整训练。若监测到高带宽内存系统的系统工作状态为繁忙状态，则计算机设备可通过软件控制暂时不进行延迟调整训练，待下一次监测到高带宽内存系统的系统工作状态为不繁忙状态时，再进行延迟调整训练。

上述实施例中，通过软件控制的方式，可选择在高带宽内存系统不繁忙的时候，对写数据延控电路进行重新训练，以进一步保证计算机设备在工作过程中，不会出现写数据信号与采样信号的采样沿偏移的情况，进一步提升了存储器指令工作的稳定性。同时，在高带宽内存系统不繁忙的时候对写数据延控电路进行重新训练，也可以保证整个高带宽内存系统的工作效率。

在一个实施例中，如图 18 所示，计算机设备中运行有高带宽内存系统，高带宽内存系统包括主机和存储器。主机中包括配置单元、写指令发送单元、写数据延控电路、读指令发送单元、读数据接收单元、对比单元和写数据训练单元。存储器中包括写指令解析单元、写接收单元、读指令解析单元、读发送单元和寄存器电路。计算机设备通过配置单元对存储器中的寄存器电路进行工作模式配置，以将存储器电路配置为工作在可读写模式，得到训练寄存器。主机可向存储器发送写指令，存储器通过写指令解析单元可对写指令进行解析。写指令解析完成之后，主机可向存储器发送样本写数据信号，存储器可通过写接收单元接收样本写数据信号。进而，存储器可通过采样信号对样本写数据信号进行采样，并将采样得到的采样写数据信号写入至训练寄存器。主机可通过读指令发送单元向存储器发送读指令，存储器可通过读指令解析单元对读指令进行解析。对读指令进行解析完成之后，存储器可从训练寄存器中读取采样写数据信号，并将采样写数据信号通过读发送单元发送至主机。主机可通过读数据接收单元接收采样写数据信号，并将采样写数据信号转发至对比单元。主机可通过对比单元将采样写数据信号和样本写数据信号进行对比。若主机从训练寄存器中读取的采样写数据信号与样本写数据信号不一致，则计算机设备可基于样本写数据信号对设置在主机的写数据延控电路进行延迟调整

训练，得到WO 2023/221627数据延控电路。进而，在实际应用场景中，计算机专利PCT/CN2023/081939的写数据延控电路对输入的写数据信号进行信号偏移调整，得到与采样信号的采样沿对齐的目标写数据信号，并将目标写数据信号写入至存储器中。

如图 19 所示，在一个实施例中，提供了一种写数据信号延迟控制方法，该方法可应用于计算机设备，计算机设备可以是终端或服务器，由终端或服务器自身单独执行，也可以通过终端和服务器之间的交互来实现。该方法具体包括以下步骤：

步骤 1902，通过主机将存储器中模式寄存器的值设置为目标值；模式寄存器，是用于配置寄存器电路的工作模式的寄存器；目标值，是寄存器电路所支持的可读写模式对应的值；主机上设置有写数据延控电路；写数据延控电路包括多个子电路；一个子电路用于控制一个子样本信号的延迟；子电路中包括依次连接的写数据延迟单元；每个写数据延迟单元之后皆接有抽头接口；抽头接口支持从子电路中导出信号。

步骤 1904，通过目标值控制寄存器电路工作在可读写模式，得到支持读写的训练寄存器。

步骤 1906，通过主机将样本写数据信号发送至存储器；样本写数据信号包括多个子样本信号。

步骤 1908，通过存储器基于采样信号对样本写数据信号进行采样，并将采样得到的采样写数据信号缓存至训练寄存器中；采样写数据信号包括与多个子样本信号分别对应的多个子采样信号。

步骤 1910，若主机从训练寄存器中读取的采样写数据信号与样本写数据信号不一致，则针对写数据延控电路中的每一个子电路，在存储器基于采样信号采样到与子电路对应的子样本信号的第一状态下，朝着增加与子电路对应的子样本信号延迟的方向调整子电路，直至出现存储器基于采样信号未采样到与子电路对应的子样本信号的第二状态时，得到针对子电路的第一调整信息。

步骤 1912，将第二状态恢复至第一状态，并朝着降低与子电路对应的子样本信号延迟的方向调整子电路，直至出现存储器基于采样信号未采样到与子电路对应的子样本信号的第二状态时，得到针对子电路的第二调整信息。

步骤 1914，根据第一调整信息和第二调整信息，确定针对子电路的延迟调整信息。

步骤 1916，基于延迟调整信息，从子电路中确定目标抽头接口，得到已训练的初始子电路；其中，目标抽头接口之前的目标写数据延迟单元，用于通过延迟处理对与子电路对应的子样本信号进行信号偏移调整，得到与采样信号的采样沿对齐的信号；通过初始子电路进行信号偏移调整后的子样本信号与采样信号的采样沿对齐。

步骤 1918，若主机从训练寄存器中未能一次性读取到多个子采样信号，则根据待进阶训练的初始子电路的初始调整信息，朝着增加或降低目标子样本信号延迟的方向逐渐调整待进阶训练的初始子电路，直至主机从训练寄存器中能一次性读取到多个子采样信号，得到已训练的写数据延控电路；其中，目标子样本信号，是与待进阶训练的初始子电路对应的子样本信号；待进阶训练的初始子电路，是未被读取到的子样本信号所对应的初始子电路；待进阶训练的初始子电路的初始调整信息，是在单电路的延迟调整训练得到初始子电路过程中所使用的调整信息；已训练的写数据延控电路包括多个已训练的目标子电路；通过各个目标子电路分别进行信号偏移调整后的各个子样本信号与采样信号的同一个采样沿对齐。

步骤 1920，若主机从训练寄存器中能一次性读取到多个子采样信号，则将各个初始子电路作为各个目标子电路，得到已训练的写数据延控电路。

步骤 1922，通过已训练的写数据延控电路对输入的写数据信号进行信号偏移调整，得到与采样信号的采样沿对齐的目标写数据信号；目标写数据信号用于写入至存储器中。

本申请还提供一种应用场景，该应用场景应用上述的写数据信号延迟控制方法。具体地，计算机设备中部署有高带宽内存系统，高带宽内存系统包括主机和动态随机存取存储器，该写数据信号延迟控制方法可应用于高带宽内存系统处于工作状态时的写数据信号延迟控制的场景。计算机设备可通过主机将动态随机存取存储器中模式寄存器的值设置为目标值；模式寄存器，是用于配置寄存器电路的工作模式的寄存器；目标值，是寄存器电路所支持的可读写模式对应的值；主机上设置有写数据延控电路；写数据延控电路包括多个子电路；一个子电路用于控制一个子样本信号的延迟；子电路中包括依次连接的写数据延迟单元；每个写数据延迟单元之后皆接有抽头接口；抽头接口支持从子电路中导出信号。通过目标值控制寄存器电路工作在可读写模式，得到支持读写的训练寄存器。通过主机将样本写数据信号发送至动态随机存取存储器；样本写数据信号包括多个子样本信号。

计算WO 2023/221627动态随机存取存储器基于采样信号对样本写数据信号PCT/CN2023/081939采样得到的采样写数据信号缓存至训练寄存器中；采样写数据信号包括与多个子样本信号分别对应的多个子采样信号。若主机从训练寄存器中读取的采样写数据信号与样本写数据信号不一致，则针对写数据延控电路中的每一个子电路，在动态随机存取存储器基于采样信号采样到与子电路对应的子样本信号的第一状态下，朝着增加与子电路对应的子样本信号延迟的方向调整子电路，直至出现动态随机存取存储器基于采样信号未采样到与子电路对应的子样本信号的第二状态时，得到针对子电路的第一调整信息。将第二状态恢复至第一状态，并朝着降低与子电路对应的子样本信号延迟的方向调整子电路，直至出现动态随机存取存储器基于采样信号未采样到与子电路对应的子样本信号的第二状态时，得到针对子电路的第二调整信息。根据第一调整信息和第二调整信息，确定针对子电路的延迟调整信息。基于延迟调整信息，从子电路中确定目标抽头接口，得到已训练的初始子电路；其中，目标抽头接口之前的目标写数据延迟单元，用于通过延迟处理对与子电路对应的子样本信号进行信号偏移调整，得到与采样信号的采样沿对齐的信号；通过初始子电路进行信号偏移调整后的子样本信号与采样信号的采样沿对齐。

若主机从训练寄存器中未能一次性读取到多个子采样信号，则计算机设备可根据待进阶训练的初始子电路的初始调整信息，朝着增加或降低目标子样本信号延迟的方向逐渐调整待进阶训练的初始子电路，直至主机从训练寄存器中能一次性读取到多个子采样信号，得到已训练的写数据延控电路；其中，目标子样本信号，是与待进阶训练的初始子电路对应的子样本信号；待进阶训练的初始子电路，是未被读取到的子样本信号所对应的初始子电路；待进阶训练的初始子电路的初始调整信息，是在单电路的延迟调整训练得到初始子电路过程中所使用的调整信息；已训练的写数据延控电路包括多个已训练的目标子电路；通过各个目标子电路分别进行信号偏移调整后的各个子样本信号与采样信号的同一个采样沿对齐。若主机从训练寄存器中能一次性读取到多个子采样信号，则将各个初始子电路作为各个目标子电路，得到已训练的写数据延控电路。

计算机设备可通过已训练的写数据延控电路对输入的写数据信号进行信号偏移调整，得到与采样信号的采样沿对齐的目标写数据信号；目标写数据信号用于写入至动态随机存取存储器中。

本申请还另外提供一种应用场景，该应用场景应用上述的写数据信号延迟控制方法。具体地，计算机设备中部署有高带宽内存系统，高带宽内存系统包括主机和存储器，该写数据信号延迟控制方法可应用于高带宽内存系统处于非工作状态时的写数据信号延迟控制的场景。通过本申请的写数据信号延迟控制方法，可对非工作状态时的高带宽内存系统中的写数据延控电路进行延迟调整训练，保证了高带宽内存系统在后续工作状态下写入存储器的数据的正确性，从而提升了存储器工作稳定性。

应该理解的是，虽然上述各实施例的流程图中的各个步骤按照顺序依次显示，但是这些步骤并不是必然按照顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，这些步骤可以以其它的顺序执行。而且，上述各实施例中的至少一部分步骤可以包括多个子步骤或者多个阶段，这些子步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，这些子步骤或者阶段的执行顺序也不必然是依次进行，而是可以与其它步骤或者其它步骤的子步骤或者阶段的至少一部分轮流或者交替地执行。

在一个实施例中，如图20所示，提供了一种写数据信号延迟控制装置2000，该装置可以采用软件模块或硬件模块，或者是二者的结合成为计算机设备的一部分，该装置具体包括：

配置模块2002，用于通过主机对存储器中的寄存器电路进行工作模式配置，得到支持读写的训练寄存器。

发送模块2004，用于通过主机将样本写数据信号发送至存储器。

采样模块2006，用于通过存储器基于采样信号对样本写数据信号进行采样，并将采样得到的采样写数据信号缓存至训练寄存器中。

训练模块2008，用于若主机从训练寄存器中读取的采样写数据信号与样本写数据信号不一致，则基于样本写数据信号对设置在主机上的写数据延控电路进行延迟调整训练，得到已训练的写数据延控电路。

调整模块2010，用于通过已训练的写数据延控电路对输入的写数据信号进行信号偏移调整，得到与采样信号的采样沿对齐的目标写数据信号；目标写数据信号用于写入至存储器中。

在一个实施例中，配置模块2002还用于通过主机将存储器中模式寄存器的值设置为目标值；模

式寄存器WO 2023/221627寄存器电路的工作模式的寄存器；目标值，是寄存器PCT/CN2023/081939读写模式对应的值；通过目标值控制寄存器电路工作在可读写模式，得到支持读写的训练寄存器。

在一个实施例中，样本写数据信号包括多个子样本信号；设置在主机上的写数据延控电路包括多个子电路；一个子电路用于控制一个子样本信号的延迟；训练模块 2008 还用于针对写数据延控电路中的每一个子电路，基于与子电路对应的子样本信号对子电路进行单电路的延迟调整训练，得到已训练的初始子电路；其中，通过初始子电路进行信号偏移调整后的子样本信号与采样信号的采样沿对齐；基于多个子样本信号，对各个初始子电路进行多电路的延迟调整训练，得到已训练的写数据延控电路；已训练的写数据延控电路包括多个已训练的目标子电路；通过各个目标子电路分别进行信号偏移调整后的各个子样本信号与采样信号的同一个采样沿对齐。

在一个实施例中，采样写数据信号包括与多个子样本信号分别对应的多个子采样信号；训练模块 2008 还用于若主机从训练寄存器中未能一次性读取到多个子采样信号，则根据待进阶训练的初始子电路的初始调整信息，对待进阶训练的初始子电路继续进行延迟调整训练，直至主机从训练寄存器中能一次性读取到多个子采样信号，得到已训练的写数据延控电路；其中，待进阶训练的初始子电路，是未被读取到的子样本信号所对应的初始子电路；待进阶训练的初始子电路的初始调整信息，是在单电路的延迟调整训练得到初始子电路过程中所使用的调整信息。

在一个实施例中，训练模块 2008 还用于根据待进阶训练的初始子电路的初始调整信息，朝着增加或降低目标子样本信号延迟的方向逐渐调整待进阶训练的初始子电路，直至主机从训练寄存器中能一次性读取到多个子采样信号，得到已训练的写数据延控电路；其中，目标子样本信号，是与待进阶训练的初始子电路对应的子样本信号。

在一个实施例中，训练模块 2008 还用于若主机从训练寄存器中能一次性读取到多个子采样信号，则将各个初始子电路作为各个目标子电路，得到已训练的写数据延控电路。

在一个实施例中，子电路包括依次连接的写数据延迟单元；每个写数据延迟单元之后皆接有抽头接口；抽头接口支持从子电路中导出信号；初始子电路为已确定目标抽头接口的电路；训练模块 2008 还用于针对写数据延控电路中的每一个子电路，基于与子电路对应的子样本信号对子电路进行单电路的延迟调整训练，以确定针对子电路的延迟调整信息；基于延迟调整信息，从子电路中确定目标抽头接口；其中，目标抽头接口之前的目标写数据延迟单元，用于通过延迟处理对与子电路对应的子样本信号进行信号偏移调整，得到与采样信号的采样沿对齐的信号。

在一个实施例中，训练模块 2008 还用于针对写数据延控电路中的每一个子电路，在存储器基于采样信号采样到与子电路对应的子样本信号的第一状态下，朝着增加与子电路对应的子样本信号延迟的方向调整子电路，直至出现存储器基于采样信号未采样到与子电路对应的子样本信号的第二状态时，得到针对子电路的第一调整信息；将第二状态恢复至第一状态，并朝着降低与子电路对应的子样本信号延迟的方向调整子电路，直至出现存储器基于采样信号未采样到与子电路对应的子样本信号的第二状态时，得到针对子电路的第二调整信息；根据第一调整信息和第二调整信息，确定针对子电路的延迟调整信息。

在一个实施例中，子电路包括第一组成电路和第二组成电路；第二组成电路连接在第一组成电路之后；第一组成电路和第二组成电路分别包括依次连接的写数据延迟单元；第一调整信息，包括与子电路对应的子样本信号已传输通过第二组成电路中的写数据延迟单元的第一数量；训练模块 2008 还用于控制与子电路对应的子样本信号依次经过第一组成电路中的各写数据延迟单元，以进行初始的延迟控制处理，得到初始控制后的与子电路对应的子样本信号；在存储器基于采样信号采样到与子电路对应的子样本信号的第一状态下，朝着增加初始控制后的与子电路对应的子样本信号的延迟的方向，继续控制初始控制后的与子电路对应的子样本信号逐个传输通过第二组成电路中的写数据延迟单元，直至出现存储器基于采样信号从第二组成电路的相应抽头接口处未采样到与子电路对应的子样本信号的第二状态时，记录与子电路对应的子样本信号已传输通过第二组成电路中的写数据延迟单元的第一数量。

在一个实施例中，第二调整信息包括与子电路对应的子样本信号未传输通过的写数据延迟单元的第二数量；训练模块 2008 还用于将第二状态恢复至第一状态，并朝着降低初始控制后的与子电路对应的子样本信号的延迟的方向，控制初始控制后的与子电路对应的子样本信号逐个减少传输通过第一组成电路中的写数据延迟单元，直至出现存储器基于采样信号从第一组成电路的相应抽头接口处未采

样到与子电路对应的子样本信号的第二状态时，记录与子电路对应的子样本写数据的写数据延迟单元的第二数量。

在一个实施例中，训练模块 2008 还用于在存储器基于采样信号未采样到与子电路对应的子样本信号的第二状态下，对存储器的当前工作频率进行频率降低调整处理，得到降低后的目标工作频率；目标工作频率，是使存储器基于采样信号采样到与子电路对应的子样本信号的工作频率；基于工作在目标工作频率上的存储器中的采样信号，采样与子电路对应的子样本信号，以使得存储器基于采样信号采样到与子电路对应的子样本信号。

在一个实施例中，训练模块 2008 还用于监测高带宽内存系统的系统工作状态；高带宽内存系统包括主机和存储器；若系统工作状态为不繁忙状态，则通过软件控制通知配置模块 2002 重新执行通过主机对存储器中的寄存器电路进行工作模式配置，得到用于缓存数据的训练寄存器的步骤，以触发重新进行延迟调整训练。

在一个实施例中，发送模块 2004 还用于通过主机将样本写数据信号、以及与样本写数据信号相匹配的写数据选取脉冲信号，发送至存储器；采样模块 2006 还用于将存储器接收到的写数据选取脉冲信号作为采样信号；通过存储器基于采样信号对样本写数据信号进行采样，并将采样得到的采样写数据信号缓存至训练寄存器中。

在一个实施例中，采样信号的采样沿包括采样信号的上升沿；采样模块 2006 还用于通过存储器基于采样信号的上升沿对样本写数据信号进行采样；调整模块 2010 还用于通过已训练的写数据延控电路对输入的写数据信号进行信号偏移调整，得到与采样信号的上升沿对齐的目标写数据信号。

在一个实施例中，采样信号的采样沿包括采样信号的下降沿；采样模块 2006 还用于通过存储器基于采样信号的下降沿对样本写数据信号进行采样；调整模块 2010 还用于通过已训练的写数据延控电路对输入的写数据信号进行信号偏移调整，得到与采样信号的下降沿对齐的目标写数据信号。

上述写数据信号延迟控制装置，通过主机对存储器中的寄存器电路进行工作模式配置，得到支持读写的训练寄存器；通过主机将样本写数据信号发送至存储器；通过存储器基于采样信号对样本写数据信号进行采样，并将采样得到的采样写数据信号缓存至训练寄存器中，并将采样写数据信号与主机发送出去的样本写数据信号进行比对，若主机从训练寄存器中读取的采样写数据信号与样本写数据信号不一致，则说明主机传输过来的样本写数据信号和存储器的采样信号出现了偏移，此时，可基于样本写数据信号对设置在主机上的写数据延控电路进行延迟调整训练，得到已训练的写数据延控电路。进而，在实际的应用过程中，可通过已训练的写数据延控电路对输入的写数据信号进行信号偏移调整，并将调整后的目标写数据信号发送至存储器，这样可使得存储器接收到的目标写数据信号和存储器的采样信号的采样沿对齐，从而使得存储器可正确采样到主机发送过来的写数据信号，保证了写入存储器的数据的正确性，从而提升了存储器工作稳定性。

上述写数据信号延迟控制装置中的各个模块可全部或部分通过软件、硬件及其组合来实现。上述各模块可以硬件形式内嵌于或独立于计算机设备中的处理器中，也可以以软件形式存储于计算机设备中的存储器中，以便于处理器调用执行以上各个模块对应的操作。

在一个实施例中，提供了一种计算机设备，该计算机设备可以是服务器，其内部结构图可以如图 21 所示。该计算机设备包括处理器、存储器、输入/输出接口(Input/Output，简称 I/O)和通信接口。其中，处理器、存储器和输入/输出接口通过系统总线连接，通信接口通过输入/输出接口连接到系统总线。其中，该计算机设备的处理器用于提供计算和控制能力。该计算机设备的存储器包括非易失性存储介质和内存。该非易失性存储介质存储有操作系统、计算机可读指令和数据库。该内存为易失性存储介质中的操作系统和计算机可读指令的运行提供环境。该计算机设备的输入/输出接口用于处理器与外部设备之间交换信息。该计算机设备的通信接口用于与外部的终端通过网络连接通信。该计算机可读指令被处理器执行时以实现一种写数据信号延迟控制方法。

在一个实施例中，提供了一种计算机设备，该计算机设备可以是终端，其内部结构图可以如图 22 所示。该计算机设备包括处理器、存储器、输入/输出接口、通信接口、显示单元和输入装置。其中，处理器、存储器和输入/输出接口通过系统总线连接，通信接口、显示单元和输入装置通过输入/输出接口连接到系统总线。其中，该计算机设备的处理器用于提供计算和控制能力。该计算机设备的存储器包括非易失性存储介质、内存。该非易失性存储介质存储有操作系统和计算机可读指令。该内存为易失性存储介质中的操作系统和计算机可读指令的运行提供环境。该计算机设备的输

入/输出接WO 2023/221627与外部设备之间交换信息。该计算机设备的通信接PCT/CN2023/081939终端进行有线或无线方式的通信，无线方式可通过 WIFI、移动蜂窝网络、NFC（近场通信）或其他技术实现。该计算机可读指令被处理器执行时以实现一种写数据信号延迟控制方法。该计算机设备的显示单元用于形成视觉可见的画面，可以是显示屏、投影装置或虚拟现实成像装置，显示屏可以是液晶显示屏或电子墨水显示屏，该计算机设备的输入装置可以是显示屏上覆盖的触摸层，也可以是计算机设备外壳上设置的按键、轨迹球或触控板，还可以是外接的键盘、触控板或鼠标等。

本领域技术人员可以理解，图 21 和图 22 中示出的结构，仅仅是与本申请方案相关的部分结构的框图，并不构成对本申请方案所应用于其上的计算机设备的限定，具体的计算机设备可以包括比图中所示更多或更少的部件，或者组合某些部件，或者具有不同的部件布置。

在一个实施例中，还提供了一种计算机设备，包括存储器和一个或多个处理器，存储器中存储有计算机可读指令，该一个或多个处理器执行计算机可读指令时实现上述各方法实施例中的步骤。

在一个实施例中，提供了一个或多个计算机可读存储介质，存储有计算机可读指令，该计算机可读指令被一个或多个处理器执行时实现上述各方法实施例中的步骤。

在一个实施例中，提供了一种计算机程序产品，包括计算机可读指令，计算机可读指令被一个或多个处理器执行时实现上述各方法实施例中的步骤。

需要说明的是，本申请所涉及的用户信息（包括但不限于用户设备信息、用户个人信息等）和数据（包括但不限于用于分析的数据、存储的数据、展示的数据等），均为经用户授权或者经过各方充分授权的信息和数据，且相关数据的收集、使用和处理需要遵守相关国家和地区的相关法律法规和标准。

本领域普通技术人员可以理解实现上述实施例方法中的全部或部分流程，是可以通过计算机可读指令来指令相关的硬件来完成，所述的计算机可读指令可存储于一非易失性计算机可读存储介质中，该计算机可读指令在执行时，可包括如上述各方法的实施例的流程。其中，本申请所提供的各实施例中所使用的对存储器、存储、数据库或其它介质的任何引用，均可包括非易失性和易失性存储器中的至少一种。非易失性存储器可包括只读存储器（Read-Only Memory, ROM）、磁带、软盘、闪存或光存储器等。易失性存储器可包括随机存取存储器（Random Access Memory, RAM）或外部高速缓冲存储器。作为说明而非局限，RAM 可以是多种形式，比如静态随机存取存储器（Static Random Access Memory, SRAM）或动态随机存取存储器（Dynamic Random Access Memory, DRAM）等。

以上实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对发明专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

1、一种写数据信号延迟控制方法，其特征在于，由计算机设备执行，所述方法包括：

通过主机对存储器中的寄存器电路进行工作模式配置，得到支持读写的训练寄存器；

通过所述主机将样本写数据信号发送至所述存储器；

通过所述存储器基于采样信号对所述样本写数据信号进行采样，并将采样得到的采样写数据信号缓存至所述训练寄存器中；

若所述主机从所述训练寄存器中读取的所述采样写数据信号与所述样本写数据信号不一致，则基于所述样本写数据信号对设置在所述主机上的写数据延控电路进行延迟调整训练，得到已训练的写数据延控电路；

通过所述已训练的写数据延控电路对输入的写数据信号进行信号偏移调整，得到与采样信号的采样沿对齐的目标写数据信号；所述目标写数据信号用于写入至所述存储器中。

2、根据权利要求1所述的方法，其特征在于，所述通过主机对存储器中的寄存器电路进行工作模式配置，得到支持读写的训练寄存器，包括：

通过主机将存储器中模式寄存器的值设置为目标值；所述模式寄存器，是用于配置所述寄存器电路的工作模式的寄存器；所述目标值，是所述寄存器电路所支持的可读写模式对应的值；

通过所述目标值控制所述寄存器电路工作在可读写模式，得到支持读写的训练寄存器。

3、根据权利要求1所述的方法，其特征在于，所述样本写数据信号包括多个子样本信号；所述设置在所述主机上的写数据延控电路包括多个子电路；一个子电路用于控制一个子样本信号的延迟；

所述基于所述样本写数据信号对设置在所述主机上的写数据延控电路进行延迟调整训练，得到已训练的写数据延控电路，包括：

针对所述写数据延控电路中的每一个子电路，基于与所述子电路对应的子样本信号对所述子电路进行单电路的延迟调整训练，得到已训练的初始子电路；其中，通过所述初始子电路进行信号偏移调整后的子样本信号与采样信号的采样沿对齐；

基于所述多个子样本信号，对各个所述初始子电路进行多电路的延迟调整训练，得到已训练的写数据延控电路；所述已训练的写数据延控电路包括多个已训练的目标子电路；通过各个所述目标子电路分别进行信号偏移调整后的各个子样本信号与采样信号的同一个采样沿对齐。

4、根据权利要求3所述的方法，其特征在于，所述采样写数据信号包括与所述多个子样本信号分别对应的多个子采样信号；所述基于所述多个子样本信号，对各个所述初始子电路进行多电路的延迟调整训练，得到已训练的写数据延控电路，包括：

若所述主机从所述训练寄存器中未能一次性读取到所述多个子采样信号，则根据待进阶训练的初始子电路的初始调整信息，对所述待进阶训练的初始子电路继续进行延迟调整训练，直至所述主机从所述训练寄存器中能一次性读取到所述多个子采样信号，得到已训练的写数据延控电路；

其中，所述待进阶训练的初始子电路，是未被读取到的子样本信号所对应的初始子电路；所述待进阶训练的初始子电路的初始调整信息，是在单电路的延迟调整训练得到所述初始子电路过程中所使用的调整信息。

5、根据权利要求4所述的方法，其特征在于，所述根据待进阶训练的初始子电路的初始调整信息，对所述待进阶训练的初始子电路继续进行延迟调整训练，直至所述主机从所述训练寄存器中能一次性读取到所述多个子采样信号，得到已训练的写数据延控电路，包括：

根据待进阶训练的初始子电路的初始调整信息，朝着增加或降低目标子样本信号延迟的方向逐渐调整所述待进阶训练的初始子电路，直至所述主机从所述训练寄存器中能一次性读取到所述多个子采样信号，得到已训练的写数据延控电路；

其中，所述目标子样本信号，是与所述待进阶训练的初始子电路对应的子样本信号。

6、根据权利要求4所述的方法，其特征在于，所述方法还包括：

若所述主机从所述训练寄存器中能一次性读取到所述多个子采样信号，则将各个所述初始子电路作为各个所述目标子电路，得到已训练的写数据延控电路。

7、根据权利要求3所述的方法，其特征在于，所述子电路中包括依次连接的写数据延迟单元；每个写数据延迟单元之后皆接有抽头接口；所述抽头接口支持从所述子电路中导出信号；所述初始子电路为已确定目标抽头接口的电路；

所述WO 2023/221627写数据延控电路中的每一个子电路,基于与所述子电路对应的子样本信号对所述子电路进行单电路的延迟调整训练,得到已训练的初始子电路,包括:

针对所述写数据延控电路中的每一个子电路,基于与所述子电路对应的子样本信号对所述子电路进行单电路的延迟调整训练,以确定针对所述子电路的延迟调整信息;

基于所述延迟调整信息,从所述子电路中确定目标抽头接口;其中,所述目标抽头接口之前的目标写数据延迟单元,用于通过延迟处理对与所述子电路对应的子样本信号进行信号偏移调整,得到与采样信号的采样沿对齐的信号。

8、根据权利要求7所述的方法,其特征在于,所述针对所述写数据延控电路中的每一个子电路,基于与所述子电路对应的子样本信号对所述子电路进行单电路的延迟调整训练,以确定针对所述子电路的延迟调整信息,包括:

针对所述写数据延控电路中的每一个子电路,在所述存储器基于采样信号采样到与所述子电路对应的子样本信号的第一状态下,朝着增加所述与所述子电路对应的子样本信号延迟的方向调整所述子电路,直至出现所述存储器基于采样信号未采样到与所述子电路对应的子样本信号的第二状态时,得到针对所述子电路的第一调整信息;

将所述第二状态恢复至所述第一状态,并朝着降低所述与所述子电路对应的子样本信号延迟的方向调整所述子电路,直至出现所述存储器基于采样信号未采样到与所述子电路对应的子样本信号的第二状态时,得到针对所述子电路的第二调整信息;

根据所述第一调整信息和所述第二调整信息,确定针对所述子电路的延迟调整信息。

9、根据权利要求8所述的方法,其特征在于,所述子电路包括第一组成电路和第二组成电路;所述第二组成电路连接在所述第一组成电路之后;所述第一组成电路和第二组成电路分别包括依次连接的写数据延迟单元;所述第一调整信息,包括所述与所述子电路对应的子样本信号已传输通过所述第二组成电路中的写数据延迟单元的第一数量;

所述针对所述写数据延控电路中的每一个子电路,在所述存储器基于采样信号采样到与所述子电路对应的子样本信号的第一状态下,朝着增加所述与所述子电路对应的子样本信号延迟的方向调整所述子电路,直至出现所述存储器基于采样信号未采样到与所述子电路对应的子样本信号的第二状态时,得到针对所述子电路的第一调整信息,包括:

控制与所述子电路对应的子样本信号依次经过所述第一组成电路中的各写数据延迟单元,以进行初始的延迟控制处理,得到初始控制后的与所述子电路对应的子样本信号;

在所述存储器基于采样信号采样到与所述子电路对应的子样本信号的第一状态下,朝着增加所述初始控制后的与所述子电路对应的子样本信号的延迟的方向,继续控制所述初始控制后的与所述子电路对应的子样本信号逐个传输通过所述第二组成电路中的写数据延迟单元,直至出现所述存储器基于采样信号从所述第二组成电路的相应抽头接口处未采样到所述与所述子电路对应的子样本信号的第二状态时,记录所述与所述子电路对应的子样本信号已传输通过所述第二组成电路中的写数据延迟单元的第一数量。

10、根据权利要求9所述的方法,其特征在于,所述第二调整信息包括所述与所述子电路对应的子样本信号未传输通过的写数据延迟单元的第二数量;

所述将所述第二状态恢复至所述第一状态,并朝着降低所述与所述子电路对应的子样本信号延迟的方向调整所述子电路,直至出现所述存储器基于采样信号未采样到与所述子电路对应的子样本信号的第二状态时,得到针对所述子电路的第二调整信息,包括:

将所述第二状态恢复至所述第一状态,并朝着降低所述初始控制后的与所述子电路对应的子样本信号的延迟的方向,控制所述初始控制后的与所述子电路对应的子样本信号逐个减少传输通过所述第一组成电路中的写数据延迟单元,直至出现所述存储器基于采样信号从所述第一组成电路的相应抽头接口处未采样到所述与所述子电路对应的子样本信号的第二状态时,记录所述与所述子电路对应的子样本信号未传输通过的写数据延迟单元的第二数量。

11、根据权利要求8所述的方法,其特征在于,在所述针对所述写数据延控电路中的每一个子电路,在所述存储器基于采样信号采样到与所述子电路对应的子样本信号的第一状态下,朝着增加所述与所述子电路对应的子样本信号延迟的方向调整所述子电路之前,所述方法还包括:

在所述存储器基于采样信号未采样到与所述子电路对应的子样本信号的第二状态下,对所述存储

器的当前工作频率降低调整处理，得到降低后的目标工作频率；所述存储器基于采样信号采样到所述与所述子电路对应的子样本信号的工作频率；

基于工作在所述目标工作频率上的存储器中的采样信号，采样所述与所述子电路对应的子样本信号，以使得所述存储器基于采样信号采样到所述与所述子电路对应的子样本信号。

12、根据权利要求 1 至 11 中任一项所述的方法，其特征在于，在所述基于所述样本写数据信号对设置在所述主机上的写数据延控电路进行延迟调整训练，得到已训练的写数据延控电路之后，所述方法还包括：

监测高带宽内存系统的系统工作状态；所述高带宽内存系统包括所述主机和所述存储器；

若所述系统工作状态为不繁忙状态，则通过软件控制重新执行所述通过主机对存储器中的寄存器电路进行工作模式配置，得到用于缓存数据的训练寄存器的步骤，以触发重新进行延迟调整训练。

13、根据权利要求 1 所述的方法，其特征在于，所述通过所述主机将样本写数据信号发送至所述存储器，包括：

通过所述主机将样本写数据信号、以及与所述样本写数据信号相匹配的写数据选取脉冲信号，发送至所述存储器；

所述通过所述存储器基于采样信号对所述样本写数据信号进行采样，并将采样得到的采样写数据信号缓存至所述训练寄存器中，包括：

将所述存储器接收到的所述写数据选取脉冲信号作为采样信号，通过所述存储器基于采样信号对所述样本写数据信号进行采样，并将采样得到的采样写数据信号缓存至所述训练寄存器中。

14、根据权利要求 1 所述的方法，其特征在于，所述采样信号的采样沿包括所述采样信号的上升沿；所述通过所述存储器基于采样信号对所述样本写数据信号进行采样，包括：

通过所述存储器基于采样信号的上升沿对所述样本写数据信号进行采样；

所述通过所述已训练的写数据延控电路对输入的写数据信号进行信号偏移调整，得到与采样信号的采样沿对齐的目标写数据信号，包括：

通过所述已训练的写数据延控电路对输入的写数据信号进行信号偏移调整，得到与采样信号的上升沿对齐的目标写数据信号。

15、根据权利要求 1 所述的方法，其特征在于，所述采样信号的采样沿包括所述采样信号的下降沿；所述通过所述存储器基于采样信号对所述样本写数据信号进行采样，包括：

通过所述存储器基于采样信号的下降沿对所述样本写数据信号进行采样，所述通过所述已训练的写数据延控电路对输入的写数据信号进行信号偏移调整，得到与采样信号的采样沿对齐的目标写数据信号，包括：

通过所述已训练的写数据延控电路对输入的写数据信号进行信号偏移调整，得到与采样信号的下降沿对齐的目标写数据信号。

16、一种写数据信号延迟控制装置，其特征在于，所述装置包括：

配置模块，用于通过主机对存储器中的寄存器电路进行工作模式配置，得到支持读写的训练寄存器；

发送模块，用于通过所述主机将样本写数据信号发送至所述存储器；

采样模块，用于通过所述存储器基于采样信号对所述样本写数据信号进行采样，并将采样得到的采样写数据信号缓存至所述训练寄存器中；

训练模块，用于若所述主机从所述训练寄存器中读取的所述采样写数据信号与所述样本写数据信号不一致，则基于所述样本写数据信号对设置在所述主机上的写数据延控电路进行延迟调整训练，得到已训练的写数据延控电路；

调整模块，用于通过所述已训练的写数据延控电路对输入的写数据信号进行信号偏移调整，得到与采样信号的采样沿对齐的目标写数据信号；所述目标写数据信号用于写入至所述存储器中。

17、一种计算机设备，包括存储器和一个或多个处理器，所述存储器存储有计算机可读指令，其特征在于，所述一个或多个处理器执行所述计算机可读指令时实现权利要求 1 至 15 中任一项所述的方法的步骤。

18、一个或多个计算机可读存储介质，存储有计算机可读指令，其特征在于，所述计算机可读指令被一个或多个处理器执行时实现权利要求 1 至 15 中任一项所述的方法的步骤。

19、WO 2023/221627产品，包括计算机可读指令，其特征在于，所述计算机可读指令在处理器执行时实现权利要求 1 至 15 中任一项所述的方法的步骤。