(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2005 年8 月11 日 (11.08.2005)

PCT

(10) 国際公開番号
WO 2005/073850 A1

(51) 国際特許分類[7]: G06F 9/445

(21) 国際出願番号: PCT/JP2005/001105

(22) 国際出願日: 2005 年1 月27 日 (27.01.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-019278 2004 年1 月28 日 (28.01.2004) JP

(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川６丁目７番３５号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 片野 由人 (KATANO, Yoshito) [JP/JP]; 〒1410001 東京都品川区北品川６丁目７番３５号 ソニー株式会社内 Tokyo (JP). 吉田 正 (YOSHIDA, Tadashi) [JP/JP]; 〒1410001 東京都品川区北品川６丁目７番３５号 ソニー株式会社内 Tokyo (JP). 迫 和彦 (SAKO, Kazuhiko) [JP/JP]; 〒2400005 神奈川県横浜市保土ヶ谷区神戸町１３４番地 ソニー・エルエスアイ・デザイン株式会社内 Kanagawa (JP).

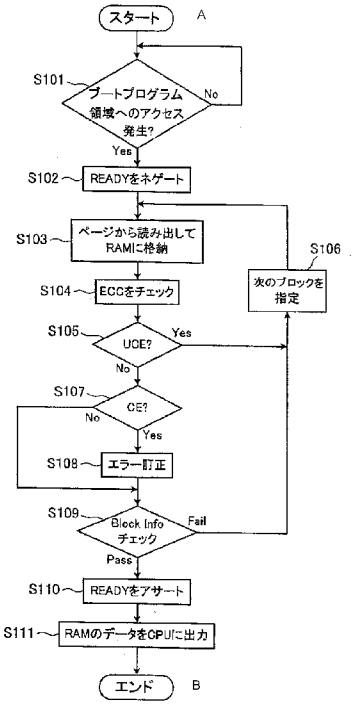
(74) 代理人: 小池 晃, 外(KOIKE, Akira et al.); 〒1000011 東京都千代田区内幸町一丁目１番７号 大和生命ビル１１階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR ACTIVATING THE SAME

(54) 発明の名称: 半導体装置及びその起動処理方法



A START
S101 ACCESS TO BOOT PROGRAM STORAGE AREA HAS OCCURRED?
S102 NEGATE READY
S103 READ FROM PAGE AND STORE INTO RAM
S104 CHECK ECC
S106 DESIGNATE NEXT BLOCK
S108 CORRECT ERROR
S109 CHECK BLOCK INFO
S110 ASSERT READY
S111 OUTPUT DATA FROM RAM TO CPU
B END

(57) Abstract: A semiconductor device wherein a flash memory of lower cost per bit, such as NAND type, is used as a boot device, and the same boot program is stored in each of a plurality of blocks in the flash memory. A flash memory controller, when receiving from a CPU an access to a boot program storage area, outputs, to the CPU, data read from the corresponding page, only if it determines that the corresponding block is not defective from a determination based on ECC in that data and from a determination based on block information. Otherwise, the flash memory controller reads the boot program stored in the next block and performs anew a determination as to whether the block is defective or not.

(57) 要約: 本発明は、ＮＡＮＤ型などのビット単価の低いフラッシュメモリをブートデバイスとして使用する半導体装置であり、フラッシュメモリ内の複数のブロックにそれぞれ同一のブートプログラムを記憶しておく。フラッシュメモリコントローラは、ＣＰＵからブートプログラムの記憶領域へのアクセスを受けると、対応するページから読み出したデータ中のＥＣＣに基づく判定と、ブロックインフォメーションに基づく判定により、対応するブロックが不良でないと判定した場合のみ、読み出したデータをＣＰＵに出力する。不良ブロックと判定した場合は、次のブロックに記憶されたブートプログラムを読み出して不良ブロックの判定を再度行う。

WO 2005/073850 A1

LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。