

明 細 書

発明の名称：メモリデバイス

技術分野

[0001] 本発明の実施形態は、メモリデバイスに関する。

背景技術

[0002] 3次元構造のNAND型フラッシュメモリが、開発されている。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開2017/0062459号公報

発明の概要

発明が解決しようとする課題

[0004] メモリデバイスの歩留まりを向上する。

課題を解決するための手段

[0005] 実施形態の半導体デバイスは、基板と、基板上に積層された複数の導電層を含む構造体と、前記構造体内に設けられ、前記基板の表面に対して垂直方向に延在する半導体層を含むピラーと、を備え、前記半導体層は、前記構造体の上部側の第1の部分と、前記第1の部分と前記基板との間の第2の部分と、を含み、前記第1の部分の膜厚は、前記第2の部分の膜厚より厚い。

図面の簡単な説明

[0006] [図1]第1の実施形態の半導体デバイスの構成例を示す模式図。

[図2]第1の実施形態の半導体デバイスの構造例を示す平面図。

[図3]第1の実施形態の半導体デバイスの構造例を示す鳥瞰図。

[図4]第1の実施形態の半導体デバイスの構造例を示す断面図。

[図5]第1の実施形態の半導体デバイスの構造例を示す断面図。

[図6]第1の実施形態の半導体デバイスの製造方法の一工程を示す断面工程図

。

[図7]第1の実施形態の半導体デバイスの製造方法の一工程を示す断面工程図

。

[図8]第1の実施形態の半導体デバイスの製造方法の一工程を示す断面工程図

。

[図9]第1の実施形態の半導体デバイスの製造方法の一工程を示す断面工程図

。

[図10]第1の実施形態の半導体デバイスの製造方法の一工程を示す断面工程

図。

[図11]第1の実施形態の半導体デバイスの製造方法の一工程を示す断面工程

図。

[図12]第1の実施形態のメモリデバイスの製造方法の一工程を示す断面工程

図。

[図13]第1の実施形態のメモリデバイスの製造方法の一工程を示す断面工程

図。

[図14]第1の実施形態のメモリデバイスの製造方法の一工程を示す断面工程

図。

[図15]第1の実施形態のメモリデバイスの製造方法の一工程を示す断面工程

図。

[図16]第1の実施形態のメモリデバイスの製造方法の一工程を示す断面工程

図。

[図17]第1の実施形態のメモリデバイスにおける実験結果を示す図。

[図18]第1の実施形態のメモリデバイスにおける実験結果を示す図。

[図19]第1の実施形態のメモリデバイスにおける実験結果を示す図。

[図20]第1の実施形態のメモリデバイスにおける実験結果を示す図。

[図21]第2の実施形態のメモリデバイスの構造例を示す断面図。

[図22]第2の実施形態のメモリデバイスの製造方法の一工程を示す断面工程

図。

[図23]第2の実施形態のメモリデバイスの製造方法の一工程を示す断面工程

図。

[図24]実施形態のメモリデバイスの変形例を示す断面図。

[図25]実施形態のメモリデバイスの変形例を示す断面図。

[図26]第3の実施形態のメモリデバイスの構造例を示す断面図。

[図27]第3の実施形態のメモリデバイスの製造方法の一工程を示す断面工程図。

[図28]第3の実施形態のメモリデバイスの製造方法の一工程を示す断面工程図。

[図29]第3の実施形態のメモリデバイスの製造方法の一工程を示す断面工程図。

[図30]第3の実施形態のメモリデバイスの製造方法の一工程を示す断面工程図。

[図31]第3の実施形態のメモリデバイスの製造方法の一工程を示す断面工程図。

[図32]第4の実施形態のメモリデバイスの構造例を示す断面図。

[図33]第4の実施形態のメモリデバイスの製造方法の一工程を示す断面工程図。

[図34]第4の実施形態のメモリデバイスの製造方法の一工程を示す断面工程図。

[図35]第4の実施形態のメモリデバイスの製造方法の一工程を示す断面工程図。

[図36]第4の実施形態のメモリデバイスの製造方法の一工程を示す断面工程図。

[図37]第4の実施形態のメモリデバイスの製造方法の一工程を示す断面工程図。

[図38]第4の実施形態のメモリデバイスの製造方法の一工程を示す断面工程図。

[図39]第4の実施形態のメモリデバイスの製造方法の一工程を示す断面工程

図。

[図40]第4の実施形態のメモリデバイスの製造方法の一工程を示す断面工程図。

[図41]第4の実施形態のメモリデバイスの製造方法の一工程を示す断面工程図。

[図42]第4の実施形態のメモリデバイスの製造方法の一工程を示す断面工程図。

[図43]第4の実施形態のメモリデバイスの製造方法の一工程を示す平面図。

[図44]第4の実施形態のメモリデバイスの変形例を示す断面図。

実施形態

[0007] 図1乃至図25を参照して、実施形態のメモリデバイス及びメモリデバイスの製造方法について、説明する。

[0008] 以下、図面を参照しながら、本実施形態について詳細に説明する。以下の説明において、同一の機能及び構成を有する要素については、同一符号を付す。また、以下の各実施形態において、末尾に区別化のための数字／英字を伴った参照符号を付された構成要素（例えば、ワード線WLやビット線BL、各種の電圧及び信号など）が、相互に区別されなくともよい場合、末尾の数字／英字が省略された記載（参照符号）が用いられる。

[0009] (1) 第1の実施形態

図1乃至図20を参照して、第1の実施形態のメモリデバイス及びメモリデバイスの製造方法について、説明する。

[0010] (a) 構成例

図1は、本実施形態のメモリデバイスの構成を示すブロック図である。

[0011] 図1のメモリデバイス（半導体メモリ）1は、例えば、外部のメモリコントローラ2によって制御される。メモリコントローラ2は、ホストデバイス（例えば、プロセッサ）9からの各種の要求に応じて、メモリデバイス1の動作を制御するための各種の処理を実行する。

[0012] メモリデバイス1は、例えば、NAND型フラッシュメモリである。NA

NAND型フラッシュメモリ1は、データを不揮発に記憶することが可能である。

- [0013] 図1に示されるように、NAND型フラッシュメモリ(以下において、単に、フラッシュメモリともよばれる)1は、例えばメモリセルアレイ10、コマンドレジスタ11、アドレスレジスタ12、シーケンサ13、ドライバ14、ロウデコーダ15、及びセンスアンプ16を含む。
- [0014] メモリセルアレイ10は、複数のブロックBLK0~BLKn(nは1以上の整数)を含んでいる。メモリセルアレイ10内に、複数のビット線及び複数のワード線が、設けられる。ブロックBLKは、不揮発性メモリセルの集合である。ブロックBLKは、例えば、データの消去単位として使用される。各メモリセルは、1本のビット線と1本のワード線とに関連付けられる。メモリセルアレイ10の詳細な構成については後述する。
- [0015] コマンドレジスタ11は、フラッシュメモリ1がメモリコントローラ2から受信したコマンドCMDを保持する。コマンドCMDは、例えば、シーケンサ13に読み出し動作、書き込み動作、消去動作等を実行させる命令を含んでいる。
- [0016] アドレスレジスタ12は、フラッシュメモリ1がメモリコントローラ2から受信したアドレス情報ADRを保持する。アドレス情報ADRは、例えば、ブロックアドレスBA、ページアドレスPA、及びカラムアドレスCAを含んでいる。ブロックアドレスBA、ページアドレスPA、及びカラムアドレスCAは、それぞれブロックBLK、ワード線、及びビット線の選択に使用される。
- [0017] シーケンサ13は、フラッシュメモリ1全体の動作を制御する。例えば、シーケンサ13は、コマンドレジスタ11に保持されたコマンドCMDに基づいてドライバ14、ロウデコーダ15、及びセンスアンプ16などの動作を制御する。これによって、メモリセルアレイ10に対して、読み出し動作、書き込み動作、消去動作等が、実行される。
- [0018] ドライバ(電圧生成回路)14は、読み出し動作、書き込み動作、消去動

作等で使用される電圧を生成する。ドライバ14は、アドレスレジスタ12に保持されたページアドレスPAに基づいて、例えば、選択ワード線に対応する信号線と非選択ワード線に対応する信号線とのそれぞれに、生成した電圧を印加する。

[0019] ロウデコーダ15は、アドレスレジスタ12に保持されたブロックアドレスBAに基づいて、1つのブロックBLKを選択する。ロウデコーダ15は、例えば、選択ワード線／非選択ワード線に対応する信号線に印加された電圧を、選択されたブロックBLK内の選択ワード線及び非選択ワード線に転送する。

[0020] センスアンプ16は、書き込み動作において、メモリコントローラ2から受信した書き込みデータDTに応じて、各ビット線に所望の電圧を印加する。また、センスアンプ16は、読み出し動作において、ビット線の電圧（又はビット線における電流の発生の有無）に基づいて、メモリセルに記憶されたデータを判定する。センスアンプ16は、判定結果を読み出しデータDTとしてメモリコントローラ2に転送する。

[0021] NAND型フラッシュメモリ1とメモリコントローラ2との間の通信は、例えば、NANDインターフェイス規格に基づいて、実行される。この場合において、NAND型フラッシュメモリ1とメモリコントローラ2との間の通信において、コマンドラッチイネーブル信号CLE、アドレスラッチイネーブル信号ALE、ライトイネーブル信号WE_n、リードイネーブル信号RE_n、レディビジー信号RB_n、及び入出力信号I/Oが使用される。

[0022] コマンドラッチイネーブル信号CLEは、入出力信号I/OがコマンドCMDであることを示す信号である。アドレスラッチイネーブル信号ALEは、入出力信号I/Oがアドレス情報ADRであることを示す信号である。ライトイネーブル信号WE_nは、入出力信号I/Oの入力をフラッシュメモリ1に命令する信号である。リードイネーブル信号RE_nは、入出力信号I/Oの出力をフラッシュメモリ1に命令する信号である。

[0023] レディビジー信号RB_nは、フラッシュメモリ1の状態が、メモリコント

ローラ 2 からの命令を受け付けるレディ状態であるか、又は、命令を受け付けないビジー状態であるかを、メモリコントローラ 2 に通知する信号である。入出力信号 I/O は、例えば、8 ビット幅の信号であり、コマンド CMD、アドレス情報 ADR、データ DT 等を含み得る。

[0024] 以上のフラッシュメモリ 1 及びメモリコントローラ 2 は、1 つのストレージデバイス（装置）を構成してもよい。例えば、ストレージデバイスは、例えば SDTMカードのようなメモリカードや、SSD（solid state drive）等が挙げられる。尚、フラッシュメモリ 1 及びメモリコントローラ 2 に加えて、ホストデバイス 9 が、ストレージデバイスの構成要素に含まれてもよい。

[0025] <メモリセルアレイの回路構成>

図 2 は、実施形態の NAND 型フラッシュメモリのメモリセルアレイの一例を説明するための等価回路図である。

図 2 に示されるように、ブロック BLK は、例えば、4 つのストリングユニット SU（SU0～SU3）を含む。各ストリングユニット SU は、複数の NAND スtring NS を含む。NAND スtring NS の各々は、例えば、複数（例えば、 $m-1$ 個）のメモリセル MC、及び、2 つのセレクトトランジスタ ST1、ST2 を含んでいる。NAND スtring NS 内のセレクトトランジスタ ST1、ST2 の個数は、任意であり、トランジスタ ST1、ST2 のそれぞれは、1 以上あればよい。 m は、2 以上の整数である。

[0026] メモリセル MC は、制御ゲートとメモリ層とを有する。これによって、メモリセル MC は、データを不揮発に保持する。メモリセル MC は、メモリ層内の電荷蓄積層に絶縁層（例えば、窒化シリコン膜）を用いた MONOS 型であってもよいし、電荷蓄積層に導電層（例えば、シリコン膜）を用いたフローティングゲート型であってもよい。

[0027] 複数のメモリセル MC は、セレクトトランジスタ ST1 のソースとセレクトトランジスタ ST2 のドレインとの間に直列接続されている。複数のメモリセル MC の電流経路は、2 つのセレクトトランジスタ ST1、ST2 間で直列に接続される。NAND スtring NS 内における最もドレイン側のメモ

リセルMCの電流経路の端子（例えば、ドレイン）は、セレクトトランジスタST1のソースに接続される。NANDストリングNS内における最もソース側のメモリセルMCの電流経路の端子（例えば、ソース）は、セレクトトランジスタST2のドレインに接続されている。

[0028] 各ストリングユニットSU0～SU3において、セレクトトランジスタST1のゲートは、ドレイン側セレクトゲート線SGD0～SGD3のうち対応する1つに接続される。各ストリングユニットSU0～SU3において、セレクトトランジスタST2のゲートは、ソース側セレクトゲート線SGS0～SGS3のうち対応する1つに接続される。以下において、セレクトゲート線SGD0～SGD3が区別されない場合、セレクトゲート線SGD0～SGD3は、セレクトゲート線SGDと表記される。セレクトゲート線SGS0～SGS3が区別されない場合、セレクトゲート線SGS0～SGS3は、セレクトゲート線SGSと表記される。尚、各ストリングユニットSUが、1つのセレクトゲート線SGSに共通に接続されてもよい。

[0029] ブロックBLK内のあるメモリセルMCの制御ゲートは、複数のワード線WL0～WL(m-1)のうち対応する1つに接続される。mは、2以上の整数である。以下において、ワード線WL0～WL(m-1)が区別されない場合、ワード線WL0～WL(m-1)は、ワード線WLと表記される。

[0030] ストリングユニットSU内の各NANDストリングNSのセレクトトランジスタST1のドレインは、それぞれ異なるビット線BL0～BL(n-1)に接続される。nは、2以上の整数である。以下において、ビット線BL0～BL(n-1)が区別されない場合、ビット線BL0～BL(n-1)は、ビット線BLと表記される。各ビット線BLは、複数のブロックBLK間で各ストリングユニットSU内の1つのNANDストリングNSに共通に接続される。

[0031] 複数のセレクトトランジスタST2のソースは、ソース線SLに共通に接続されている。例えば、ブロックBLK内の複数のストリングユニットSUは、共通のソース線SLに接続されている。

- [0032] スtringユニットSUは、異なるビット線BLに接続され、且つ、同一のセレクトゲート線SGD、SGSに接続されたNANDStringNSの集合体である。ブロックBLKは、ワード線WLを共通にする複数のStringユニットSUの集合体である。メモリセルアレイ18は、ビット線BLを共通にする複数のブロックBLKの集合体である。
- [0033] データの書き込み及び読み出しは、複数のStringユニットSUのうち選択された1つにおける、いずれか1つのワード線WLに接続されたメモリセルMCに対して、一括に実行される。以下、データの書き込み及び読み出しの際、一括して選択されるメモリセルMCの群は、メモリセルグループとよばれる。1つのメモリセルグループに書き込まれる、又は、1つのメモリセルグループから読み出される1ビットのデータの集まりは、ページとよばれる。例えば、1つのメモリセルグループに対して、1以上のページが割り付けられる。
- [0034] データの消去は、ブロックBLK単位、又は、ブロックBLKよりも小さい単位で行うことができる。データの消去方法は、例えば、“NONVOLATILE SEMICONDUCTOR MEMORY DEVICE”という2011年9月18日に出願された米国特許出願13/235,389号に記載されている。また、データの消去方法は、“NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE”という2010年1月27日に出願された米国特許出願12/694,690号に記載されている。更に、データの消去方法は、“NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND DATA ERASE METHOD THEREOF”という2012年5月30日に出願された米国特許出願13/483,610号に記載されている。これらの特許出願は、その全体が本願明細書において参照により援用されている。
- [0035] メモリセルアレイ18の構成は、他の構成であってもよい。メモリセルアレイ18の構成は、例えば、“三次元積層不揮発性半導体メモリ(THREE DIMENSIONAL STACKED NONVOLATILE SEMICONDUCTOR MEMORY)”という2009年3月19日に出願された米国特許出願12/407,403号に記載されている。また、メモリセルアレイ18の構成は、“THREE DIMENSIONAL STACKED N

“NON-VOLATILE SEMICONDUCTOR MEMORY” という 2009 年 3 月 18 日に出願された米国特許出願 12/406,524 号、“NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE AND METHOD OF MANUFACTURING THE SAME” という 2010 年 3 月 25 日に出願された米国特許出願 12/679,991 号、及び “SEMICONDUCTOR MEMORY AND METHOD FOR MANUFACTURING SAME” という 2009 年 3 月 23 日に出願された米国特許出願 12/532,030 号に記載されている。これらの特許出願は、その全体が本願明細書において参照により援用されている。

[0036] <メモリセルアレイの構造例>

図 3 は、本実施形態の NAND 型フラッシュメモリのメモリセルアレイの構造を示す鳥瞰図である。

図 3 に示されるように、本実施形態の NAND 型フラッシュメモリは、3 次元構造のメモリセルアレイを有する。

[0037] 3 次元構造のメモリセルアレイ 10 は、基板 100 の上方に設けられた積層体（構造体）50、複数のピラー MP、複数の配線 BL を含む。

[0038] 積層体 50 は、複数の導電層 70 と複数の絶縁層 72 とを含む。積層体 50 内において、Z 方向に導電層 70 と絶縁層 72 とが交互に積層されている。Z 方向は、基板 100 の表面に対してほぼ垂直な方向である。1 つの積層体 50 は、1 つのブロック BLK 又は 1 つのストリングユニット SU に対応する。

[0039] ピラー MP は、Z 方向において構造体 50 内を延在するように、構造体 50 内に設けられている。ピラー MP は、ほぼ円柱状の構造を有する。複数のピラー MP の配置のために、積層体 50 は、複数のホール（貫通孔）を有する。以下において、ピラーは、メモリピラーとよばれる。また、メモリピラーが設けられるホールは、メモリホールとよばれる。

[0040] X 方向及び Y 方向に沿う 2 次元平面（X-Y 平面）における複数のピラー MP のレイアウトは、千鳥配列である。尚、複数のピラー MP のレイアウトは、X-Y 平面において、正方格子配列でもよい。

- [0041] 積層体50の上方に、複数のビット線BLが設けられる。複数のビット線BLは、例えば金属層である。ビット線BLは、Y方向に延在する。複数のビット線BLは、X方向に配列される。
- [0042] メモリピラーMPにおける後述の半導体層の上端部は、ビット線コンタクトBC及びビアプラグV1を介してビット線BLに接続される。複数のピラーMPは、共通の1本のビット線BLに接続される。その共通のビット線BLに接続された複数のピラーMPは、例えば、互い異なる積層体50から1つずつ選択される。
- [0043] 以下で参照される図面において、X方向はワード線WLの延在方向（長手方向）に対応し、Y方向はビット線BLの延在方向に対応する。尚、以下の断面図において、本実施形態のNAND型フラッシュメモリに含まれる絶縁層（層間絶縁膜）、配線、コンタクト等の構成要素は、適宜省略されている。
- [0044] 図4は、本実施形態のフラッシュメモリにおける、メモリセルアレイ10の平面レイアウトの一例を示す図である。図4において、Y方向に配列する複数のブロックのうち任意の1つのブロックBLKに対応する構成が抽出されている。
- [0045] 図4に示されるように、例えば、ブロックBLKのストリングユニットSU0～SU3のそれぞれに対応するように、積層体50が、基板上に設けられている。各積層体50は、X方向に延在する。複数の積層体50は、Y方向に配列されている。
- [0046] ストリングユニットSU0～SU3のそれぞれに対応する積層体50は、スリットSLTによって互いに分離されている。Y方向に隣り合う積層体50間に、X方向に延在するスリットSLTが、設けられている。X方向に延在した2つのスリットSLTは、Y方向に隣り合う。
- [0047] 本例において、Y方向に隣り合う2つのスリットSLTとの間の構造体50が、1つのストリングユニットSUに対応している。尚、スリットSLTに囲まれた各領域に、複数のストリングユニットSUが設けられてもよい。

[0048] スtringユニットSUのメモリ領域MRは、以下のような構造を有する。メモリ領域MRは、実質的にデータを保持する領域である。メモリ領域MR内において、複数のメモリピラーMPが、千鳥状に設けられる。メモリピラーMPの各々は、例えば、1つのNANDstringNS対応するように、設けられている。

[0049] 尚、図4に示されたメモリピラーMPの個数は模式的なものであり、メモリピラーMPの個数は、図示された個数に限定されない。

[0050] 図5は、図4のV-V線に沿った断面図である。図5は、本実施形態におけるメモリセルアレイ10（メモリ領域MR）における断面構造の一例を示している。

[0051] 図5に示されるように、メモリ領域MRにおける構造体（stringユニット）において、NANDstringNSは、基板100上に設けられている。

基板100は、半導体層101と、半導体層102とを含む。半導体層101は、例えば、単結晶層（単結晶バルク基板）でもよいし、エピタキシャル層でもよい。半導体層102は、半導体層101上に設けられている。半導体層102は、例えば、多結晶シリコン層（ポリシリコン層）又はエピタキシャル層である。例えば、半導体層102は、ソース線SLとして機能する。

[0052] NANDstringNSは、例えば、複数の導電層70、複数の絶縁層72、75、メモリ層80、及び、メモリピラーMPを含んでいる。

[0053] 積層体50の複数の導電層70のうち少なくとも最上層（絶縁層75側）の導電層70の位置に、ドレイン側セレクトトランジスタST1は、設けられる。尚、最上層側の1〜4つの導電層70を用いて、ドレイン側セレクトトランジスタST1が形成されてもよい。セレクトトランジスタST1の位置に対応する1以上の導電層70は、ドレイン側セレクトゲート線SGDとして機能する。

[0054] 積層体50の複数の導電層70のうち少なくとも最下層（基板側）の導電

層 7 0 の位置に、ソース側セレクトトランジスタ S T 2 は、設けられる。尚、最下層側の 1 ～ 4 つの導電層 7 0 を用いて、ソース側セレクトトランジスタ S T 2 が形成されてもよい。セレクトトランジスタ S T 2 の位置に対応する 1 以上の導電層 7 0 は、ソース側セレクトゲート線 S G S として機能する。

[0055] セレクトゲート線 S G D, S G S としての導電層 7 0 を除く導電層 7 0 の各々は、ワード線として機能する。ワード線 W L としての導電層 7 0 の位置に、メモリセル M C が設けられる。尚、ワード線 W L としての導電層 7 0 のうち 1 以上が、ダミーワード線として用いられてもよい。

[0056] 各導電層 7 0 は、例えば、X-Y 平面に沿って広がった板状の構造を有する。導電層 7 0 は、例えば、タングステン (W) を含む。

[0057] 複数の絶縁層 7 2 のそれぞれは、Z 方向に隣り合う導電層 7 0 間に設けられる。Z 方向に積層された導電層 7 0 は、絶縁層 7 2 によって分離されている。絶縁層 7 2 は、例えば、酸化シリコンを含む。

[0058] メモリ層 8 0 は、メモリピラー M P の外周 (側面) 上に設けられている。メモリ層 8 0 は、積層体 5 0 の側面に沿って、Z 方向に延在している。メモリ層 8 0 は、メモリピラー M P と導電層 7 0 との間、メモリピラー M P と絶縁層 7 2 との間に、設けられている。メモリ層 8 0 は、電荷蓄積層を含む積層膜である。

[0059] メモリピラー M P の一端は、ビット線 (図示せず) に接続され、メモリピラー M P の他端は、ソース線 (半導体層) 1 0 1 に接続される。以下において、メモリピラー M P のうち N A N D ストリング N S のビット線側は、メモリピラー M P の上部とする。メモリピラーの N A N D ストリングのソース線側は、メモリピラー M P の下部 (又は底部) とする。

[0060] メモリピラー M P は、半導体層 8 2、コア層 8 4、及び、キャップ層 (導電層) 8 6 を含む。メモリピラー M P は、複数の導電層 7 0 及び複数の絶縁層 7 2 を貫通している。

[0061] コア層 8 4 は、Z 方向に沿って延在する柱状の構造を有する。コア層 8 4

は、例えば、二酸化シリコン (SiO_2) 等の絶縁体を含んでいる。例えば、コア層 84 の内部に、エアギャップ 90 が、設けられている。

[0062] 半導体層 82 は、コア層 84 の側面及び下面を覆う。半導体層 82 は、メモリピラー MP の下端において、基板 100 に接続される。例えば、半導体層 82 は、コア層 84 の下面と基板 100 の上面との間に、設けられている。半導体層 82 は、半導体層 102 に直接接触する。

[0063] 半導体層 82 は、例えば、シリコン (Si) 層である。以下において、半導体層 82 は、シリコン層とよばれる。

[0064] シリコン層 82 は、Z 方向におけるメモリピラー MP の上部側の部分 820、Z 方向におけるメモリピラー MP の下部側の部分 824、及び、部分 820 と部分 824 との間の部分 822 を、含む。部分 820 の膜厚は、部分 822 の膜厚より厚い。部分 824 の膜厚は、部分 822 の膜厚より薄い。半導体層 82 の膜厚は、基板 100 の表面に対してほぼ平行な方向の寸法である。尚、メモリホール内において、シリコン層 82 の下部 824 の膜厚は、基板 100 の表面に対して垂直な方向の寸法と基板 100 の表面に対して平行な方向の寸法とのうちいずれか小さい寸法とする場合もある。

[0065] 以下において、部分 820 は、上部シリコン層 820 とよばれ、部分 824 は、下部シリコン層 824 とよばれ、部分 822 は、中部シリコン層 822 とよばれる。

[0066] キャップ層 86 は、メモリピラー MP の上端側において、コア層 84 上に設けられている。キャップ層 86 は、例えば、シリコン層又は導電層である。

[0067] 図 6 を用いて、本実施形態の NAND 型フラッシュメモリの構造について、より具体的に説明する。

[0068] 図 6 は、本実施形態の NAND 型フラッシュメモリにおける、NAND ストリングの構造をより具体的に示す模式図である。

[0069] 図 6 に示されるように、メモリ層 80 は、絶縁層 801、電荷蓄積層 802、及び絶縁層 803 を含む。電荷蓄積層 802 は、絶縁層 801 と絶縁層

８０３との間に挟まれている。層８０１，８０２，８０３は、積層体５０の側面（メモリホールの内壁）に沿って、メモリピラーＭＰの上部から下部までの間で、連続している。

[0070] 電荷蓄積層８０２は、トンネル効果によりシリコン層８２から供給された電荷を保持できる。電荷蓄積層８０２内の電荷は、トンネル効果によりシリコン層８２に放出される、又は、トンネル効果により供給された正孔により電氣的に相殺される。メモリセルＭＣのしきい値電圧（オン電圧）は、電荷蓄積層８０２内の電荷量に応じて変化する。メモリセルＭＣのしきい値電圧（メモリセルのオン／オフ）とデータとの関連付けに基づいて、ＮＡＮＤ型フラッシュメモリ１のメモリセルＭＣは、１ビット以上のデータを保持できる。

[0071] 絶縁層８０１は、導電層７０と電荷蓄積層８０２との間に設けられている。絶縁層８０１は、ブロック絶縁層８０１である。ブロック絶縁層８０１は、導電層７０と電荷蓄積層８０２との間の電荷の移動を防止する。

[0072] 絶縁層８０３は、半導体層（シリコン層）８２と電荷蓄積層８０２との間に設けられている。絶縁層８０３は、トンネル絶縁層８０３である。トンネル絶縁層８０３は、電荷蓄積層８０２とシリコン層８２との間におけるトンネル障壁（電位障壁）として、機能する。

[0073] メモリピラーＭＰのシリコン層８２は、ＮＡＮＤストリングＮＳのソース線側（ソース側）とビット線側（ドレイン側）との間で、Ｚ方向において延在する。

[0074] 半導体層１０２ａが、シリコン層８２と半導体層１０２との間に設けられている。例えば、絶縁層７２と半導体層１０２との間に、絶縁層（酸化シリコン層）７２ａが設けられている。

[0075] 半導体層１０２ａは、シリコン層８２に直接接触している。半導体層１０２ａは、例えば、結晶性のシリコン層である。半導体層１０２ａは、半導体層１０２を下地に用いて形成される。半導体層１０２ａは、半導体層１０２に連続している。半導体層１０２ａの上端は、最下層の絶縁層７２の側面上

に配置されている。例えば、Z方向において、半導体層102aの下端は、半導体層102aと絶縁層72aとの境界領域より基板100の底部側に位置している。

[0076] 本実施形態において、メモリピラーMPの上部側におけるシリコン層82の部分（上部シリコン層）820の膜厚T1は、メモリピラーMPの中部におけるシリコン層82の部分（中部シリコン層）822の膜厚T2より厚い。メモリピラーMPの底部側におけるシリコン層82の部分（下部シリコン層）824の膜厚T3は、部分822の膜厚T2より薄い。例えば、メモリピラーMPの中部は、基板100の表面に対して垂直方向におけるメモリピラーMPの寸法（高さ）Hのおおよそ2分の1の位置近傍の部分に、対応する。

[0077] 上部シリコン層820の結晶性（晶質）の傾向は、上部シリコン層の全体又はその大部分において、中部シリコン層822及び下部シリコン層824の結晶性の傾向に比較して、小さい粒径の結晶を含み得る。例えば、上部シリコン層820は、アモルファスシリコン層又は微結晶シリコン層である。以下において、シリコン層82の部分（上部シリコン層）820は、アモルファスシリコン層（又は微結晶シリコン層）820ともよばれる。微結晶とは、結晶粒径が200nm以下の結晶、例えば、50nm～100nm程度の結晶である。微結晶層は、200nm以下の複数の結晶からなる層である。尚、上部シリコン層820内の一部分に、ポリシリコン層（ポリシリコン領域）が形成されていてもよい。この場合において、上部シリコン層820は、アモルファスシリコン領域（及び又は微結晶シリコン領域）とポリシリコン領域とを含む。

[0078] シリコン層82のうち上部シリコン層820より下方の部分（例えば、中部シリコン層及び下部シリコン層）822、824は、ポリシリコン層である。

[0079] アモルファスシリコン層820は、ボロン（B）、炭素（C）、ゲルマニウム（Ge）、フッ素（F）、アルゴン（Ar）、キセノン（Xe）、及び

、 BF_2 に起因する分子などの中から選択された少なくとも1つの不純物を含む。これらの不純物は、ポリシリコン層をアモルファスシリコン層へ変えるためのイオン注入に用いられるイオン種である。

[0080] アモルファスシリコン層820内における選択された不純物濃度は、ポリシリコン層822, 824内における選択された不純物濃度より高い。ただし、アモルファスシリコン層820の不純物濃度が、ポリシリコン層822, 824の不純物濃度と実質的に同じ場合もある。尚、アモルファスシリコン層820がボロンを含む場合、アモルファスシリコン層820は、ボロンに加えて、フッ素を含む場合もある。アルゴン及びキセノンは、シリコン層内から脱離し得る。

[0081] 例えば、メモリピラーMP内に、エアギャップ90が設けられる場合がある。エアギャップ90は、メモリピラーMPの内部において、コア層（酸化シリコン層）84に囲まれた領域（空間、空気層）である。

[0082] エアギャップ90の上端PPの位置は、アモルファスシリコン層820の下端より基板100側に位置することが、好ましい。例えば、アモルファスシリコン層820の下端は、シリコン層82におけるアモルファスシリコン層820とポリシリコン層822との境界領域近傍の位置に対応する。エアギャップ90の上端PPの位置は、絶縁層75の下端（底面）より基板100側に位置してもよい。

[0083] 基板100の表面に対して平行方向におけるエアギャップ90の底部側の最大寸法は、基板100の表面に対して平行方向におけるエアギャップ90の上部側の最大寸法より大きい。

[0084] シリコン層82の下部（ポリシリコン層）824のコア層84側の面は、曲面を有している。下部シリコン層824におけるコア層84に接する面は、U字状（C字状）の形状を有する。

[0085] シリコン層82の下部824の形状に伴って、コア層84の下部は、蹄鉄状（又は、U字状、C字状）の断面形状を有する。エアギャップ90の下部は、Y-Z平面（又はX-Z平面）において円形又は楕円形の断面形状を有

する。エアギャップ90の上部は、Y-Z平面（又はX-Z平面）において三角形状の断面形状を有する。エアギャップ90の下部と上部の間の部分（中部）は、Y-Z平面（X-Z平面）において四角形状（例えば、）の断面形状を有する。

[0086] 本実施形態において、メモリピラーMPの上部側のシリコン層82がアモルファス状態である場合、アモルファス状態のシリコン層820の平坦性は、改善される。この結果として、本実施形態において、コア層に対するエッチング時における積層体/NANDストリングの不良の発生が、抑制される。

[0087] (b) 製造方法

図7乃至図16を参照して、本実施形態のメモリデバイスの製造方法を説明する。

図7乃至図16は、本実施形態のメモリデバイスの製造方法を説明するための断面工程図である。

[0088] 図7に示されるように、絶縁層72（及び絶縁層72a）が、例えば、CVD（Chemical Vapor Deposition）法によって、基板100の半導体層101上に形成される。犠牲層79が、例えば、CVD法（又は、スパッタ法）によって、絶縁層72上に、形成される。絶縁層72が、犠牲層79上に形成される。このように、絶縁層72及び犠牲層79が、交互に形成される。

[0089] 絶縁層75は、最上層の犠牲層79上に、形成される。例えば、絶縁層75の上面は、CMP（Chemical Mechanical Polishing）法によって平坦化される。

[0090] これによって、積層体50Aが、基板100上に形成される。

[0091] 積層体50A内の犠牲層79の数は、ストリングユニット（NANDストリング）のワード線WLの数及びセレクトゲート線SGD、SGSの数に依る。

[0092] 犠牲層79と絶縁層72との間のエッチング選択比が大きくなるように、犠牲層79及び絶縁層72の材料が選択されることが望ましい。例えば、絶

縁層 7 2 の材料が、酸化シリコンである場合、犠牲層の材料は、シリコンゲルマニウム、又は、窒化シリコンである。

[0093] 尚、積層体 5 0 A の形成前に、半導体層 1 0 1 下方の領域（図示せず）内に、トランジスタ（図示せず）及び配線（図示せず）が形成されてもよい。これによって、NAND 型フラッシュメモリの周辺回路が形成される。

[0094] 図 8 に示されるように、メモリピラーが形成される領域内のそれぞれにおいて、メモリホール MH が、積層体 5 0 A 内に、形成される。

[0095] 例えば、マスク層 9 9 が、絶縁層 7 5 上に形成される。メモリピラーが形成される領域において、開口部が、フォトリソグラフィ及びエッチングによって、マスク層 9 9 内に形成される。開口部を有するマスク層 9 9 に基づいて、積層体 5 0 A に対するエッチングが、実行される。R I E（Reactive Ion Etching）のような異方性エッチングが、メモリホール MH の形成のためのエッチングに用いられる。

[0096] これによって、メモリホール MH が、積層体 5 0 A 内に形成される。

[0097] このように、メモリホール MH は、複数の絶縁層 7 2、7 5 及び複数の犠牲層 7 9 を貫通する。メモリホール MH は、半導体層 1 0 1 に達する。

[0098] 例えば、メモリホール MH の形成の後、結晶層（図示せず）が、M I L C（Metal Induced lateral crystallization）法によって、半導体層 1 0 1 の表面（露出面）上に形成されてもよい。

[0099] 図 9 に示されるように、マスク層が除去された後、メモリ層 8 0 が、積層体 5 0 A の上面、及び、メモリホール MH 内の積層体 5 0 A の側面（メモリホール MH の内壁）上に、形成される。

[0100] 半導体層 1 0 2 上（メモリホール底部）のメモリ層が除去された後、シリコン層（半導体層）8 2 が、メモリ層 8 0 上に、形成される。例えば、シリコン層 8 2 Z は、ポリシリコン層である。ポリシリコン層 8 2 Z によってメモリホール MH 内が埋め込まれないように、ポリシリコン層 8 2 Z の膜厚（例えば、ポリシリコン層の形成時間）が、制御される。尚、メモリホール MH の底部のメモリ層の除去時においてメモリホール MH の内壁（側面）のメ

メモリ層が除去されない（又は劣化しない）ように、保護層（例えば、シリコン層）が、メモリ層の除去の前にメモリ層上に形成されてもよい。

[0101] 図10に示されるように、積層体50Aの上部側のシリコン層に対して、アモルファス化のための処理（以下において、アモルファス化処理とよばれる）が、施される。

[0102] 本実施形態において、イオン注入（イオン照射）又はプラズマ処理が、シリコン層82の上部のアモルファス化処理として、実行される。イオン注入によって、シリコン層がアモルファス化される場合、例えば、ボロン、炭素、ゲルマニウム、アルゴン、キセノン、フッ素、及びBF₂などの中から選択される少なくとも1つが、シリコン層82の上部（メモリホールの開口側の部分）のアモルファス化のためのイオン注入のイオン種として、選択される。

[0103] イオン注入におけるイオン種のドーズ量は、 10^{13} cm^{-2} から 10^{16} cm^{-2} （ $10^{13} / \text{cm}^2$ から $10^{16} / \text{cm}^2$ ）程度に設定される。例えば、メモリホールMHの開口部近傍において、絶縁層75の側面上のシリコン層82をアモルファス化するために、イオンの入射角が、基板100の表面に対して所定の角度（例えば、 $30^\circ \sim 60^\circ$ 程度）に傾くように、設定されてもよい。

[0104] シリコン層82内におけるイオンが注入（添加）された部分は、イオン衝突による結晶粒の破壊、又は、シリコン元素とイオン種を形成する元素との化学反応などによって、アモルファス化する。

[0105] これによって、図11に示されるように、シリコン層82において、アモルファス化処理によりイオンが注入された部分820Aは、多結晶状態からアモルファス状態に、変化する。アモルファス化処理において、シリコン層82におけるイオンが注入（照射）されなかった部分（又はプラズマに曝されなかった部分）822Aは、多結晶状態を維持する。

[0106] 例えば、アモルファス状態の部分（アモルファスシリコン層）820A及び多結晶状態の部分（ポリシリコン層）822Aは、連続した層である。

- [0107] この時、アモルファスシリコン層 820A の膜厚 T_a は、ポリシリコン層 822A の膜厚 T_b と実質的に同じである。但し、シリコン層 82A の形成方法（堆積方法）及び／又はアモルファス化処理に応じて、シリコン層 82A の上部側の部分（アモルファスシリコン層 820A）の膜厚 T_a が、シリコン層 82A の下部側の部分（ポリシリコン層 822A）の膜厚 T_b より厚い場合もある。
- [0108] アモルファスシリコン層 820A は、イオン注入に用いられたイオン種を不純物として、含む。それゆえ、アモルファスシリコン層 820A の不純物濃度（例えば、ボロン又は炭素の濃度）は、ポリシリコン層 822A の不純物濃度より高い。
- [0109] イオン注入に、 BF_2 が用いられた場合、アモルファスシリコン層 820A は、ボロンを含むとともに、フッ素を含むこともある。
- [0110] 尚、プラズマ処理によって、アモルファスシリコン層 820A が形成された場合、例えば、プラズマ処理の後、上述のイオン種を用いたイオン注入（例えば、ボロン又は炭素のイオン注入）が、アモルファスシリコン層 820A に対して、実行される。
- [0111] 図 12 に示されるように、シリコン層 82 の上部のアモルファス処理の後、シリコン層 82 に対するスリミングが、実行される。シリコン層 82 のスリミングは、RIE、ウェットエッチング、ガスエッチング、又は CDE (Chemical Dry Etching) によって、実行される。これによって、シリコン層 82 の膜厚は、薄くされる。
- [0112] シリコン層 82 の上部シリコン層 820 は、比較的平坦な表面を有する。それゆえ、上部シリコン層 820 は、比較的均一にエッチングされる。
- [0113] ここで、同じエッチング条件下であっても、シリコン層 82 内の不純物濃度（例えば、ボロン又は炭素）の違いに起因して、シリコン層 82 の各部分 820, 822, 824 のエッチングレートの差異が、生じ得る。例えば、ポリシリコンのエッチング条件において、比較的高いボロン（又は炭素）の濃度を有するシリコン層 820 のエッチングレートは、ポリシリコン層 82

0中のボロンの濃度よりも低いボロンの濃度を有するポリシリコン層822, 824のエッチングレートより小さい。

[0114] それゆえ、上部シリコン層がボロン及び／又は炭素を含む場合において、シリコン層82に対するスリミングによって、シリコン層82のうち、上部シリコン層820の膜厚T1は、中部シリコン層822Aの膜厚T2より厚くなる。

[0115] ウェットエッチング（等方性エッチング）がシリコン層82のスリミングに用いられた場合において、メモリホールMHの底部側（積層体50Aの下部側）のポリシリコン層824が、メモリホールMHの中央部近傍（積層体50Aの中央部近傍）のポリシリコン層822よりも、大きくエッチングされる場合がある。この場合において、メモリホールMH内の底部側におけるポリシリコン層（下部シリコン層）824の膜厚T3は、メモリホールMHの中央部近傍のポリシリコン層（中部シリコン層）822の膜厚T2より薄くなる。下部ポリシリコン層824の表面は、曲面になる。下部ポリシリコン層824の表面は、曲面になる。下部ポリシリコン層824の露出面の形状は、U字状になる。

[0116] メモリホールMHの開口部（隣り合う2つの積層体）において、Y方向（又はX方向）におけるアモルファスシリコン層820間の間隔D1は、Y方向におけるポリシリコン層822間の間隔D2より小さくなる。それゆえ、メモリホールMHにおいて、Y方向（又はX方向）におけるそのメモリホールMHの上部（開口部）側の空隙の寸法D1は、Y方向におけるそのメモリホールMHの中央部における空隙の寸法D2より小さくなる。例えば、Y方向におけるそのメモリホールMHの下部（底部）側における空隙の寸法D3は、Y方向におけるそのメモリホールMHの中央部近傍における空隙の寸法D2より大きくなる。

[0117] シリコン層82のアモルファス化された部分820Aにおいて、エッチング条件下に曝されるシリコンの結晶面、結晶粒及び結晶粒界に関するエッチングレートの違いは、小さくなる。それゆえ、アモルファスシリコン層82

0 Aは、比較的均質にエッチングされる。積層体50Aの上部において、メモリホールMHの開口部側の絶縁層75は、比較的厚い膜厚T1を有するシリコン層822によって、覆われる。

[0118] 図13に示されるように、シリコン層に対するスリミングの後、コア層（例えば、酸化シリコン層）84が、シリコン層82上に堆積される。これによって、メモリホールMH内に、コア層84が、形成される。

[0119] ポリシリコン層822上のコア層84によってメモリホールMH内部が埋め込まれる前に、メモリホールMHの開口部が、アモルファスシリコン層820上のコア層84によって、閉塞する場合がある。この場合において、エアギャップ90が、メモリホールMH（メモリピラーMP）内に形成される。これによって、メモリピラーMPは、コア層84内にエアギャップ90を含む構造を有する。

[0120] エアギャップ90の上端PPは、アモルファスシリコン層820の下端より基板100側（メモリピラーの下部側）に位置する。

[0121] 図14に示されるように、コア層84に対するエッチング（エッチバック）が、実行される。これによって、コア層84の上端の位置は、積層体50Aの上部（絶縁層75の上面）より基板100側に後退される。

[0122] 上述のように、シリコン層82の上部側の部分820は、アモルファスシリコン層820である。アモルファスシリコン層820の上面（露出面）は、比較的均質（平坦）である。比較的厚いアモルファスシリコン層820が、積層体50Aの上部を覆っている。

[0123] それゆえ、コア層（酸化シリコン）84のエッチング時において、酸化シリコンのエッチング条件下に曝されたとしても、比較的厚いアモルファスシリコン層820が積層体50Aの上部を覆っているため、上部シリコン層の不均一性（例えば、シリコン層の局所的に薄い部分に起因する不良、及び／又は、結晶性の違いに起因するエッチングレートの違い）に起因する積層体及びメモリ層の不良（例えば、パターンの崩壊、層の意図しないエッチング）の発生は、抑制できる。

- [0124] 図15に示されるように、シリコン層86Aが、積層体50A及びコア層84上に、形成される。シリコン層86Aは、アモルファスシリコン層である。
- [0125] 図16に示されるように、アモルファスシリコン層86、シリコン層82、及び、メモリ層80が、例えば、RIEによって、積層体50Aの上面上から除去される。これによって、メモリピラーMP及びメモリ層80が、積層体50AのメモリホールMH内に、形成される。
- [0126] この後、スリット（図示せず）が、積層体の端部及びストリングユニットの境界部分に形成される。犠牲層79が、スリットを介したエッチングによって、選択的に除去される。積層体の絶縁層72間のスペースに、導電層が、形成される。これによって、ワード線WL及びセレクトゲート線SGD、SGSが、形成される。
- [0127] この結果として、図6に示されるように、ワード線WLとしての導電層70がメモリピラーMPに対向する位置に、メモリセルMCが形成される。セレクトゲート線SGDとしての導電層70がメモリピラーMPに対向する位置に、セレクトトランジスタST1が形成される。セレクトゲート線SGSとしての導電層70がメモリピラーMPに対向する位置に、セレクトトランジスタST2が形成される。
- [0128] 導電層70が形成された後、絶縁層（図示せず）が、スリット内に埋め込まれる。
- [0129] 複数のコンタクトが、メモリピラー及び導電層70に接続されるように、形成される。コンタクトに接続される配線（例えば、ビット線）が、形成される。
- [0130] 尚、メモリピラーMPのアモルファスシリコン層820は、NAND型フラッシュメモリの製造工程中にシリコン層に印加される熱によって、結晶化（例えば、微結晶化）する場合がある。但し、アモルファスシリコン層820から微結晶シリコン層への変化は、コア層84に対するエッチング後に生じる。それゆえ、コア層84に対するエッチング時において、シリコン層8

2の平坦性は、維持される。

[0131] また、製造工程中の熱によって、イオン注入のイオン種に含まれるアルゴン、キセノン又はフッ素は、シリコン層820内から脱離する場合もある。

[0132] 以上の製造方法によって、本実施形態のNAND型フラッシュメモリが、形成される。

[0133] (c) まとめ

上述のように、本実施形態のNAND型フラッシュメモリ1において、NANDストリングNSのメモリピラーMPの上部側において、シリコン層82は、アモルファスシリコン層820を含む。

[0134] 本実施形態のNAND型フラッシュメモリの製造方法において、アモルファスシリコン層820は、シリコン層（ポリシリコン層）に対するイオン注入によって、形成される。

[0135] イオン注入によるシリコン層のアモルファス化によって、シリコン層（アモルファスシリコン層）の表面が、均質化／平坦化される。

[0136] 図17は、シリコン層に対するイオン注入のドーズ量とシリコン層の表面粗さとの関係を示すグラフである。

[0137] 図17において、グラフの横軸（Logスケール）はドーズ量（単位： cm^{-2} ）に対応し、グラフの縦軸は、シリコン層の表面粗さ R_q （単位： nm ）に対応する。

[0138] 図17の実験におけるイオン注入において、イオン注入のイオン種に、ボロン（B）、アルゴン（Ar）、炭素（C）、フッ化ボロン（ BF_2 ）、が用いられている。

[0139] 例えば、エッチング前（スリミング前）のノンドープポリシリコン層の表面粗さ R_p は、0.6nm程度である。エッチング後のノンドープポリシリコン層の表面粗さは、0.2nm程度であることが好ましい。

[0140] 図17に示されるように、各イオン種に関して、ドーズ量が $1 \times 10^{14} \text{cm}^{-2}$ を超えると、シリコン層の表面粗さ R_q の値は、小さくなる。この結果は、シリコン層に対するイオン注入（シリコン層のアモルファス化）によっ

て、シリコン層の表面が、均質化及び/又は平坦化されていることを示す。

[0141] このように、シリコン層のアモルファス化によって、シリコン層の平坦性が向上する。

[0142] この結果として、シリコン層の比較的均質なエッチングが、可能になる。

[0143] 図18は、イオン注入に用いられるイオン種の質量数とシリコン層の表面粗さの関係を示すグラフである。

図18において、グラフの横軸はイオン注入に用いられるイオン種の質量数に対応し、グラフの縦軸は、シリコン層の表面粗さ R_q （単位：nm）に対応する。

[0144] 図18において、イオン注入のドーズ量は、 $1 \times 10^{14} \text{ cm}^{-2}$ 及び $2 \times 10^{15} \text{ cm}^{-2}$ に設定されている。

[0145] 図18に示されるように、ボロン、炭素及びフッ素のように、イオン種の質量数が比較的小さい場合、ドーズ量が $2 \times 10^{15} \text{ cm}^{-2}$ 程度に設定された場合に、シリコン層の表面粗さは、小さくなる。

[0146] アルゴン及び BF_2 のように、イオン種の質量数が比較的大きい場合、ドーズ量が $1 \times 10^{14} \text{ cm}^{-2}$ 及び $2 \times 10^{15} \text{ cm}^{-2}$ にそれぞれ設定された場合の両方で、シリコン層の表面粗さ R_q を小さくできる。

[0147] 図19は、シリコン層のスリミング量とシリコン層の表面粗さとの関係を示すグラフである。

図19において、グラフの横軸はシリコン層のスリミング量（エッチング量）（単位：a.u.）に対応し、グラフの縦軸はシリコン層の表面粗さ R_q （単位：nm）に対応する。図19において、各イオン種のドーズ量は、 $2 \times 10^{15} \text{ cm}^{-2}$ に設定されている。尚、0nmのスリミング量は、シリコン層に対するスリミングは実行されていない場合に対応する。

[0148] 図19に示されるように、スリミング量に依存せずに、イオン注入が施されたシリコン層は、0.15nmから0.3nmまでの範囲内の表面粗さを有する。これは、イオン注入によるシリコン層のアモルファス化によって、シリコン層が、比較的平坦化な表面を有していることを示している。

- [0149] 図20は、シリコン層に対するイオン注入（ドーピング）のドーズ量とシリコン層のエッチング量との関係を示すグラフである。
- [0150] 図20において、グラフの横軸（Logスケール）はドーズ量（単位： cm^{-2} ）に対応し、グラフの縦軸は、エッチング量（単位： $\text{\AA}$ ）に対応する。
- [0151] シリコン層中の不純物濃度は、イオン注入のドーズ量と相関関係を有する。一般に、イオン注入のドーズ量が大きくなると、シリコン層におけるイオン注入のイオン種に起因する不純物濃度は、増加する。
- [0152] 本実施形態において、シリコン層82における各部分820、822の不純物濃度の違いに起因して、エッチングレートの違いが各部分820、822間で生じる。
- [0153] 図20に示されるように、シリコン層の不純物濃度が高くなると、シリコン層のエッチングレートは小さくなる。
- [0154] 本実施形態において、シリコン層82において、高い不純物濃度を有する部分820のエッチングレートは、低い不純物濃度を有する部分822のエッチングレートより小さい。
- [0155] それゆえ、本実施形態のように、積層体50Aの上部側において、積層体の中部及び下部側のポリシリコン層822、824に比較して、厚い膜厚を有するポリシリコン層820Xが、形成される。
- [0156] 例えば、シリコン層がボロン又は炭素を含む場合、不純物濃度に応じたシリコン層のエッチングレートの違いは、顕著になる。
- [0157] このように、ポリシリコン層82内の不純物濃度の違いにより、ポリシリコン層82の各部分820、822のエッチングレートを制御できる。
- [0158] この結果として、本実施形態において、ポリシリコン層82の上部820Xの膜厚T1は、ポリシリコン層82の中部822及び下部824の膜厚T2、T3より厚くできる。
- [0159] 図17乃至図19に示されるように、本実施形態のフラッシュメモリにおいて、メモリピラーの上部側のシリコン層は、アモルファス化される。

- [0160] 本実施形態において、このようなシリコン層のうちメモリホールの上部側の部分のアモルファス化により、積層体の上部を覆うシリコン層（アモルファスシリコン層）の平坦性が向上する。これによって、シリコン層に対するスリミング（エッチング）時において、積層体の上部のシリコン層が、比較的均質にエッチングされる。
- [0161] また、図20に示されるように、本実施形態において、積層体の上部を覆うシリコン層に対して所望の不純物（例えば、ボロン又は炭素）が、選択的に添加される。これによって、本実施形態において、シリコン層に対するスリミング時において、積層体の上部側のシリコン層が、比較的厚い膜厚を有するように、積層体上に残存する。
- [0162] それゆえ、本実施形態のフラッシュメモリにおいて、3次元構造メモリセルアレイ内の積層体の上部側のパターンの崩壊が、防止される。この結果として、本実施形態は、フラッシュメモリにおける不良の発生を、抑制できる。
- [0163] さらに、質量数の大きいイオン種をイオン注入に用いた場合、アモルファス化のためのイオン注入のドーズ量は、低減できる。これに伴って、本実施形態において、シリコン層82中の不純物濃度を、低減できる。また、シリコンに対してn型／p型のドーパントとして作用しないイオン種を用いることによって、イオン注入に起因するシリコン層内のn型／p型ドーパントの増加を、回避できる。例えば、アルゴン及びキセノンのように、シリコンに対して不活性で、ボロンより質量数の大きいイオン種が、選択されることが好ましい。
- [0164] この結果として、本実施形態のNAND型フラッシュメモリ及びその製造方法は、シリコン層82内の不純物に起因したトランジスタ及びメモリセルへの悪影響（例えば、しきい値電圧の変動）を、抑制できる。
- また、本実施形態は、コア層のエッチバック時に、メモリピラー（メモリホール）内のエアギャップが露出するのを、防止できる。この結果として、本実施形態において、キャップ層の形成時において、キャップ層のパターン

の歪み（崩壊）が、抑制され得る。

[0165] 以上のように、本実施形態は、メモリデバイスの歩留まりを向上できる。

[0166] (2) 第2の実施形態

図21乃至図23を参照して、第2の実施形態のメモリデバイス及びその製造方法について、説明する。

[0167] (a) 構成

図21を用いて、第2の実施形態のメモリデバイスの構成について、説明する。

図21は、本実施形態のメモリデバイス（例えば、NAND型フラッシュメモリ）の構造例を説明するための模式的な断面図である。

[0168] 上述（例えば、図20参照）のように、メモリピラーMPの上部のシリコン層に対するイオン注入によって、メモリピラーMPの上部のシリコン層の表面状態及び膜厚が、制御され得る。積層体の上部に比較的厚い膜厚を有するシリコン層を残存させることが可能であれば、積層体の上部側におけるシリコン層の部分は、アモルファス化されなくともよい。

[0169] 本例において、図21に示されるように、メモリピラーMPの上部側（積層体の上部側、又は、メモリホールの上側）のシリコン層（上部シリコン層）820Xは、ポリシリコン層である。但し、上部シリコン層820Xの一部分が、アモルファスシリコン領域、又は、微結晶シリコン領域である場合もある。

[0170] 本実施形態においても、メモリピラーMPの上部側におけるシリコン層82の部分（ポリシリコン層）820Xの膜厚T1は、メモリピラーMPの中央近傍におけるシリコン層82の部分（ポリシリコン層）822の膜厚T2より厚い。

[0171] 上部シリコン層820Xは、例えば、ボロン及び炭素のうち少なくとも1つを含む。

[0172] 上部シリコン層820Xの不純物濃度（例えば、ボロンの濃度は）は、中部／下部シリコン層822、824の不純物濃度より高い。上部シリコン層

８２０Ｘがボロンを含む場合、上部シリコン層８２０Ｘは、ボロンに加えて、フッ素を含む場合もある。

[0173] (b) 製造方法

図２２及び図２３を用いて、第２の実施形態のメモリデバイスの製造方法について、説明する。

図２２及び図２３は、本実施形態のメモリデバイス（例えば、ＮＡＮＤ型フラッシュメモリ）の製造方法の各工程を説明するための模式的な断面工程図である。

[0174] 図２２に示されるように、図７及び図８の工程と同様に、メモリホールＭＨが、積層体５０Ａ内に形成される。

[0175] メモリホールＭＨが形成された後、図９の工程と同様に、メモリ層８０が、積層体５０Ａ上に形成される。第１の実施形態と同様に、メモリ層８０は、ブロック層８０１、電荷蓄積層８０２、及び、トンネル絶縁層８０３を含む。

[0176] シリコン層８２Ｂが、メモリ層８０のトンネル絶縁層８０３上に、形成される。これによって、シリコン層８２Ｂが、積層体５０Ａ内のメモリホールＭＨの内壁に沿って形成される。シリコン層８２Ｂは、ポリシリコン層である。

[0177] 本実施形態において、ポリシリコン層８２Ｂが形成された後、アモルファス化処理の実行無しに、ポリシリコン層８２Ｂに対するイオン注入が実行される。イオン注入に用いられるイオン種は、例えば、ボロン及び／又は炭素を含む。例えば、ボロン又は炭素を含むイオン種のドーズ量は、 $1.0 \times 10^{14} \text{ cm}^{-2}$ から $1.0 \times 10^{15} \text{ cm}^{-2}$ に設定される。

[0178] これによって、積層体５０Ａの上部側のポリシリコン層８２Ｂの部分８２０Ｘ内に、不純物が、添加される。

[0179] イオン注入に用いられたイオン種に応じて、積層体５０Ａの上部側の部分８２０Ｘの不純物濃度は、積層体５０Ａの中央部側及び底部側のポリシリコン層の部分８２２Ａの不純物濃度より高くなる。

- [0180] 尚、ポリシリコン層 8 2 に対するイオン注入に、 BF_2 が用いられてもよい。この場合、ポリシリコン層 8 2 の部分 8 2 0 X は、ボロンに加えて、フッ素を含む場合もある。部分 8 2 0 X 中のフッ素の濃度は、部分 8 2 0 X 中のボロンの濃度より低い。
- [0181] 以下において、積層体 5 0 A を覆うポリシリコン層 8 2 B のうち、イオン注入によって比較的高い不純物濃度を有する部分 8 2 0 X は、高不純物濃度ポリシリコン層 8 2 0 X と、よばれる。ポリシリコン層 8 2 B のうち、高不純物濃度ポリシリコン層 8 2 0 X 以外の部分（例えば、積層体 5 0 A の中央部側及び底部側のポリシリコン層）8 2 2 A は、低不純物濃度ポリシリコン層 8 2 2 A とよばれる。
- [0182] シリコン層に対するイオン注入の後、図 2 3 に示されるように、ポリシリコン層 8 2 B に対して、ポリシリコン層 8 2 B のスリミングのためのエッチングが実行される。
- [0183] 上述のように、本実施形態において、シリコン層 8 2 B 内の不純物濃度（ボロン又は炭素の濃度）の違いに応じて、シリコン層 8 2 A の各部分 8 2 0 X、8 2 2 A、8 2 4 A のエッチングレートの大きさに、違いが生じる。
- [0184] 高不純物濃度ポリシリコン層 8 2 0 X のエッチングレートは、低不純物濃度ポリシリコン層 8 2 2 A、8 2 4 A のエッチングレートより小さい。
- [0185] それゆえ、高不純物濃度ポリシリコン層 8 2 0 X の膜厚 T_1 が、低不純物濃度ポリシリコン層 8 2 2 A、8 2 4 A の膜厚 T_2 、 T_3 より厚い状態で、ポリシリコン層 8 2 B が積層体 5 0 A 上（メモリホール MH 内）に、残存する。
- [0186] この結果として、基板 1 0 0 の表面に対して平行方向におけるメモリホール MH の上部側の空隙の寸法 D_1 は、基板 1 0 0 の表面に対して平行方向におけるメモリホール MH の底部側の空隙の寸法 D_2 より、小さくなる。
- [0187] また、第 1 の実施形態と同様に、ポリシリコン層 8 2 のスリミングがウェットエッチング（等方性エッチング）によって実行された場合、メモリホール MH の底部側におけるポリシリコン層 8 2 の部分 8 2 4 A の膜厚 T_3 は、

メモリホールMHの中央部近傍におけるポリシリコン層82の部分822Aの膜厚T2より薄くなる場合がある。

[0188] この後、図12乃至図16の工程と同様に、コア層84がシリコン層82上に形成される。例えば、コア層84に囲まれるように、エアギャップ90が、メモリピラーMP内に形成される。エアギャップ90の上端は、高不純物濃度シリコン層820Xの下部の位置よりメモリピラーMPの底部側に位置する。

[0189] コア層（酸化シリコン層）84に対して、エッチバック（エッチング）が実行される。この時、積層体50Aの上部は、比較的厚い膜厚を有するポリシリコン層（高不純物濃度ポリシリコン層）820Xで、覆われている。また、高不純物濃度ポリシリコン層820Xの表面は、比較的平坦である。それゆえ、コア層84のエッチングの条件下において、積層体50Aの上部における欠陥の発生が、防止される。

[0190] 上述のように、キャップ層（アモルファスシリコン層）86が、コア層84の上部に、形成される。犠牲層79が導電層70に置換された後、コンタクトが、適宜形成される。

[0191] 以上の製造方法によって、本実施形態のNAND型フラッシュメモリが、形成される。

[0192] （c）まとめ

上述のように、本実施形態のNAND型フラッシュメモリ1において、NANDストリングNSのメモリピラーMPの上部側におけるポリシリコン層820Xの不純物濃度は、は、メモリピラーMPの下部側におけるポリシリコン層822、824の不純物濃度よりも高い。

[0193] この結果として、本実施形態において、ポリシリコン層に対するエッチング処理の後において、比較的厚い膜厚を有するポリシリコン層820Aが、積層体50A上に残存する。

[0194] それゆえ、本実施形態のNAND型フラッシュメモリ及びその製造方法は、コア層に対するエッチング時において、積層体50A内に不良が生じるの

を、抑制できる。

[0195] したがって、第2の実施形態のメモリデバイス及びその製造方法は、メモリデバイスの歩留まりを向上できる。

[0196] (3) 変形例

図24及び図25を参照して、実施形態のメモリデバイスの変形例について、説明する。

[0197] 図24は、実施形態のNAND型フラッシュメモリの変形例の一例を示す断面図である。

[0198] 図24に示されるように、エアギャップが、メモリピラーMP内に設けられなくともよい。メモリピラーMP内において、シリコン層82間の領域は、コア層（例えば、酸化シリコン層）84Xによって満たされる。

[0199] 本変形例のNAND型フラッシュメモリにおいても、第1及び第2の実施形態のNAND型フラッシュメモリと同様に、メモリピラーMPにおいて、上部シリコン層820の膜厚 T_1 は、中部シリコン層822の膜厚 T_2 より厚い。例えば、下部シリコン層824の膜厚 T_3 は、中部シリコン層822の膜厚 T_2 より薄い。

[0200] 例えば、上部シリコン層820の不純物濃度は、中部シリコン層822の不純物濃度より高い。上部シリコン層820は、アモルファス層、微結晶層、又は、多結晶層である。

[0201] 図25は、実施形態のNAND型フラッシュメモリの変形例の一例を示す断面図である。

[0202] 図25に示されるように、アモルファス化処理のため処理方法（例えば、プラズマ処理）及びイオン注入のイオン種／ドーズ量に応じて、上部シリコン層820Zの膜厚 T_z が、中部シリコン層822の膜厚 T_2 及び下部シリコン層824の膜厚 T_3 が、実質的に同じ場合もある。

[0203] 図25の例において、上部シリコン層820Zは、アモルファスシリコン層であり、中部／下部シリコン層822、824は、ポリシリコン層である。

- [0204] アモルファスシリコン層 820Z は、プラズマ処理によって、形成される。例えば、この場合において、上部シリコン層 820Z の不純物濃度は、中部／下部シリコン層 824 の不純物濃度と実質的に同じである。尚、ポリシリコン層に対するイオン注入によって、アモルファスシリコン層 820Z が、形成されてもよい。
- [0205] 尚、シリコン層 82 のスリミングのための処理方法に応じて、下部シリコン層 824 の膜厚が、中部シリコン層 822 の膜厚（及び上部シリコン層 820Z の膜厚）と実質的に同じである場合もある。
- [0206] 本変形例のメモリデバイスは、第 1 及び第 2 の実施形態と同様の効果を得ることができる。
- [0207] （４） 第 3 の実施形態
- 図 26 乃至図 31 を参照して、第 3 の実施形態のメモリデバイス及びその製造方法について、説明する。
- [0208] （a） 構成
- 図 26 を用いて、第 3 の実施形態のメモリデバイスの構成について、説明する。
- [0209] 図 26 は、本実施形態のメモリデバイスの構造例を説明するための模式的な断面図である。
- [0210] 上述のように、メモリピラー MP の上部のシリコン層に対する不純物の注入によって、メモリピラー MP の上部のシリコン層の表面状態及び膜厚が、制御され得る。しかしながら、不純物が注入されるシリコン層は、シリコン層 82 に限られない。例えば、不純物が注入されるシリコン層は、メモリホール MH 底部のメモリ層 80 の除去時において、メモリホール MH の内壁（側面）のメモリ層 80 が除去されない（又は劣化しない）ようにメモリ層 80 上に形成される保護層（シリコン層）であってもよい。
- [0211] 本実施形態において、図 26 に示されるように、メモリピラー MP の上部側（積層体の上部側、又は、メモリホール MH の上部側）のシリコン層は、上部シリコン層 81 と、上部シリコン層 820Y と、を含む。上部シリコン

層 8 1 は、メモリピラーMPの上部側のうちのメモリ層 8 0 上に形成された部分であり、上部シリコン層 8 2 0 Yは、当該上部シリコン層 8 1 上に形成されてコア層 8 4 の上部及びシリコン層 8 6 と接する部分である。上部シリコン層 8 2 0 Yは、シリコン層 8 2（ポリシリコン層）の部分でもある。

[0212] 上部シリコン層 8 1 は、例えば、上部シリコン層 8 2 0 Yと同様ポリシリコン層であり、上部シリコン層 8 2 0 Yと区別不可であり得る。なお、上部シリコン層 8 1 は、アモルファスシリコン領域、又は、微結晶シリコン領域である場合もある。

[0213] 本実施形態において、上部シリコン層 8 2 0 Yの膜厚 $T1b$ と、中部シリコン層 8 2 2 の膜厚 $T2$ とは、同程度の厚さである。また、上部シリコン層 8 1 の膜厚 $T1a$ と、上部シリコン層 8 2 0 Yの膜厚 $T1b$ との合計の膜厚 $T1$ は、メモリピラーMPの中央近傍におけるシリコン層 8 2 の部分（中部シリコン層）8 2 2 の膜厚 $T2$ より厚い。これに伴って、上部シリコン層 8 1 及び 8 2 0 Yの粒径は、中部／下部シリコン層 8 2 2, 8 2 4 の粒径よりも大きい。

[0214] 上部シリコン層 8 1 は、例えば、ボロン、フッ化ボロン (BF_2)、リン、及びアルゴンから選択される少なくとも 1 つを不純物として含む。上部シリコン層 8 1 の不純物濃度（例えば、ボロンの濃度）は、中部／下部シリコン層 8 2 2, 8 2 4 の不純物濃度より高い。

[0215] また、上部シリコン層 8 2 0 Yの不純物濃度は、上部シリコン層 8 1 の不純物濃度よりも低い、上部シリコン層 8 1 の不純物濃度と同程度の場合もある。上部シリコン層 8 2 0 Yの不純物濃度が上部シリコン層 8 1 の不純物濃度と同程度の場合、上部シリコン層 8 2 は、例えば、ボロン、フッ化ボロン (BF_2)、リン、及びアルゴンから選択される少なくとも 1 つを不純物として含み得る。

[0216] (b) 製造方法

図 2 7 乃至図 3 1 を用いて、第 3 の実施形態のメモリデバイスの製造方法について、説明する。

- [0217] 図27乃至図31は、本実施形態のメモリデバイスの製造方法の各工程を説明するための模式的な断面工程図である。図27は、第1の実施形態において説明した図8の工程（すなわち、積層体50A内にメモリホールMHが形成される工程）に続く工程を説明するものである。
- [0218] 図27に示されるように、図9の工程と同様に、マスク層が除去された後、メモリ層80が、積層体50Aの上面、及び、メモリホールMH内の積層体50Aの側面（メモリホールMHの内壁）上に、形成される。
- [0219] メモリ層80が形成された後、メモリホールMH内壁に形成されたメモリ層80を保護しつつメモリホールMHの底部に形成されたメモリ層80の部分を除去するために、シリコン層81Zが、メモリ層80上に、形成される。これによって、シリコン層81Zが、積層体50A内のメモリホールMHの内壁に沿って形成される。シリコン層81Zは、例えば、ポリシリコン層である。
- [0220] 図28に示されるように、シリコン層81Z及びメモリ層80のうち、メモリホールMHの底部に形成された部分が選択的に除去される。RIEのような異方性エッチングが、メモリホールMHの底部のエッチングに用いられる。これにより、メモリホールMHの底部は、例えば、半導体層102に達する。
- [0221] メモリホールMHの底部のメモリ層80が除去された後、図29に示されるように、シリコン層81Zが除去される前に、例えば、図10に示された方法と同様の方法によって、シリコン層81Zに対する不純物注入が実行される。不純物注入に用いられる不純物は、例えば、ボロン、フッ化ボロン（ BF_2 ）、リン、及びアルゴンから選択される少なくとも1つを含む。
- [0222] これによって、積層体50Aの上部側のシリコン層81Zの部分（上部シリコン層）810Z内に、不純物が、添加される。
- [0223] 不純物注入に用いられた不純物に応じて、上部シリコン層810Zの不純物濃度は、シリコン層81Zのうちの上部シリコン層810Z以外の部分（中央部側及び底部側のシリコン層）812Zの不純物濃度より高くなる。

- [0224] 以下において、積層体50Aの上面及びメモリホールMH内の側面上を覆うシリコン層81Zのうち、不純物注入によって比較的高い不純物濃度を有する上部シリコン層810Zは、高不純物濃度シリコン層810Zとも呼ばれる。シリコン層81Zのうち、高不純物濃度シリコン層810Z以外の部分（中央部側及び底部側のシリコン層）812Zは、低不純物濃度シリコン層812Zとも呼ばれる。
- [0225] 上部シリコン層810Zに対する不純物注入の後、図30に示されるように、シリコン層81Zに対して、低不純物濃度シリコン層812Zを除去するためのエッチングが実行される。エッチングには、例えば、ウェットエッチングが用いられる。
- [0226] 本実施形態において、シリコン層81Zに対するウェットエッチングレート（WER）の大きさは、シリコン層81Z内の不純物濃度の違いに応じて、高不純物濃度シリコン層810Zと低不純物濃度シリコン層812Zとの間で違いが生じる。より具体的には、高不純物濃度シリコン層810Zのウェットエッチングレートは、低不純物濃度シリコン層812Zのウェットエッチングレートより小さい。それゆえ、低不純物濃度シリコン層812Zがメモリ層80から剥離した際に、高不純物濃度シリコン層810Z（シリコン層81）は、メモリ層80上に膜厚T1aだけ残存し得る。
- [0227] シリコン層81の膜厚T1aの厚さは、制御可能であることが好ましい。すなわち、ウェットエッチングレートを適切な値に制御することにより、ウェットエッチング後に残存させる高不純物濃度シリコン層810Zの膜厚T1aの厚さを所望の値に制御可能であることが好ましい。
- [0228] 例えば、ウェットエッチングにおけるエッチングレートは、注入される不純物のドーズ量と相関を有することが好ましい。不純物として選択され得るボロン、フッ化ボロン、リン、及びアルゴンのうち、ボロン及びフッ化ボロンは、リン及びアルゴンよりも、ドーズ量と、エッチングレートとの間に強い相関を有する。より具体的には、ボロン及びフッ化ボロンが不純物として注入された場合は、リン及びアルゴンが不純物として注入された場合よりも

、ドーズ量が大きいほど剥離するシリコン層の厚さが薄くなる（残存するシリコン層の厚さが厚くなる）傾向が強い。このため、シリコン層 8 1 に注入される不純物は、ボロン又はフッ化ボロンが選択されることがより好ましい。

[0229] 低不純物濃度シリコン層 8 1 2 Z が除去された後、図 3 1 に示されるように、シリコン層 8 2 が、高不純物濃度シリコン層 8 1 0 Z の上面、及びメモリホール MH 内の積層体 5 0 A の側面（メモリホール MH の内壁）上に形成される。

[0230] これによって、メモリ層 8 0 のうちのメモリホール MH 上部上に形成されたシリコン層の膜厚は、メモリホール MH 中央部側及び底部側のメモリ層 8 0 上に形成されたシリコン層の膜厚よりも、高不純物濃度シリコン層 8 1 0 Z（図 2 6 の上部第 1 シリコン層 8 1 に相当）の膜厚 $T1a$ 分だけ厚くなる。

[0231] シリコン層 8 2 の形成後、シリコン層 8 2 に対するスリミングのためのエッチングが実行される。シリコン層 8 2 のエッチングレートは、例えば、メモリホール MH の上部側と、中央部側及び底部側とで、同程度となり得る。それゆえ、スリミングが終了した後におけるシリコン層 8 2 の上部（上部シリコン層 8 2 0 Y に相当）の膜厚 $T1b$ は、スリミングが終了した後におけるシリコン層 8 2 の中央部（中部シリコン層 8 2 2 に相当）の膜厚 $T2$ と同程度となる。したがって、膜厚 $T1$ は、膜厚 $T2$ よりも、膜厚 $T1a$ 程度厚くなる。言い換えると、基板 1 0 0 の表面に対して平行方向におけるメモリホール MH の上部側の空隙の寸法 $D1$ は、基板 1 0 0 の表面に対して平行方向におけるメモリホール MH の中央部側の空隙の寸法 $D2$ より、小さくなる。

[0232] この結果として、上部シリコン層 8 1 0 Z 及び 8 2 0 Y は、中部／下部シリコン層 8 2 2，8 2 4 よりも厚膜条件下で結晶構造を形成することができる。これにより、上部シリコン層 8 1 0 Z 及び 8 2 0 Y は、中部／下部シリコン層 8 2 2，8 2 4 よりも粒径が大きいポリシリコンとなる。

[0233] なお、第1の実施形態と同様に、シリコン層82のスリミングがウェットエッチング（等方性エッチング）によって実行された場合、メモリホールMHの底部側におけるシリコン層82の部分824の膜厚T3は、メモリホールMHの中央部近傍におけるシリコン層82の部分822の膜厚T2より薄くなる場合がある。

[0234] この後、図12乃至図16の工程と同様に、コア層84がシリコン層82上に形成される。例えば、コア層84に囲まれるように、エアギャップ90が、メモリピラーMP内に形成される。エアギャップ90の上端は、上部シリコン層820Yの下部の位置よりメモリピラーMPの底部側に位置する。

[0235] コア層（酸化シリコン層）84に対して、エッチバック（エッチング）が実行される。この時、積層体50Aの上部は、比較的厚い膜厚を有する上部シリコン層810Z及び820Yで、覆われている。それゆえ、コア層84のエッチングの条件下において、積層体50Aの上部における欠陥の発生が、防止される。

[0236] 上述のように、キャップ層（アモルファスシリコン層）86が、コア層84の上部に、形成される。犠牲層79が導電層70に置換された後、コンタクトが、適宜形成される。

[0237] 以上の製造方法によって、本実施形態のNAND型フラッシュメモリが、形成される。

[0238] （c） まとめ

上述のように、本実施形態のNAND型フラッシュメモリ1において、メモリピラーMPの製造工程において形成されるシリコン層81Zのうちの上部シリコン層810Zの不純物濃度は、中央部側及び底部側のシリコン層812Zの不純物濃度よりも高い。

[0239] この結果として、本実施形態において、ポリシリコン層に対するエッチング処理の後において、比較的厚い膜厚を有するポリシリコン層810Z及び820Yが、積層体50A上に残存する。

[0240] それゆえ、本実施形態のNAND型フラッシュメモリ及びその製造方法は

、コア層に対するエッチング時において、積層体50A内に不良が生じるのを、抑制できる。

[0241] したがって、第2の実施形態のメモリデバイス及びその製造方法は、メモリデバイスの歩留まりを向上できる。

[0242] (5) 第4の実施形態

図32乃至図41を参照して、第4の実施形態のメモリデバイス及びその製造方法について、説明する。

[0243] (a) 構成

図32を用いて、第4の実施形態のメモリデバイスの構成について、説明する。

[0244] 図32は、本実施形態のメモリデバイスの構造例を説明するための模式的な断面図である。

[0245] 第1乃至第3の実施形態では、メモリピラーMPの上部のシリコン層の膜厚を制御することによって積層体内の欠損が抑制される場合について説明した。しかしながら、メモリピラーMPの上部のシリコン層は、膜厚を制御することなく、材質を改質化することによって積層体内の欠損が抑制されてもよい。

[0246] 本実施形態において、図32に示されるように、メモリピラーMPの上部側とは、基板100から垂直方向において、コア層84より上方の部分を示し、中部側及び下部側とは、コア層84が延在する部分を示すものとする。メモリピラーMPの上部側（積層体の上部側、又は、メモリホールMHの上部側）は、逆テーパ形状を有する。すなわち、メモリピラーMHの上部側の径は、基板100に対して上方に向かうごとに小さくなる。

[0247] メモリピラーMPの上部側は、シリコン層82の上部側（上部シリコン層820）と、キャップ層86と、改質化シリコン層820Pと、を含む。改質化シリコン層820Pは、上部シリコン層820の内側面のうちのメモリピラーMPの表面部分が改質化した部分である。改質化シリコン層820Pは、上部シリコン層820の内側面と、キャップ層86の外側面との間に形

成され、改質化シリコン層 820P の基板 100 に垂直な方向の長さは、上部シリコン層 820 よりも短い。すなわち、改質化シリコン層 820P は、コア層 84 の上方において、上部シリコン層 820 に接する下端（下面又は底面）及び外側面を有し、キャップ層 86 に接する内側面を有する。

[0248] 改質化シリコン層 820P を基板 100 に平行な面で切断した断面は、メモリピラー MH の形状に沿う。つまり、メモリピラー MH の断面形状が円状である場合、改質化シリコン層 820P の断面形状は筒状又はリング状になる。改質化シリコン層 820P は、例えば、窒素、炭素、及び酸素から選択される少なくとも 1 つを含む。言い換えると、改質化シリコン層 820P は、シリコンの窒化物、炭化物、及び酸化物から選択される少なくとも 1 つを含む。

[0249] (b) 製造方法

図 33 乃至図 43 を用いて、第 4 の実施形態のメモリデバイスの製造方法について、説明する。

[0250] 図 33 乃至図 42 は、本実施形態のメモリデバイスの製造方法の各工程を説明するための模式的な断面工程図である。図 43 は、図 42 に示される製造工程におけるメモリピラーを上方から見た平面図である。

[0251] 図 33 は、第 1 の実施形態において説明した図 9 の工程（すなわち、メモリホール MH 内にメモリ層 80 及びシリコン層 82（82Z）が形成される工程）に続く工程を説明するものである。なお、以降の説明では、メモリホール MH の上部側は、逆テーパ形状に形成されているものとする。

[0252] 図 33 に示されるように、シリコン層 82 に対するスリミングが、実行される。シリコン層 82 のスリミングは、RIE、ウェットエッチング、ガスエッチング、又は CDE によって、実行される。これによって、シリコン層 82 の膜厚は、薄くされる。

[0253] 本実施形態において、メモリホール MH 内の高さに応じてシリコン層 82 内の不純物濃度に大きな差はない。このため、シリコン層 82 に対するスリミングによって、上部シリコン層 820 の膜厚 T1 は、メモリホール MH の

中央部近傍におけるシリコン層 8 2 の部分（中部シリコン層） 8 2 2 の膜厚 T_2 と同程度になる。

[0254] なお、第 1 の実施形態と同様に、シリコン層 8 2 のスリミングがウェットエッチング（等方性エッチング）によって実行された場合、メモリホール MH の底部側におけるシリコン層 8 2 の部分（下部シリコン層） 8 2 4 の膜厚 T_3 は、中部シリコン層 8 2 2 の膜厚 T_2 より薄くなる場合がある。

[0255] この後、コア層 8 4 A がシリコン層 8 2 上に形成される。これに伴い、エアギャップ 9 0 A が、メモリピラー MP 内に形成される。なお、上述の通り、メモリホール MH の上部側は逆テーパ形状に形成されている。このため、メモリホール MH の開口部は、コア層 8 4 A によってメモリホール MH が埋め込まれる前に、コア層 8 4 A によって速やかに閉塞する。したがって、エアギャップ 9 0 A の上端 P P A は、メモリホール MH の上部側に達し得る。

[0256] 図 3 4 に示されるように、コア層 8 4 A に対するエッチバック（エッチング）が実行される（コア層 8 4 B が形成される）。コア層 8 4 A のエッチバックは、例えば、異方性の高い C D E によって、実行される。これによって、エアギャップ 9 0 A の拡大を抑制しつつコア層 8 4 B を貫通させることができ、メモリホール MH の上方の空間とエアギャップ 9 0 A とをつなげることができる。

[0257] 図 3 5 に示されるように、コア層 8 4 B の埋め戻し（シリコン層 8 2 上へのコア層 8 4 C の形成）が実行される。これにより、メモリホール MH の少なくとも上部側をコア層 8 4 C によって閉塞させることができる。コア層 8 4 C の形成に際して、エアギャップ 9 0 がメモリピラー MP 内に形成される場合があるが、エアギャップ 9 0 の上端 P P は、上部シリコン層 8 2 0 の下部の位置よりメモリピラー MP の底部側に位置させることができる。

[0258] 続いて、図 3 6 乃至図 4 0 では、コア層 8 4 C のエッチバックと、上部シリコン層 8 2 0 の改質化処理と、がサイクリックに実行される。具体的には、図 3 6 及び図 3 7 では、1 回目のサイクリックなエッチバック及び改質化処理が実行される。図 3 8 及び図 3 9 では、2 回目のサイクリックなエッチ

バック及び改質化処理が実行される。図40では、3回目のサイクリックなエッチバックが実行される。

[0259] 図36に示されるように、コア層84Cに対する1回目のサイクリックなエッチバックが、例えば、引き続きCDEによって実行され、コア層84Dが形成される。CDEでは、例えば、アンモニア及びフッ化水素がエッチャントとして用いられることにより、コア層84Cを選択的にエッチングすることができる。1回目のサイクリックなエッチバックでは、コア層84Cは、例えば、積層体50A上面上のコア層が除去される程度までエッチングされる。これにより、上部シリコン層820のうち、積層体50Aの上面及びメモリホールMHの開口部付近の部分820E1が表出する。

[0260] 1回目のサイクリックなエッチバックが実行された後、図37に示されるように、1回目のサイクリックなエッチバックによって表出した上部シリコン層820の部分820E1に対する改質化処理が実行される。これにより、上部シリコン層820の部分820E1の表面には、不純物が添加され、上部シリコン層820の内部と異なる物質の層（改質化シリコン層820PA）が形成される。改質化シリコン層820PAは、CDEによるエッチバックの際に、コア層84D（酸化物）に対して高い選択比を有する（つまり、後述する更なるCDEの際にエッチングされにくい）物質が添加されることが好ましい。具体的には、例えば、改質化シリコン層820PAは、窒素又は炭素を含み得る。上部シリコン層820の表面が窒化される場合、改質化処理は、CDEに用いられるチャンバに搭載されたプラズマ源によって窒素ラジカルを発生させることによって、同一チャンバ内で処理可能である。この時、改質化処理は、選択的に行われ、コア層84Dの表面はほぼ窒化が進まず、上部シリコン層820の露出表面のみが窒化される。改質化処理条件（ラジカル処理条件）として、例えば、500℃、5 Torr、1500 W等の条件が用いられる。

[0261] なお、図37の例では、改質化シリコン層820PAが絶縁体（例えば、窒化シリコン）である場合が一例として示されているが、これに限られない

。例えば、改質化シリコン層 820PA は、コア層 84D に対して高い選択比を有していればよく、半導体、又は導電体であってもよい。

[0262] また、改質化シリコン層 820PA は、酸素を含んでいてもよい。この場合、改質化シリコン層 820PA は、後述する更なる CDE によってコア層 84D と共にエッチングされ得る。しかしながら、エッチングされた改質化シリコン層 820PA が固層の副生成物として残留することにより、上部シリコン層 820 がエッチャントに直接曝されることを抑制できる。これによって、薄膜の上部シリコン層 820 に存在する微小な欠陥（ピンホール）にエッチャントが侵入し、積層体 50A におけるシリコン層 82 より内側の酸化物（例えば、メモリ層 80 や絶縁層 75 等）がエッチングされることを抑制することができる。

[0263] 1 回目のサイクリックな改質化処理が実行された後、図 38 に示されるように、コア層 84D に対する 2 回目のサイクリックなエッチバックが、引き続き CDE によって実行され、コア層 84E が形成される。2 回目のサイクリックなエッチバックでは、コア層 84D は、例えば、メモリピラー MP の上部側の中央付近までエッチングされる。これにより、上部シリコン層 820 の内側面上のうち、メモリピラー MP の上端から深さ L1 までの部分（少なくとも部分 820E1 よりも下方の部分）820E2 が更に表出する。

[0264] 2 回目のサイクリックなエッチバックが実行された後、図 39 に示されるように、2 回目のサイクリックなエッチバックによって表出した部分 820E2 に対する改質化処理が実行される。これにより、上部シリコン層 820 の部分 820E1 及び 820E2 の表面は、改質化シリコン層 820PB が形成される。

[0265] 2 回目のサイクリックな改質化処理が実行された後、図 40 に示されるように、コア層 84E に対する 3 回目のサイクリックなエッチバックが、引き続き CDE によって実行され、コア層 84 が形成される。3 回目のサイクリックなエッチバックでは、コア層 84E は、例えば、メモリピラー MP の上部側の底部付近までエッチングされる。これにより、上部シリコン層 820

の内側面上のうち、メモリピラーMPの上端から深さL 2までの部分（少なくとも部分8 2 0 E 2よりも下方の部分）8 2 0 E 3が更に表出する。

[0266] 3回目のサイクリックなエッチバックが実行された後、図4 1に示されるように、キャップ層（アモルファスシリコン層）8 6 Aが、コア層8 4の上部に、形成される。

[0267] キャップ層8 6 Aが形成された後、図4 2に示されるように、メモリ層8 0、シリコン層8 2、改質化シリコン層8 2 0 P B、及びキャップ層8 6のうち、積層体5 0 Aの上面に形成された部分が除去される。積層体5 0 Aの上面から各層8 0、8 2、8 2 0 P B、及び8 6 Aが除去された後のメモリピラーMPの上端の平面図が、図4 3に示される。図4 3に示されるように、改質化シリコン層8 2 0は、上部シリコン層8 2 0の内側面と、キャップ層8 6の外側面との間において、筒状又はリング状の形状となる。

[0268] 続いて、犠牲層7 9が導電層7 0に置換された後、コンタクトが、適宜形成される。

[0269] 以上の製造方法によって、本実施形態のNAND型フラッシュメモリが、形成される。

[0270] なお、上述の例では、コア層8 4のエッチバックと上部シリコン層8 2 0の改質化処理とがサイクリックに実行される場合について説明したが、これに限られない。例えば、1回目の改質化処理によって上部シリコン層8 2 0が保護され、積層体5 0 A内に不良が生じるのを抑制できる場合、改質化処理は、複数回実行されなくてもよい。この場合、1回目の改質化処理の後、コア層8 4のエッチバックが1又は複数回実行される。

[0271] (c) まとめ

上述のように、本実施形態のNAND型フラッシュメモリ1では、コア層8 4のエッチバック工程と、上部シリコン層8 2 0の改質化処理とがサイクリックに実行される。

[0272] この結果として、本実施形態において、コア層8 4のエッチバックの際に、上部シリコン層8 2 0の上面及び内側面が、コア層8 4に対して高い選択

比を有する窒化物等に改質化される。

[0273] それゆえ、本実施形態のNAND型フラッシュメモリ及びその製造方法は、コア層84に対するエッチング時において、積層体50A内に不良が生じるのを、抑制できる。

[0274] したがって、第4の実施形態のメモリデバイス及びその製造方法は、メモリデバイスの歩留まりを向上できる。

[0275] (d) 変形例

図44を参照して、第4の実施形態のメモリデバイスの変形例について、説明する。

[0276] 図44は、第4の実施形態のNAND型フラッシュメモリの変形例の一例を示す断面図である。

[0277] 図44に示されるように、上部シリコン層820は、膜厚方向に全て改質化されてもよい。すなわち、改質化シリコン層820Pは、メモリピラーMPの表面に形成され、かつキャップ層86に接する内側面と、メモリ層80（絶縁層803）に接する外側面と、を有していてもよい。

[0278] 本変形例のNAND型フラッシュメモリにおいても、第4の実施形態のNAND型フラッシュメモリと同様に、改質化シリコン層820Pは、上部シリコン層820に接する下端を有する。

[0279] 本変形例のメモリデバイスは、第4の実施形態と同様の効果を得ることができる。

[0280] (6) その他

実施形態のメモリデバイス及びその製造方法は、積層体内のメモリホールの内壁（積層体の側面）に沿ってシリコン層が設けられるメモリデバイスであれば、ワード線の構造／形状、ビット線の構造／形状、ソース線の構造／形状、セレクトゲート線の構造／形状、及び、メモリホール／メモリピラーのレイアウトは、上述の例に限定されない。

[0281] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これ

ら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

請求の範囲

- [請求項1] 基板と、
 基板上に積層された複数の導電層を含む構造体と、
 前記構造体内に設けられ、前記基板の表面に対して垂直方向に延在する半導体層を含むピラーと、
 を具備し、
 前記半導体層は、前記構造体の上部側の第1の部分と、前記第1の部分と前記基板との間の第2の部分と、を含み、
 前記第1の部分の膜厚は、前記第2の部分の膜厚より厚い、
 メモリデバイス。
- [請求項2] 前記半導体層は、前記第2の部分と前記基板との間の第3の部分を含み、
 前記第3の部分の膜厚は、前記第2の部分の膜厚より薄い、
 請求項1に記載のメモリデバイス。
- [請求項3] 前記第1の部分の不純物濃度は、前記第2の部分の不純物濃度より高い、
 請求項1に記載のメモリデバイス。
- [請求項4] 前記第1の部分は、アモルファス層又は微結晶層であり、前記第2の部分は、多結晶層である、
 請求項1に記載のメモリデバイス。
- [請求項5] 前記第1の部分は、ボロン（B）、炭素（C）、ゲルマニウム（Ge）、アルゴン（Ar）、キセノン（Xe）、フッ素（F）、及び、
 BF₂から選択される少なくとも1つを含む、
 請求項2に記載のメモリデバイス。
- [請求項6] 前記第1の部分の粒径は、前記第2の部分の粒径より小さい、
 請求項2に記載のメモリデバイス。
- [請求項7] 前記第1の部分及び前記第2の部分は、いずれも多結晶層である、
 請求項1に記載のメモリデバイス。

- [請求項8] 前記第1の部分は、ボロン（B）、リン（P）、アルゴン（Ar）、及び、 BF_2 から選択される少なくとも1つを含む、請求項7に記載のメモリデバイス。
- [請求項9] 前記第1の部分の粒径は、前記第2の部分の粒径より大きい、請求項7に記載のメモリデバイス。
- [請求項10] 前記ピラーは、コア層と、エアギャップを含み、前記エアギャップは、前記コア層内に設けられ、前記基板の表面に対して垂直方向における前記エアギャップの上端は、前記第1の部分より前記基板側に位置する、請求項1に記載のメモリデバイス。
- [請求項11] 基板と、
基板上に積層された複数の導電層を含む構造体と、
前記構造体内に設けられたピラーと、
を具備し、
前記ピラーは、
コア層と、
前記基板の表面に対して垂直方向に延在し、前記構造体の上部側の第1の部分と、前記第1の部分と前記基板との間において前記コア層の外側面と接する第2の部分と、を含む半導体層と、
前記半導体層の前記第1の部分に接する下端を有する改質化層と、
を含む、メモリデバイス。
- [請求項12] 前記改質化層は、シリコンの窒化物、酸化物、及び炭化物から選択される少なくとも1つを含む、請求項11に記載のメモリデバイス。
- [請求項13] 前記半導体層の前記第1の部分は、前記改質化層より下方の第3の部分と、前記第3の部分より上方の第4の部分と、を含み、
前記改質化層は、前記半導体層の前記第4の部分に接する内側面を

有する、

請求項 1 1 に記載のメモリデバイス。

[請求項14] 前記改質化層は、前記半導体層の前記第 1 の部分に接する外側面を有する、

請求項 1 1 に記載のメモリデバイス。

[請求項15] 前記ピラーは、前記基板の表面に対して垂直方向に延在するメモリ層を更に含み、

前記改質化層は、前記メモリ層に接する外側面を有する、

請求項 1 1 に記載のメモリデバイス。

[請求項16] 前記改質化層は、筒状又はリング状の形状を有する、

請求項 1 1 に記載のメモリデバイス。

[請求項17] 前記半導体層の前記第 1 の部分の上端における前記ピラーの径は、前記半導体層の前記第 1 の部分の下端における前記ピラーの径よりも小さい、

請求項 1 1 に記載のメモリデバイス。

[請求項18] 前記半導体層の前記第 1 の部分は、逆テーパ形状を有する、

請求項 1 1 に記載のメモリデバイス。

[請求項19] 前記ピラーは、前記コア層内に設けられたエアギャップを含み、前記基板の表面に対して垂直方向における前記エアギャップの上端は、前記半導体層の前記第 1 の部分より前記基板側に位置する、

請求項 1 1 に記載のメモリデバイス。