

明 細 書

発明の名称：成膜方法及び成膜装置

技術分野

[0001] 本発明は、成膜方法及び成膜装置に関する。

背景技術

[0002] 3D-NAND型フラッシュメモリに代表される電子デバイスでは、多層化が進み、その層数が益々増加する傾向にある。このため、その多層構造に含まれる被膜（例えば、絶縁層）についての成膜手法は、特に重要になる。

[0003] 被膜を形成する方法としては、成膜速度が比較的高く、良好な膜厚分布を示すスパッタリング法がある。この中でも、スパッタリングターゲット側と基板側とに高周波電力を供給し、それぞれの高周波電源の位相制御を行うことで、成膜速度、膜厚分布を向上させるスパッタリング法がある（例えば、特許文献1参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開平08-302467号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上記成膜方法によって形成する被膜は、基板側に供給される高周波電力の位相に応じて、被膜の埋め込み特性が変化する場合がある。このため、被膜の段差被覆性を向上させた最適な条件が求められる。

[0006] 以上のような事情に鑑み、本発明の目的は、被膜の段差被覆性を向上させた成膜方法及び成膜装置を提供することにある。

課題を解決するための手段

[0007] 上記目的を達成するため、本発明の一形態に係る成膜方法では、第1電極と、第2電極と、第1電力供給源と、第2電力供給源と、位相調整器とを具備する成膜装置を用いられる。

第1電極は、スパッタリングターゲットを含む

第2電極は、上記第1電極に対向し、基板を支持することができる。

第1電力供給源は、第1高周波電力を出力する第1高周波電源と、上記第1高周波電源と上記第1電極との間に接続された第1整合回路器とを含む。

第2電力供給源は、上記第1高周波電力と同じ周期であって上記第1高周波電力よりも低い第2高周波電力を出力する第2高周波電源と、上記第2高周波電源と上記第2電極との間に接続され、上記第2高周波電源に接続された入力端、上記第2電極に接続された出力端、上記入力端と接地電位との間に接続された第1可変容量、及び上記入力端と上記出力端との間に直列接続された第2可変容量を含む第2整合回路器とを含む。

位相調整器は、上記第1高周波電源から出力され上記第1整合回路器に入力される上記第1高周波電力及び上記第2高周波電源から出力され上記第2整合回路器に入力される上記第2高周波電力のそれぞれの位相を調整する。

上記第1高周波電源から上記第1高周波電力を出力させて、上記第1電極と上記第2電極との間に放電プラズマが形成される。

上記第2高周波電源から上記第2高周波電力を出力させるとともに上記位相調整器を操作して上記第1高周波電力の位相と上記第2高周波電力の位相とに位相差 θ が設けられる。

上記第2高周波電源の出力インピーダンスと上記第2高周波電源に接続された負荷側インピーダンスとが整合した状態での、上記位相差 θ に応じた、上記第2高周波電力の電圧値 V_{pp} と上記第1可変容量の容量値 C_1 とが検出される。

上記位相差 θ の所定範囲における、上記電圧値 V_{pp} と上記容量値 C_1 とを組み合わせ選択することによって上記基板にスパッタリング膜が形成される。

[0008] このような成膜方法によれば、段差被覆性に優れたスパッタリング膜が形成される。

[0009] 上記の成膜方法においては、上記第1高周波電力の位相に対して上記第2

高周波電力の位相を遅らせることによって上記位相差 θ が形成され、

上記位相差 θ を変化させることによって上記位相差 θ に応じた、上記電圧値 V_{pp} のプロファイル曲線及び上記容量値 C_1 のプロファイル曲線が取得され、

上記位相差 θ を上記電圧値 V_{pp} のプロファイル曲線の上記電圧値 V_{pp} が最低となる位相差 θ_1 からプラス30度からプラス50度までの第1範囲に設定するか、または、上記位相差 θ を上記電圧値 V_{pp} のプロファイル曲線の上記電圧値 V_{pp} が最大となる位相差 θ_2 からプラス10度、マイナス10度までの第2範囲に設定し、上記出力インピーダンスと上記負荷側インピーダンスとが整合した状態で上記基板に上記スパッタリング膜が形成されてもよい。

[0010] このような成膜方法によれば、段差被覆性に優れたスパッタリング膜が形成される。

[0011] 上記の成膜方法においては、上記第1範囲または上記第2範囲において、上記位相差 θ を段階的に変化させて、上記基板に上記スパッタリング膜が形成されてもよい。

[0012] このような成膜方法によれば、低ダメージであって、段差被覆性に優れたスパッタリング膜が形成される。

[0013] 上記の成膜方法においては、前記第1範囲または前記第2範囲において、前記基板に前記スパッタリング膜を形成した後、前記位相差 θ が前記第2範囲よりも小さく前記第1範囲よりも大きい第3範囲で前記基板に前記スパッタリング膜を形成してもよい。

[0014] このような成膜方法によれば、低ダメージであって、段差被覆性に優れたスパッタリング膜が形成される。

[0015] 上記の成膜方法においては、前記第3範囲は、前記位相差 θ_2 から、マイナス50度からマイナス30度の範囲であってよい。

[0016] このような成膜方法によれば、低ダメージであって、段差被覆性に優れたスパッタリング膜が形成される。

[0017] 上記目的を達成するため、本発明の一形態に係る成膜装置では、

上記制御装置に、上記第1高周波電源から上記第1高周波電力を出力させて、上記第1電極と上記第2電極との間に放電プラズマを形成し、上記第2高周波電源から上記第2高周波電力を出力させるとともに上記位相調整器を操作して上記第1高周波電力の位相と上記第2高周波電力の位相とに位相差 θ を設け、上記第2高周波電源の出力インピーダンスと上記第2高周波電源に接続された負荷側インピーダンスとが整合した状態での、上記位相差 θ に応じた、上記第2高周波電力の電圧値 V_{pp} と上記第1可変容量の容量値 C_1 とを検出したデータが格納される。

上記制御装置は、上記位相差 θ の所定領域における、上記電圧値 V_{pp} と上記容量値 C_1 とを組み合わせ選択することによって上記基板にスパッタリング膜を形成する。

[0018] このような成膜装置によれば、段差被覆性に優れたスパッタリング膜が形成される。

[0019] 上記の成膜装置においては、上記制御装置には、上記第1高周波電力の位相に対して上記第2高周波電力の位相を遅らせることによって上記位相差 θ を形成し、上記位相差 θ を変化させることによって上記位相差 θ に応じた、上記電圧値 V_{pp} のプロファイル曲線及び上記容量値 C_1 のプロファイル曲線が格納されてもよい。

上記制御装置は、上記位相差 θ を上記電圧値 V_{pp} のプロファイル曲線の上記電圧値 V_{pp} が最低となる位相差 θ_1 からプラス30度からプラス50度までの第1範囲に設定するか、または、上記位相差 θ を上記電圧値 V_{pp} のプロファイル曲線の上記電圧値 V_{pp} が最大となる位相差 θ_2 からプラス10度、マイナス10度までの第2範囲に設定し、上記出力インピーダンスと上記負荷側インピーダンスとが整合した状態で上記基板に上記スパッタリング膜を形成してもよい。

[0020] このような成膜装置によれば、段差被覆性に優れたスパッタリング膜が形成される。

- [0021] 上記の成膜装置においては、上記第1範囲または上記第2範囲において、上記位相差 θ を段階的に変化させて、上記基板に上記スパッタリング膜を形成してもよい。
- [0022] このような成膜装置によれば、低ダメージであって、段差被覆性に優れたスパッタリング膜が形成される。
- [0023] 上記の成膜装置においては、前記第1範囲または前記第2範囲において、前記基板に前記スパッタリング膜を形成した後、前記位相差 θ が前記第2範囲よりも小さく前記第1範囲よりも大きい第3範囲で前記基板に前記スパッタリング膜を形成してもよい。
- [0024] このような成膜装置によれば、低ダメージであって、段差被覆性に優れたスパッタリング膜が形成される。
- [0025] 上記の成膜装置においては、前記第3範囲は、前記位相差 θ 2から、マイナス50度からマイナス30度の範囲であってもよい。
- [0026] このような成膜装置によれば、低ダメージであって、段差被覆性に優れたスパッタリング膜が形成される。

発明の効果

- [0027] 以上述べたように、本発明によれば、被膜の段差被覆性を向上させた成膜方法及び成膜装置が提供される。

図面の簡単な説明

- [0028] [図1]本実施形態に係る成膜装置の一例を示す概略的ブロック構成図である。
- [図2]図(a)は、電圧値 V_{pp} のプロファイル曲線の一例を説明するグラフである。図(b)は、容量値 C_1 のプロファイル曲線の一例を説明するグラフである。
- [図3]図(a)は、スパッタリング膜が形成される前の凹パターンの断面SEM像である。図(b)～図(e)は、凹パターンにスパッタリング膜が形成された後のスパッタリング膜の断面SEM像である。
- [図4]試験Aでの電圧値 V_{pp} 、容量値 C_1 のプロファイル曲線である。
- [図5]凹パターンにスパッタリング膜が形成された後のスパッタリング膜の断

面SEM像である。

[図6]変形例2に係る電圧値 V_{pp} 、容量値 C_1 のプロファイル曲線である。

[図7]図(a)、(b)は、変形例2に係る成膜方法を示す模式的断面である。図(c)は、凹パターンにスパッタリング膜が形成された後のスパッタリング膜の断面SEM像である。

発明を実施するための形態

[0029] 以下、図面を参照しながら、本発明の実施形態を説明する。また、同一の部材または同一の機能を有する部材には同一の符号を付す場合があり、その部材を説明した後は適宜説明を省略する場合がある。また、以下に示す数値は例示であり、この例に限らない。

[0030] (成膜装置)

[0031] 図1は、本実施形態に係る成膜装置の一例を示す概略的ブロック構成図である。

[0032] 成膜装置1は、電極11(第1電極)と、電極12(第2電極)と、電力供給源21(第1電力供給源)と、電力供給源22(第2電力供給源)と、位相調整器50と、制御装置60とを具備する。

[0033] 電極11は、スパッタリングターゲット111と背面プレート(支持プレート)112とを含む。スパッタリングターゲット111は、基板121にスパッタリング成膜される被膜材料を含む。被膜材料としては、例えば、アルミナ、酸化シリコン等の絶縁物、アルミニウム等の金属があげられる。背面プレート112は、例えば、導電性金属で構成される。

[0034] 電極12は、電極11に対向する。電極12は、基板121を支持することが可能な支持台としても機能する。電極12が基板121を支持する支持面には、静電チャックが設けられてもよい。基板121は、半導体ウェーハ、シリコン酸化物層等を含む。基板121が電極11に対向する成膜面には、ライン・アンド・スペース、スルーホール等のパターンが形成されている。

[0035] 電力供給源21は、高周波電源31(第1高周波電源)と、整合回路器4

1（第1整合回路器）とを含む。高周波電源31は、第1高周波電力を出力する。第1高周波電力は、典型的には、13.56MHzのRF電力であり、例えば、100W～5000Wを出力することができる。

[0036] 整合回路器41は、高周波電源31と電極11との間に接続される。整合回路器41は、入力端415、出力端416、可変容量411、可変容量412、及びインダクタンス413を含む。入力端415は、高周波電源31に接続される。出力端416は、電極11に接続される。可変容量411は、入力端415と接地電位との間に接続される。可変容量412は、入力端415と出力端416との間に直列的に接続される。インダクタンス413は、入力端415と出力端416との間で可変容量412に直列的に接続される。整合回路器41は、制御装置60によって、可変容量411及び可変容量412のそれぞれが駆動して、高周波電源31の出力インピーダンスと、高周波電源31に接続された負荷側インピーダンス（電極11側インピーダンス）とが整合する自動整合を行う。

[0037] 高周波電源31に接続された負荷側インピーダンスとは、電極11、電極11と整合回路器41との間のケーブル、放電プラズマ、電極11、12を収容する真空チャンバ（不図示）等を含む。

[0038] 電力供給源22は、高周波電源32（第2高周波電源）と整合回路器42（第2整合回路器）とを含む。高周波電源32は、第1高周波電力と同じ周期であって第1高周波電力よりも低い第2高周波電力を出力する。第2高周波電力は、典型的には、13.56MHzのRF電力であって、50W～500Wを出力することができる。なお、高周波電力は、同じ周波数帯であればこの例に限らない。

[0039] 整合回路器42は、高周波電源32と電極12との間に接続される。整合回路器42は、入力端425、出力端426、可変容量421（第1可変容量）、可変容量422（第2可変容量）、及びインダクタンス423を含む。入力端425は、高周波電源32に接続される。出力端426は、電極12に接続される。可変容量421は、入力端425と接地電位との間に接続

される。可変容量422は、入力端425と出力端426との間に直列接続される。インダクタンス423は、入力端425と出力端426との間で可変容量422に直列接続される。整合回路器42は、制御装置60によって、可変容量421及び可変容量422のそれぞれが駆動して、高周波電源32の出力インピーダンスと、高周波電源32に接続された負荷側インピーダンス（電極12側インピーダンス）とが整合する自動整合を行う。

[0040] 高周波電源32に接続された負荷側インピーダンスとは、電極12、電極12と整合回路器42との間のケーブル、放電プラズマ、電極11、12を収容する真空チャンバ（不図示）等を含む。

[0041] ここで、可変容量421の容量は、容量値C1（最大1000pF）で表され、可変容量422の容量（最大500pF）は、容量値C2で表される。また、整合回路器42には、整合回路器42内の高周波電力の電圧値Vpp（Voltage peak to peak）、電圧値Vdc（Voltage direct current）を出力端426で検出するセンサ424が搭載されている。電圧値Vppは、交流電圧の最大電圧と最小電圧の差を意味する。電圧値Vdcは、電極12に印加される電圧値Vppの電圧が全体的に一定の電圧で浮遊した状態でVppの最大値と最小値の中間点となる電圧を意味する。電圧値Vdcは、オフセット電圧、バイアス電圧とも呼称される。RF放電の場合、一般的に電圧値Vdcは、プラズマ電位（Vp）に対して低い電位である。例えば、プラズマ電位が正電位ならば、電圧値Vdcは、この正電位よりも低い電位か、または、負電位である。

[0042] なお、整合回路器42においては、可変容量421が主に高周波電源32の出力インピーダンスと、高周波電源32に接続された負荷側インピーダンスとの整合に適用され、可変容量422が主に電圧波の位相と電流波の位相との整合に適用される。従って、高周波電源32の出力インピーダンスと、高周波電源32に接続された負荷側インピーダンスとが整合した状態であっても、可変容量421の容量値C1によっては、第2高周波電力が入力端425から優先的に出力端426に供給されたり、第2高周波電力の一部が接

地電位へ放出されたり、あるいは、出力端 4 2 6 には届かず、接地電位へ放出されたりする。例えば、可変容量 4 2 1 の容量値 C_1 が相対的に大きくなるほど、第 2 高周波電力は入力端 4 2 5 から、より優先的に出力端 4 2 6 に供給される。

[0043] 電力供給源 2 2 において、高周波電源 3 2 は表示部を有し、電圧値 V_{pp} 、電圧値 V_{dc} 、容量値 C_1 、及び容量値 C_2 は、この表示部において表される。また、これらの値は、制御装置 6 0 に送られ、制御装置 6 0 内の記憶部（不図示）に格納される。なお、このようなセンサ 4 2 4 は、整合回路器 4 1 にも搭載されてもよい。

[0044] 位相調整器 5 0 は、高周波電源 3 1 から出力され、整合回路器 4 1 に入力される第 1 高周波電力の位相を調整することができる。位相調整器 5 0 は、高周波電源 3 2 から出力され、整合回路器 4 2 に入力される第 2 高周波電力の位相を調整することができる。位相調整器 5 0 は、第 1 高周波電力の位相と第 2 高周波電力の位相との位相差 θ を設けることができる。

[0045] 制御装置 6 0 は、電力供給源 2 1、電力供給源 2 2、及び位相調整器 5 0 を制御する。制御装置 6 0 は、電力供給源 2 1、電力供給源 2 2、及び位相調整器 5 0 から独立して設けられてもよく、その一部が電力供給源 2 1、電力供給源 2 2、及び位相調整器 5 0 のいずれかに組み込まれてもよい。制御装置 6 0 は、データを記憶する記憶部、データを演算処理する演算部等を有する。

[0046] （成膜方法）

[0047] 本実施形態では、予め、位相差 θ に応じた、電圧値 V_{pp} 及び容量値 C_1 のそれぞれのプロファイル曲線が取得される。このプロファイル曲線を取得する段階では、基板 1 2 1 としてダミー基板を用いてもよい。

[0048] まず、高周波電源 3 1 から第 1 高周波電力を出力させて、電極 1 1 と電極 1 2 との間に放電プラズマが形成される。放電ガスとしては、例えば、アルゴンが適用される。高周波電源 3 1 の出力インピーダンスと、高周波電源 3 1 に接続された負荷側インピーダンス（電極 1 1 側インピーダンス）とは、

整合回路器41によって整合される。

[0049] 次に、高周波電源32から第2高周波電力を出力させるとともに、位相調整器50を操作することによって、第1高周波電力の位相と第2高周波電力の位相とに位相差 θ を設ける。ここで、第1高周波電力及び第2高周波電力のそれぞれは、変化させることはなく、それぞれの電力は固定値とされる。また、第2高周波電力は、第1高周波電力よりも低く、例えば、第1高周波電力の $1/10 \sim 1/2$ に設定される。

[0050] 次に、放電プラズマが電極11と電極12との間に形成されたまま、整合回路器42によって、高周波電源32の出力インピーダンスと、高周波電源32に接続された負荷側インピーダンス（電極12側インピーダンス）とが整合した状態での、位相差 θ に応じた、第2高周波電力の電圧値 V_{pp} と可変容量421の容量値 C_1 とが検出される。そして、位相差 θ を変化させることによって、高周波電源32の出力インピーダンスと、高周波電源32に接続された負荷側インピーダンスとが整合した状態での位相差 θ に応じた電圧値 V_{pp} のプロファイル曲線（図2（a））と、位相差 θ に応じた容量値 C_1 のプロファイル曲線（図2（b））とが取得される。

[0051] ここで、位相差 θ は、位相調整器50によって第1高周波電力の位相に対して第2高周波電力の位相を遅らせることによって形成され、0度～360度の範囲において適宜変更される。例えば、位相差 θ を0度から変更する場合は、0度から所定の間隔、例えば、10度おきに、10度、20度・・・、360度と変更される。そして、変更した位相差 θ の所定範囲における、電圧値 V_{pp} と容量値 C_1 とを組み合わせを選択することによって基板121にスパッタリング膜が形成される。ここで、基板121にスパッタリング膜を形成とは、基板121に形成された凹パターン（ライン・アンド・スペース、スルーホール等）にスパッタリング膜を埋め込み、凹パターン外の基板121の表面にスパッタリング膜を形成することを意味する。凹パターン外の基板121の表面に成膜されたスパッタリング膜については、スパッタリング膜を形成後、必要に応じて余剰部分として化学的機械研磨（CMP）

等の手法によって除去してもよい。

- [0052] 上述したように、図2(a)は、電圧値 V_{pp} のプロファイル曲線の一例を説明するグラフである。図2(b)は、容量値 C_1 のプロファイル曲線の一例を説明するグラフである。図2(a)において、横軸は、位相差 θ であり、縦軸は、電圧値 V_{pp} である。図2(b)において、横軸は、位相差 θ であり、縦軸は、容量値 C_1 である。高周波電源31から出力される第1高周波電力は、4000Wで、高周波電源32から出力される第2高周波電力は、400Wである。また、減圧雰囲気は、アルゴンガスの使用で0.1～4.0Paである。スパッタリングターゲット／基板の間の距離は、50～90mmである。なお、グラフに示される V_{dc} は、高くなるほど電極12に印加されるバイアス電位が負バイアス側に強くなることを意味する。
- [0053] 例えば、図2(a)には、試験Aと試験Bとの2つの試験での電圧値 V_{pp} のプロファイル曲線が表されている。試験Aは、高周波電源32として、高周波電源31から出力される第1高周波電力の位相と位相が同期する第2高周波電力を出力する高周波電源を用いた場合のプロファイル曲線である。
- [0054] 一方、試験Bは、高周波電源32として、高周波電源31から出力される第1高周波電力の位相に対して、位相が50度進んだ第2高周波電力を出力する高周波電源を用いた場合のプロファイル曲線である。これは、成膜装置1のメンテナンス等によって高周波電源32と整合回路器42との間のケーブルの長さが位相差として50度分長くなったことと同じ意味である。なお、試験Bでは、試験Aとは異なる成膜室で電圧値 V_{pp} 及び容量値 C_1 のプロファイル曲線が取得されている。
- [0055] 試験Aでは、位相差 θ が0度付近では、電圧値 V_{pp} が高く、位相差 θ が増すにつれ電圧値 V_{pp} が徐々に下がる傾向にある。そして、位相差 θ が60度において電圧値 V_{pp} が最低値となり、その後、位相差 θ が増すにつれ電圧値 V_{pp} が徐々に上昇する傾向にある。一方、試験Bでも、位相差 θ が60度付近では、電圧値 V_{pp} が高く、位相差 θ が増すにつれ電圧値 V_{pp} が徐々に下がる傾向にある。そして、位相差 θ が110度において電圧値 V

V_{pp} が最低値となり、その後、位相差 θ が増すにつれ電圧値 V_{pp} が徐々に上昇する傾向にある。

[0056] このように、試験A及び試験Bのそれぞれの電圧値 V_{pp} のプロファイル曲線では、いずれも下に凸となる曲線を描いている。

[0057] また、図2(b)には、試験A及び試験Bの容量値 C_1 のプロファイル曲線が示されている。試験Aでは、位相差 θ が0度付近では、容量値 C_1 が低く、その後、位相差 θ が増すにつれ容量値 C_1 が徐々に上昇する傾向にある。一方、試験Bでも、位相差 θ が60度付近では、容量値 C_1 が低く、その後、位相差 θ が増すにつれ容量値 C_1 が徐々に上昇する傾向にある。

[0058] 本実施形態では、これらのプロファイル曲線が利用されて、位相差 θ が電圧値 V_{pp} のプロファイル曲線の電圧値 V_{pp} が最低となる位相差 θ_1 からプラス30度からプラス50度までの第1範囲に設定されて、基板121にスパッタリング膜が形成される。

[0059] 例えば、試験Aでは、電圧値 V_{pp} が最低となる位相差 θ_1 は、50度となり、第1範囲は、80度～100度の範囲になる。また、試験Bでは、電圧値 V_{pp} が最低となる位相差 θ_1 は、100度となり、第1範囲は、130度～150度の範囲になる。本実施形態では、このような第1範囲に属す、電圧値 V_{pp} と容量値 C_1 とが適用されて、基板121にスパッタリング膜が形成される。

[0060] (評価)

[0061] 第1範囲に属す、電圧値 V_{pp} と容量値 C_1 とが適用された場合のスパッタリング膜と、第1範囲に属さない、電圧値 V_{pp} と容量値 C_1 とが適用された場合のスパッタリング膜との違いについて説明する。

[0062] 図3(a)～図3(e)は、断面SEM像であり、図3(a)は、スパッタリング膜が形成される前の凹パターンの断面SEM像である。図3(a)には、シリコン酸化物で構成された、深さ240nm、アスペクト比1.0の凹パターンが示されている。矢印Aで示された部分は、凹パターンの底部と側壁とが略90度に交差する端部であり、矢印Bで示された部分は、側壁

の最上端である。また、図3 (b) ~図3 (e) は、凹パターンにスパッタリング膜が形成された後のスパッタリング膜の断面SEM像である。図3 (b) ~図3 (e) には、この凹パターンにスパッタリング膜としてのアルミナ膜が埋め込まれた後の状態が示されている。

[0063] 例えば、第1範囲に属さない位相差 θ を適用した場合のスパッタリング膜として、図3 (b) に、試験Bでの位相差60度（電圧値 V_{pp} のプロファイル曲線の最低値を基準とした場合、最低値より左側の位相差 θ ）のSEM像、図3 (c) に、試験Bでの位相差100度（電圧値 V_{pp} のプロファイル曲線の最低値）のSEM像が示される。これらのアルミナ膜では、矢印Aで示される端部への回り込みが優れず、端部においてアルミナ膜が鋭角状に凹む現象が現れた。このような傾向は、試験Aでも見られた。また、矢印Cで示される開口部が狭くなり、継続して成膜を続けると上部で膜が閉じ、空孔を形成させてしまうことが確認された。

[0064] 一方、第1範囲に属す位相差 θ を適用した場合のスパッタリング膜として、図3 (d) に、試験Aでの位相差100度のSEM像、図3 (e) に、試験Bでの位相差140度のSEM像が示される。これらのアルミナ膜においては、端部においてアルミナ膜が鋭角状に凹むことなく、該端部において段差被覆性に優れたアルミナ膜が形成されることが分かった。また、凹パターンのアスペクト比が0.2~1.0場合でも第1範囲に属さない位相差 θ を適用した場合、矢印Aで示される端部への回り込みが優れず、一方、第1範囲に属す位相差 θ を適用することで、段差被覆性に優れたアルミナ膜が形成されることが分かった。

[0065] 換言すれば、電圧値 V_{pp} のプロファイル曲線は、下に凸となることから、第1範囲に属す電圧値 V_{pp} と同じ電圧値が第1範囲外にも存在することになるが、この第1範囲外の電圧値 V_{pp} を選択するのではなく、同じ値の電圧値 V_{pp} であっても、第1範囲に属す、電圧値 V_{pp} と、相対的に高い容量値となる容量値 C_1 とを組み合わせ選択することで段差被覆性に優れたアルミナ膜が形成される。ここで、第1範囲においては、容量値 C_1 は、容量

値 C_2 よりも大きく設定される。

[0066] 次に、試験Aを利用して位相差 θ を 100° からさらに増加させた場合の結果を説明する。

[0067] 図4には、試験Aでの電圧値 V_{pp} 、容量値 C_1 のプロファイル曲線が示されている。図4において、横軸は、位相差 θ であり、左側縦軸として、電圧値 V_{pp} と、電圧値 V_{pp} のほか電圧値 V_{dc} が示されている。また、右側縦軸として、容量値 C_1 が示されている。また、図4には、上述した位相差 θ が $0^\circ \sim 110^\circ$ の場合のプロファイル曲線も示されている

[0068] 位相差 θ が 100° を超えて $110^\circ \sim 240^\circ$ になると、容量値 C_1 が最大容量値 1000 pF を振り切れ、高周波電源32の出力インピーダンスと、高周波電源32に接続された負荷側インピーダンスとの整合が取れなくなる現象が起きた。この非整合領域（ $110 \sim 240^\circ$ ）では、電圧値 V_{pp} 、電圧値 V_{dc} がともに不安定になった。

[0069] 一方、位相差 θ が 240° を超えて 250° になると、高周波電源32の出力インピーダンスと、高周波電源32に接続された負荷側インピーダンスとが再び整合した。その後、位相差 θ が増すにつれ電圧値 V_{pp} が徐々に上がり、位相差 θ が 300° において電圧値 V_{pp} が最大値となり、その後、位相差 θ が増すにつれ電圧値 V_{pp} が徐々に減少した。また、位相差 θ が 250° 付近では、容量値 C_1 が高く、その後、位相差 θ が増すにつれ容量値 C_1 が徐々に減少することが分かった。なお、電圧値 V_{dc} は、電圧値 V_{pp} が上昇する $240^\circ \sim 290^\circ$ の範囲において徐々に減少することが分かった。

[0070] このように、位相差 θ が $250^\circ \sim 360^\circ$ では、電圧値 V_{pp} のプロファイル曲線が上に凸となる曲線を描くことが分かった。

[0071] このように、電極11に供給される高周波電圧の波形の位相と、電極12に供給される高周波電圧の波形とが一致する位相差 θ の領域（同位相領域（in-phase region）と呼称）では、電圧値 V_{pp} が下に凸、容量値 C_1 が右上がりになるのに対して、電極12に供給される高周波電圧の波形とがずれる

位相差 θ の領域（非同位相領域（anti-phase region）と呼称）では、電圧値 V_{pp} が上に凸、容量値 C_1 が右下がりになることが確認された。

[0072] 本実施形態では、位相差 θ が250度～360度となる領域では、位相差 θ を電圧値 V_{pp} のプロファイル曲線の電圧値 V_{pp} が最大となる位相差 θ_2 からプラス10度、マイナス10度までの第2範囲に設定し、基板121にスパッタリング膜を形成する。例えば、電圧値 V_{pp} が最大となる位相差 θ_2 は、300度となり、第2範囲は、290度～310度の範囲になる。ここで、第2範囲においては、容量値 C_1 は、容量値 C_2 よりも大きく設定される。

[0073] このような第2範囲に属す、電圧値 V_{pp} と容量値 C_1 とが適用された場合のスパッタリング膜と、第2範囲に属さない、電圧値 V_{pp} と容量値 C_1 とが適用された場合のスパッタリング膜との違いについて説明する。

[0074] 図5（a）、（b）は、図3（a）に示す凹パターンにスパッタリング膜が形成された後のスパッタリング膜の断面SEM像である。

[0075] 例えば、第1範囲及び第2範囲に属さないスパッタリング膜の例として、位相差260度の条件で空の凹パターンに成膜を開始した場合の例を示す。図5（a）には、位相差260度のSEM像が示される。この場合、電圧値 V_{dc} が50（V）よりも大きくなり矢印Bで示された凹パターンの最上端がエッチングされて、この最上端においてアルミナ膜がファセット（facet）状になることが確認された。

[0076] 一方、第2範囲に属すスパッタリング膜の例として、図5（b）に、位相差300度のSEM像が示される。このアルミナ膜においては、端部への回り込みが良好になり、端部においてアルミナ膜が鋭角状に凹むことなく、該端部において段差被覆性に優れたアルミナ膜が形成されることが分かった。なお、位相差 θ が310度を超えると、端部においてアルミナ膜が鋭角状に凹むことが確認された。

[0077] このように、高周波電源31から出力される第1高周波電力及び高周波電源32から出力される第2高周波電力がともに固定電力であったとしても、

位相差 θ を操作することによって、凹パターンに対するスパッタリング膜の埋め込み特性が変わることが分かった。特に、電圧値 V_{pp} のプロファイル曲線が最小値となる位相差 θ_1 から位相差 θ をプラス30度からプラス50度までの第1範囲に設定することで、優れた段差被覆性を示すスパッタリング膜が形成されることが分かった。あるいは、電圧値 V_{pp} のプロファイル曲線が最大値となる位相差 θ_2 から位相差 θ をプラス10度、マイナス10度の第2範囲に設定することで、優れた段差被覆性を示すスパッタリング膜が形成されることが分かった。

[0078] なお、電極11と整合回路器41との間であって電極11の直上の位置418（図1）及び、電極12と整合回路器42との間であって電極12の直下の位置428での高周波電力の波形のオシロスコープ観察を行ったところ、0度～110度では、電極11に供給される高周波電圧の波形の位相と、電極12に供給される高周波電圧の波形とが一致し、250度～360度では、電極11に供給される高周波電圧の波形の位相と、電極12に供給される高周波電圧の波形とがずれることが確認された。

[0079] 制御装置60には、予め求められた、電圧値 V_{pp} と容量値 C_1 とのプロファイル曲線のデータが格納されている。制御装置60は、位相差 θ の所定領域における、電圧値 V_{pp} と容量値 C_1 とを組み合わせ選択することによって基板121にスパッタリング膜を形成する。

[0080] 例えば、制御装置60は、位相調整器50を制御することによって、位相差 θ を電圧値 V_{pp} のプロファイル曲線の電圧値 V_{pp} が最低となる位相差 θ_1 からプラス30度からプラス50度までの第1範囲（電圧値 V_{pp} ：80～130（V））、容量値 C_1 ：600 pF以上）に設定するか、または、位相差 θ を電圧値 V_{pp} のプロファイル曲線の電圧値 V_{pp} が最大となる位相差 θ_2 からプラス10度、マイナス10度までの第2範囲（電圧値 V_{pp} ：260～280（V））、容量値 C_1 ：600～900（pF）、 V_{dc} ：50（V）以下）に設定し、高周波電源32出力インピーダンスと負荷側インピーダンスとが整合した状態で基板121にスパッタリング膜を形成

する。

[0081] これにより、凹パターンに対して優れた段差被覆性を示すスパッタリング膜が形成される。

[0082] (変形例 1)

[0083] 第 1 範囲または第 2 範囲においては、位相差 θ を段階的に変化させて、基板 121 にスパッタリング膜を形成してもよい。位相差 θ を段階的に変化させる際、高周波電源 31 から出力される第 1 高周波電力は同じ電力を維持させる。例えば、容量値 $C1$ の増加に応じて、電圧値 Vdc は増加する傾向にある。そして、電圧値 Vdc が大きくなるほど、スパッタリング膜の下地である凹パターンはスパッタリング粒子によってダメージを受けやすくなる。

[0084] 従って、スパッタリング成膜の開始直後は、電圧値 Vdc が低くなる位相差 θ に設定して、凹パターンにスパッタリング膜を形成し、所定の厚みのスパッタリング膜が凹パターンに埋め込まれたら、位相差 θ を変更して、例えば、成膜速度がより早くなる位相差 θ に設定してスパッタリング成膜を行ってもよい。

[0085] (変形例 2)

図 6 は、変形例 2 に係る電圧値 Vpp 、容量値 $C1$ のプロファイル曲線である。変形例 2 では、位相差 θ の範囲として、第 1 及び第 2 範囲に加えて、第 3 範囲が利用される。

[0086] 図 5 (b) の例のように、位相差 260 度の条件で空の凹パターンに成膜を開始する場合は、凹パターンの最上端がエッチングされる。しかし、位相差 θ を段階的に変化させるプロセスを採用する場合、位相差 θ として位相差 260 度を含む第 3 範囲での成膜を段階的ステップの後半のステップで採用することで、優れた段差被覆性を得ることができる。

[0087] 例えば、第 1 範囲または第 2 範囲において、基板 121 にスパッタリング膜を形成した後、第 3 範囲で基板 121 にスパッタリング膜を形成する。ここで、第 3 範囲とは、位相差 θ が第 2 範囲よりも小さく第 1 範囲よりも大きい範囲である。例えば、第 3 範囲は、位相差 θ 2 から、マイナス 50 度から

マイナス30度の範囲である。第3範囲での容量値C1は、875 pF～1000 pFである。なお、第1範囲または第2範囲の成膜から第3範囲の成膜に切り替える際、高周波電源31から出力される第1高周波電力は同じ電力を維持させる。

[0088] 図7(a)、(b)は、変形例2に係る成膜方法を示す模式的断面である。また、図7(c)は、凹パターンにスパッタリング膜が形成された後のスパッタリング膜の断面SEM像である。図7(c)に示す凹パターン122のアスペクト比は、図3(a)に示す凹パターン122のアスペクト比と同じである。

[0089] 例えば、図7(a)に示すように、最初のステップとして、シリコン酸化物で構成された凹パターン122に、アルミナ膜等のスパッタリング膜125が位相差 θ が第1範囲または第2範囲の条件で形成される。これにより、凹パターン122内には、スパッタリング膜125が形成される。最初のステップでは、凹パターン122の内部の全てにスパッタリング膜125を埋め込むのではなく、凹パターン122内に未充填部分が残ったままスパッタリング膜125が埋められる。例えば、最初のステップでの狙い膜厚は、凹パターン122が形成されていない部分(フィールド部分)に堆積されるスパッタリング膜125の膜厚が凹パターン122の開口幅の40%～60%に設定される。ここで、開口幅とは、凹パターン122がライン・アンド・スペースの場合は、ライン・アンド・スペースが並設される方向に凹パターン122を切断した場合の凹パターン122の最上端での開口幅であり、スルーホールの場合は、スルーホールの最上端での最大径を意味する。また、最初のステップでは、凹パターン122の最上端122cがスパッタリング膜125によって被覆(保護)される。

[0090] ここで、凹パターン122においては、凹パターン122の底部からスパッタリング膜125が堆積するとともに、凹パターン122の側壁からもスパッタリング膜125が堆積する。従って、凹パターン122内に形成されたスパッタリング膜125においては、スパッタリング膜125の中央付近

でスパッタリング膜 1 2 5 が凹んだ凹部 1 2 5 b が形成される。

[0091] 位相差 θ を段階的に変化させないプロセスを採用した場合、換言すれば、位相差 θ が第 1 範囲または第 2 範囲のまま、成膜を継続する場合、凹部 1 2 5 b がなくなるまで凹パターン 1 2 2 をスパッタリング膜 1 2 5 で埋め尽くすには、凹パターン 1 2 2 の深さ以上の厚みのスパッタリング膜 1 2 5 を基板 1 2 1 に成膜する必要がある。しかしながら、基板 1 2 1 に成膜されるスパッタリング膜 1 2 5 の厚みが増すほど、後工程での CMP 処理の負担になる。また、凹部 1 2 5 b は、凹パターンのアスペクト比が高くなるほど形成され易く、第 1 範囲または第 2 範囲のまま、成膜を継続すると、スパッタリング膜 1 2 5 には、凹部 1 2 5 b がボイドとして残存する現象が起き得る。

[0092] そこで、変形例 2 では、第 1 範囲または第 2 範囲の成膜を図 7 (a) の状態で停止し、次のステップとして、位相差 θ が第 3 範囲でスパッタリング成膜を行う。例えば、スパッタリング膜 1 2 5 を形成した後、スパッタリング膜 1 2 5 の上に位相差 θ が第 3 範囲の条件でスパッタリング膜 1 2 6 を形成する。この状態を図 7 (b) に示す。

[0093] 第 3 範囲では、容量値 C 1 の増加に応じて、第 2 高周波電力がより優先的に出力端 4 2 6 を介して電極 1 2 に供給され、第 1 範囲及び第 2 範囲よりも電圧値 V d c が増加する傾向にある。従って、スパッタリング粒子の基板 1 2 1 上への堆積と同時に、基板 1 2 1 に印加されたバイアス電位によって基板 1 2 1 にイオン（例えば、正イオン）粒子が引き込まれ、イオン粒子によるスパッタリング膜の物理エッチングも起きる。ここで、スパッタリング粒子の基板 1 2 1 上への堆積がイオン粒子によるスパッタリング膜の物理エッチングよりも優位に働くときは、スパッタリング膜が物理エッチングされながら、基板 1 2 1 にスパッタリング膜が形成される。

[0094] これにより、第 3 範囲でのスパッタリング成膜では、凹部 1 2 5 b の幅がエッチング効果によってより広がる。また、凹パターン 1 2 2 の最上端 1 2 2 c を被覆するスパッタリング膜 1 2 5 においては、エッチング効果によって、所謂、膜減り（膜厚が薄くなる現象）が起きる。凹部 1 2 5 b の幅がよ

り広がることから、凹部 125b へのスパッタリング膜の埋め込みは、より容易になる。さらに、凹パターン 122 の最上端 122c は、スパッタリング膜 125 によって保護されていることから、最上端 122c はエッチングされることなく原形を維持する。

[0095] 従って、凹パターン 122 が高アスペクト比であっても、スパッタリング膜 126 を形成した後においては、スパッタリング膜 125 と、スパッタリング膜 125 を覆うスパッタリング膜 126 とによって、内部にボイドがないスパッタリング膜 127 が凹パターン 122 内に形成される。内部にボイドがないスパッタリング膜 127 によって凹パターン 122 が良好に埋め込まれることは、図 7 (c) に示す断面 SEM 像によっても確認されている。

[0096] 変形例 2 においては、位相差 θ が第 1 範囲での成膜を行った後、位相差 θ が第 3 範囲での成膜を行ってもよく、位相差 θ が第 2 範囲での成膜を行った後、位相差 θ が第 3 範囲での成膜を行ってもよい。

[0097] ここで、第 1 範囲の位相差 θ から第 3 範囲の位相差 θ に切り替えるには、位相差 θ を第 1 範囲から第 3 範囲にまで増加させればよい。但し、位相差 θ を第 1 範囲から第 3 範囲に移行する場合は、位相差 θ を第 3 範囲の手前で非整合領域を通過させなければならない。このため、この手法では第 1 範囲での成膜を行った後に、プラズマ放電を一旦停止して、第 1 範囲の位相差 θ から第 3 範囲の位相差 θ に切り替える成膜処理を採用する必要がある。

[0098] 一方、第 2 範囲の位相差 θ から第 3 範囲の位相差 θ に切り替えるには、位相差 θ を第 2 範囲から第 3 範囲にまで減少させればよい。この場合、位相差 θ を第 2 範囲から第 3 範囲に移行させても、第 2 範囲と第 3 範囲との間に非整合領域がないことから非整合領域を通過することを要しない。このため、第 2 範囲での成膜を行った後、プラズマ放電を停止させることなく位相差 θ を連続的に変化させて第 3 範囲に切り替えることが可能になる。

[0099] 以上、本発明の実施形態について説明したが、本発明は上述の実施形態にのみ限定されるものではなく種々変更を加え得ることは勿論である。各実施形態は、独立の形態とは限らず、技術的に可能な限り複合することができる

。

符号の説明

- [0100] 1…成膜装置
- 1 1…電極
- 1 1 1…スパッタリングターゲット
- 1 1 2…背面プレート
- 1 2…電極
- 1 2 1…基板
- 1 2 2 c…最上端
- 1 2 2…凹パターン
- 1 2 5、1 2 6、1 2 7…スパッタリング膜
- 1 2 5 b…凹部
- 2 1、2 2…電力供給源
- 3 1、3 2…高周波電源
- 4 1、4 2…整合回路器
- 4 1 1、4 1 2、4 2 1、4 2 2…可変容量
- 4 1 3、4 2 3…インダクタンス
- 4 1 5、4 2 5…入力端
- 4 1 6、4 2 6…出力端
- 4 2 4…センサ
- 5 0…位相調整器
- 6 0…制御装置

請求の範囲

[請求項1]

スパッタリングターゲットを含む第1電極と、

前記第1電極に対向し、基板を支持することが可能な第2電極と、

第1高周波電力を出力する第1高周波電源と、前記第1高周波電源と前記第1電極との間に接続された第1整合回路器とを含む第1電力供給源と、

前記第1高周波電力と同じ周期であって前記第1高周波電力よりも低い第2高周波電力を出力する第2高周波電源と、前記第2高周波電源と前記第2電極との間に接続され、前記第2高周波電源に接続された入力端、前記第2電極に接続された出力端、前記入力端と接地電位との間に接続された第1可変容量、及び前記入力端と前記出力端との間に直列接続された第2可変容量を含む第2整合回路器とを含む第2電力供給源と、

前記第1高周波電源から出力され前記第1整合回路器に入力される前記第1高周波電力及び前記第2高周波電源から出力され前記第2整合回路器に入力される前記第2高周波電力のそれぞれの位相を調整する位相調整器と

を具備する成膜装置を用いて、

前記第1高周波電源から前記第1高周波電力を出力させて、前記第1電極と前記第2電極との間に放電プラズマを形成し、

前記第2高周波電源から前記第2高周波電力を出力させるとともに前記位相調整器を操作して前記第1高周波電力の位相と前記第2高周波電力の位相とに位相差 θ を設け、

前記第2高周波電源の出力インピーダンスと前記第2高周波電源に接続された負荷側インピーダンスとが整合した状態での、前記位相差 θ に応じた、前記第2高周波電力の電圧値 V_{pp} と前記第1可変容量の容量値 C_1 とを検出し、

前記位相差 θ の所定範囲における、前記電圧値 V_{pp} と前記容量値

C 1 とを組み合わせ選択することによって前記基板にスパッタリング膜を形成する

成膜方法。

[請求項2]

請求項 1 に記載された成膜方法であって、

前記第 1 高周波電力の位相に対して前記第 2 高周波電力の位相を遅らせることによって前記位相差 θ を形成し、

前記位相差 θ を変化させることによって前記位相差 θ に応じた、前記電圧値 V_{pp} のプロファイル曲線及び前記容量値 C 1 のプロファイル曲線を取得し、

前記位相差 θ を前記電圧値 V_{pp} のプロファイル曲線の前記電圧値 V_{pp} が最低となる位相差 θ_1 からプラス 30 度からプラス 50 度までの第 1 範囲に設定するか、または、前記位相差 θ を前記電圧値 V_{pp} のプロファイル曲線の前記電圧値 V_{pp} が最大となる位相差 θ_2 からプラス 10 度、マイナス 10 度までの第 2 範囲に設定し、前記出力インピーダンスと前記負荷側インピーダンスとが整合した状態で前記基板に前記スパッタリング膜を形成する

成膜方法。

[請求項3]

請求項 2 に記載された成膜方法であって、

前記第 1 範囲または前記第 2 範囲において、前記位相差 θ を段階的に変化させて、前記基板に前記スパッタリング膜を形成する

成膜方法。

[請求項4]

請求項 2 または 3 に記載された成膜方法であって、

前記第 1 範囲または前記第 2 範囲において、前記基板に前記スパッタリング膜を形成した後、

前記位相差 θ が前記第 2 範囲よりも小さく前記第 1 範囲よりも大きい第 3 範囲で前記基板に前記スパッタリング膜を形成する

成膜方法。

[請求項5]

請求項 4 に記載された成膜方法であって、

前記第3範囲は、前記位相差 θ 2から、マイナス50度からマイナス30度の範囲である

成膜方法。

[請求項6]

スパッタリングターゲットを含む第1電極と、

前記第1電極に対向し、基板を支持することが可能な第2電極と、

第1高周波電力を出力する第1高周波電源と、前記第1高周波電源と前記第1電極との間に接続された第1整合回路器とを含む第1電力供給源と、

前記第1高周波電力と同じ周期であって前記第1高周波電力よりも低い第2高周波電力を出力する第2高周波電源と、前記第2高周波電源と前記第2電極との間に接続され、前記第2高周波電源に接続された入力端、前記第2電極に接続された出力端、前記入力端と接地電位との間に接続された第1可変容量、及び前記入力端と前記出力端との間に直列接続された第2可変容量を含む第2整合回路器とを含む第2電力供給源と、

前記第1高周波電源から出力され前記第1整合回路器に入力される前記第1高周波電力及び前記第2高周波電源から出力され前記第2整合回路器に入力される前記第2高周波電力のそれぞれの位相を調整する位相調整器と、

前記第1電力供給源、前記第2電力供給源、及び前記位相調整器を制御する制御装置と

を具備し、

前記制御装置には、

前記第1高周波電源から前記第1高周波電力を出力させて、前記第1電極と前記第2電極との間に放電プラズマを形成し、

前記第2高周波電源から前記第2高周波電力を出力させるとともに前記位相調整器を操作して前記第1高周波電力の位相と前記第2高周波電力の位相とに位相差 θ を設け、

前記第2高周波電源の出力インピーダンスと前記第2高周波電源に接続された負荷側インピーダンスとが整合した状態での、前記位相差 θ に応じた、前記第2高周波電力の電圧値 V_{pp} と前記第1可変容量の容量値 C_1 とを検出したデータが格納され、

前記制御装置は、前記位相差 θ の所定領域における、前記電圧値 V_{pp} と前記容量値 C_1 とを組み合わせ選択することによって前記基板にスパッタリング膜を形成する

成膜装置。

[請求項7]

請求項6に記載された成膜装置であって、

前記制御装置には、前記第1高周波電力の位相に対して前記第2高周波電力の位相を遅らせることによって前記位相差 θ を形成し、

前記位相差 θ を変化させることによって前記位相差 θ に応じた、前記電圧値 V_{pp} のプロファイル曲線及び前記容量値 C_1 のプロファイル曲線が格納され、

前記制御装置は、

前記位相差 θ を前記電圧値 V_{pp} のプロファイル曲線の前記電圧値 V_{pp} が最低となる位相差 θ_1 からプラス30度からプラス50度までの第1範囲に設定するか、または、前記位相差 θ を前記電圧値 V_{pp} のプロファイル曲線の前記電圧値 V_{pp} が最大となる位相差 θ_2 からプラス10度、マイナス10度までの第2範囲に設定し、前記出力インピーダンスと前記負荷側インピーダンスとが整合した状態で前記基板に前記スパッタリング膜を形成する

成膜装置。

[請求項8]

請求項7に記載された成膜装置であって、

前記第1範囲または前記第2範囲において、前記位相差 θ を段階的に変化させて、前記基板に前記スパッタリング膜を形成する

成膜装置。

[請求項9]

請求項7または8に記載された成膜方法であって、

前記第 1 範囲または前記第 2 範囲において、前記基板に前記スパッタリング膜を形成した後、

前記位相差 θ が前記第 2 範囲よりも小さく前記第 1 範囲よりも大きい第 3 範囲で前記基板に前記スパッタリング膜を形成する成膜装置。

[請求項10]

請求項 9 に記載された成膜方法であって、

前記第 3 範囲は、前記位相差 θ 2 から、マイナス 5 0 度からマイナス 3 0 度の範囲である成膜装置。