

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年8月14日(14.08.2014)



(10) 国際公開番号
WO 2014/123199 A1

- (51) 国際特許分類:
H02M 7/493 (2007.01) **H02M 7/48** (2007.01)
H02J 3/38 (2006.01)
- (21) 国際出願番号: PCT/JP2014/052798
- (22) 国際出願日: 2014年2月6日(06.02.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-020991 2013年2月6日(06.02.2013) JP
- (71) 出願人: 株式会社明電舎(MEIDENSHA CORPORATION) [JP/JP]; 〒1416029 東京都品川区大崎2丁目1番1号 Tokyo (JP).
- (72) 発明者: 大井 一伸(OI, Kazunobu); 〒1416029 東京都品川区大崎2丁目1番1号 株式会社明電舎内 Tokyo (JP).
- (74) 代理人: 小林 博通, 外(KOBAYASHI, Hiromichi et al.); 〒1040044 東京都中央区明石町1番29号 掖済会ビル S H I G A 内外国特許事務所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

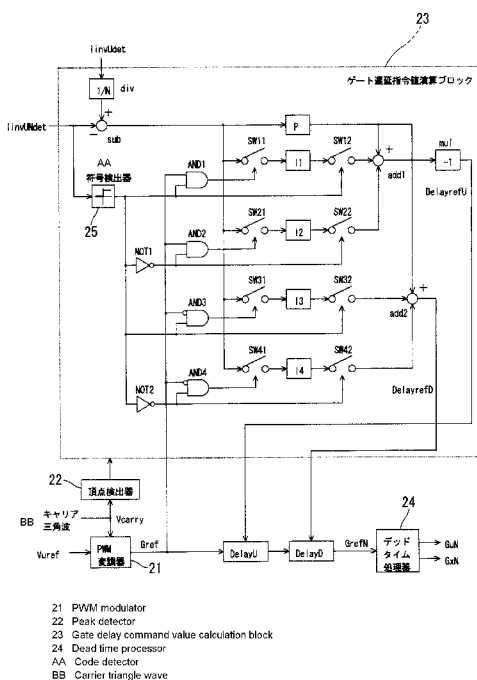
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロシヤ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲 (条約第 19 条(1))

(54) Title: CROSS-CURRENT SUPPRESSION CONTROL DEVICE FOR POWER CONVERSION CIRCUIT

(54) 発明の名称: 電力変換回路の横流電流抑制制御装置



(57) Abstract: A power conversion device having inverter units connected in parallel, wherein not only cross-current caused by gate signal timing, but also cross-current caused by switching element characteristics errors as well as gate signal delay interference caused by, e.g., a physical configuration as a result of the distance or shape of a transmission circuit are suppressed. A specified gain is multiplied by a proportional amp (P), using as the cross-current the deviation between an inverter unit output current command value (IinvUdet/N) and an inverter unit output current detection value (IinvUNdet). Integral amps (I1-I4) are provided each time each switching element is turned ON or OFF, and the cross-current generated after the switching elements have turned ON or turned OFF is integral-amp processed and updated. The outputs of the proportional amp (P) and the integral amps (I1-I4) are added and a rising gate delay command value (DelayrefU) and a falling gate delay command value (DelayrefD) are output.

(57) 要約: インバータユニットを並列接続した電力変換装置において、ゲート信号のタイミングに起因する横流電流だけでなく、スイッチング素子の特性誤差や、伝送回路の距離や形状による物理的構成等に起因するゲート信号の遅延外乱に起因する横流電流を抑制する。比例アンプPにより、インバータユニット出力電流指令値 $I_{invUdet}/N$ とインバータユニット出力電流検出値 $I_{invUNdet}$ との偏差を横流電流として指定ゲインを乗算する。積分アンプI1～I4は、各スイッチング素子のターンON、ターンOFFごとに設けられ、スイッチング素子がターンONまたはターンOFFした後に生じた横流電流を積分アンプ処理して更新する。比例アンプPと積分アンプI1～I4との出力を加算し

て、立ち上がりのゲート遅延指令値 $DelayrefU$ と立ち下りのゲート遅延指令値 $DelayrefD$ を出力する。