

准循环低密度奇偶校验编码设计方法、装置及存储介质

相关申请的交叉引用

本申请基于申请号为 201710496533.7、申请日为 2017 年 06 月 26 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的
5 内容在此以引入方式并入本申请。

技术领域

本发明涉及通信领域，具体而言，涉及一种准循环低密度奇偶校验编码设计方法、装置及计算机存储介质。

背景技术

10 在相关技术的数字通信系统中，一般包括三个部分：发送端、信道和接收端。发送端可对信息序列进行信道编码从而获取编码码字，对编码码字进行交织，并将交织后的比特映射成调制符号，然后可以根据通信信道信息来处理和发送调制符号。在信道中，由于多径、移动等因素导致特定的信道响应，这些都会使数据传输失真，同时由于噪声和干扰也会进一步
15 恶化数据传输。接收端接收通过信道后的调制符号数据，此时的调制符号数据已经失真，需要进行特定处理才能恢复原始信息序列。

根据发送端对信息序列的编码方法，接收端可以对接收数据进行相应处理从而可靠地恢复原始信息序列。所述的编码方法必须是收发两端都是可见的。一般地，所述编码处理方法是基于前向纠错（Forward Error
20 Correction, FEC）编码，其中，前向纠错编码在信息序列中添加一些冗余信息。接收端可以利用该冗余信息来可靠地恢复原始信息序列。

一些常见的 FEC 编码包括：卷积码、Turbo 码和低密度奇偶校验（Low Density Parity Check, LDPC）码。FEC 编码过程中，对比特数目为 k 的信息序列进行 FEC 编码获得 n 比特的 FEC 编码码字（冗余比特为 $n-k$ ），FEC
25 编码码率为 k/n 。LDPC 码是一种可以用非常稀疏的奇偶校验矩阵或者二分

图定义的线性分组码，正是利用它的校验矩阵的稀疏性，才能实现低复杂度的编译码，从而使得 LDPC 走向实用化。经过各种实践和理论证明，LDPC 码是在加性高斯白噪声（Additive White Gaussian Noise, AWGN）信道下性能最为优良的信道编码，性能非常靠近香农极限。LDPC 码的奇偶校验矩阵中，每一行都是一个奇偶校验码，每一行中如果某一索引位置元素值等于 1 则说明该比特参与到该奇偶校验码中，如果等于 0，则说明该位置比特不参与该奇偶校验码。

准循环 LDPC 码由于具有结构化特征，逐渐成为主流应用，如在 IEEE802.11ac、IEEE802.11ad、IEEE802.11aj、IEEE802.16e、IEEE802.11n、DVB、微波通信以及光纤通信等中获得大量应用。准循环 LDPC 码的奇偶校验矩阵 H 为 $M \times Z$ 行和 $N \times Z$ 列的矩阵，它是由 $M \times N$ 个子矩阵构成，每个子矩阵都是大小为 $Z \times Z$ 的基本置换矩阵的不同幂次，也就是大小为 $Z \times Z$ 单位阵的循环移位若干值所获得的子矩阵。为了从数学上更容易描述单位阵的循环移位，准循环 LDPC 码的奇偶校验矩阵可以描述为有如下的数学公式形式：

$$H = \begin{bmatrix} P^{hb_{11}} & P^{hb_{12}} & P^{hb_{13}} & \dots & P^{hb_{1N}} \\ P^{hb_{21}} & P^{hb_{22}} & P^{hb_{23}} & \dots & P^{hb_{2N}} \\ \dots & \dots & \dots & \dots & \dots \\ P^{hb_{M1}} & P^{hb_{M2}} & P^{hb_{M3}} & \dots & P^{hb_{MN}} \end{bmatrix} = P^{Hb}$$

如果 $hb_{ij} = -1$ ，则有 $P^{hb_{ij}}$ 是大小为 $Z \times Z$ 的全零矩阵；否则， $P^{hb_{ij}}$ 是对标准置换矩阵 P 的非负整数次幂，所述的标准置换矩阵 P 如下所示：

$$P = \begin{bmatrix} 0 & 1 & 0 & \dots & 0 \\ 0 & 0 & 1 & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots \\ 0 & 0 & 0 & \dots & 1 \\ 1 & 0 & 0 & \dots & 0 \end{bmatrix}$$

通过这样定义， Z 和幂次 hb_{ij} 可以唯一标识每一个分块矩阵，如果某一分块矩阵为全 0 矩阵，可以用“-1”来表示或者空值表示或者其他形式表示；而如果是单位阵的循环移位 s 获得，则等于 s 。所有 hb_{ij} 可以构成一个准循环 LDPC 编码的基础矩阵 Hb ，进而 LDPC 码的基础矩阵 Hb 可以表示如下：

$$Hb = \begin{bmatrix} hb_{11} & hb_{12} & hb_{13} \cdots hb_{1N} \\ hb_{21} & hb_{22} & hb_{23} \cdots hb_{2N} \\ \cdots & \cdots & \cdots \cdots \\ hb_{M1} & hb_{M2} & hb_{M3} \cdots hb_{MN} \end{bmatrix}$$

基础矩阵 Hb 中包含 2 种元素：1. 指示全零方阵的元素；2. 指示单位阵循环移位大小的元素，一般采用 $0^{-(Z-1)}$ 的整数表示。可以将所述基础矩阵 Hb 称为基础校验矩阵或者移位值矩阵或者置换值矩阵，所述基础矩阵 Hb 中，如果将表示为全零矩阵的元素替换为“0”元素，并且将其他元素替换为“1”元素，可以获得准循环 LDPC 编码的模板矩阵。所以可以根据准循环 LDPC 码的模板矩阵和一组移位值（或系数）可以确定准循环 LDPC 编码的基础矩阵。以及，可以将所述基本置换矩阵或全零方阵的维数 Z 定义为提升值（shift size 或者 lifting size）或者扩展因子。

在实际准循环 LDPC 编码过程中，由于需要多个提升值来支持灵活码长设计，而如果每个提升值对应一个基础矩阵，那么需要存储的基础矩阵会非常多，所以，在准循环 LDPC 编码过程中，存在一个基础矩阵系数来支持多个提升值所对应的基础矩阵。例如，存在一个基础矩阵系数为 Hb0，以及所支持的提升值为 Z0、Z1、Z2 和 Z3。那么对应于第 i 个提升值 Zi 的准循环 LDPC 编码的基础矩阵可以通过对基础矩阵系数的所有非“-1”元素值进行对 Zi 求余或者按比例向下取整获得，使得基础矩阵的非“-1”元素值小于提升值。当获得了对应于 Zi 的基础矩阵后，就可以对待编码的信息比特序列进行准循环 LDPC 编码。

所以，结构化 LDPC 码完全可以由基础校验矩阵 Hb 和提升值 Z 唯一确定。例如，基础矩阵 Hb（2 行 4 列）如下且对应的提升值 z 等于 4。

$$Hb = \begin{bmatrix} 0 & 1 & 0 & -1 \\ 2 & 1 & 2 & 1 \end{bmatrix}$$

则对应的模板矩阵为：

$$BG = \begin{bmatrix} 1 & 1 & 1 & 0 \\ 1 & 1 & 1 & 1 \end{bmatrix}$$

则根据基础矩阵 Hb 和提升值 Z 获得奇偶校验矩阵 H 为:

$$H = \left[\begin{array}{cccc|cccc|cccc|cccc} 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ \hline 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \end{array} \right]$$

对于准循环 LDPC 编码来说, 为了使得 LDPC 译码性能良好, 需要引入 girth 和短圈的概念, 其中, 圈长为 4 的定义为: 存在 4 个正整数值 {a0, a1, b0, b1}, 其中对应于基础矩阵中元素为 Hb(a0, b0)、Hb(a0, b1)、Hb(a1, b0) 和 Hb(a1, b1) 都是非“-1”元素, 则定义为基础矩阵存在圈长为 4 的短圈; 以及类似地, 存在 6 个正整数值 {a0, a1, a2, b0, b1, b2}, 其中对应于基础矩阵中元素为 Hb(a0, b0)、Hb(a0, b1)、Hb(a1, b1)、Hb(a1, b2)、Hb(a2, b2) 和 Hb(a2, b0) 都是非“-1”元素, 则定义为基础矩阵存在圈长为 6 的短圈; 同理, 存在 8 个正整数值 {a0, a1, a2, a3, b0, b1, b2, b3}, 其中对应于基础矩阵中元素为 Hb(a0, b0)、Hb(a0, b1)、Hb(a1, b1)、Hb(a1, b2)、Hb(a2, b2)、Hb(a2, b3)、Hb(a3, b3)、和 Hb(a3, b0) 都是非“-1”元素, 则定义为基础矩阵存在圈长为 8 的短圈; 依次类推, 可以定义基础矩阵的圈长为 10、12 等短圈。以及, 对应于 girth 的定义为, 如果基础矩阵中所有圈长为 4 的短圈中只要存在一个短圈满足 $\text{mod}(\text{Hb}(a_0, b_0) - \text{Hb}(a_0, b_1) + \text{Hb}(a_1, b_1) - \text{Hb}(a_1, b_0), Z) == 0$, 则认为所述基础矩阵和所述提升值 Z 所确定的奇偶校验矩阵的 girth 为 4; 如果所有圈长为 4 的短圈都满足 $\text{mod}(\text{Hb}(a_0, b_0) - \text{Hb}(a_0, b_1) + \text{Hb}(a_1, b_1) - \text{Hb}(a_1, b_0), Z) \neq 0$, 并且存在至少 1 个圈长为 6 的短圈满足 $\text{mod}(\text{Hb}(a_0, b_0) - \text{Hb}(a_0, b_1) + \text{Hb}(a_1, b_1) - \text{Hb}(a_1, b_2) + \text{Hb}(a_2, b_2) - \text{Hb}(a_2, b_0), Z) == 0$, 则定义所述基础矩阵和所述提升值 Z 所确定的奇偶校验矩阵的 girth 为 6; 以及同理 girth 为 8 的定义为: 不存在 girth 为 4 和 6 的短圈, 并且存在至少 1 个圈长为 8 的短圈满足 $\text{mod}(\text{Hb}(a_0, b_0) - \text{Hb}(a_0, b_1) + \text{Hb}(a_1, b_1) - \text{Hb}(a_1, b_2) + \text{Hb}(a_2, b_2) - \text{Hb}(a_2, b_3) + \text{Hb}(a_3, b_3) - \text{Hb}(a_3, b_0), Z) == 0$, 则定义所述基础矩阵

和所述提升值 Z 所确定的奇偶校验矩阵的 girth 为 8。其中, 计算公式 $\text{mod}(x1, x2)$ 的意思是 $x1$ 对 $x2$ 求模, 例如 $\text{mod}(10, 3)=1$ 。如上示例中的基础矩阵, 可以看出所述基础矩阵和所述提升值所确定的奇偶校验矩阵的 girth 为 4, 因为存在短圈为 4 的 girth, 如 $\{a0, a1, b0, b1\} = \{1, 2, 1, 3\}$ 所确定的 4 个元素满足 $\text{mod}(Hb(a0, b0) - Hb(a0, b1) + Hb(a1, b1) - Hb(a1, b0), Z) = 0$ 。

对于准循环 LDPC 编码来说, 如果基础矩阵和所述提升值所确定的奇偶校验矩阵的 girth 越大, 说明 LDPC 码字特性越随机, 性能越好, 而且最小码距越大, 从而就越不容易出现错误平层。所以在 LDPC 码的设计过程中, 非常看重准循环 LDPC 码基础矩阵的 girth 特性, 以及从基础矩阵的 girth 特性基本可以初步判断所述准循环 LDPC 编码的性能好坏。但是, 对于 girth 越大的准循环 LDPC 码基础矩阵的设计难度也越高。

从以上所述的 LDPC 码奇偶校验矩阵来看, 可以知道, 奇偶校验矩阵的第 1 行等于 1 的元素索引为 $[1 \ 6 \ 9]$, 说明在该结构化 LDPC 码中, 第 1 比特、第 6 比特和第 9 比特构成一个奇偶校验码; 同理, 第 2 行中等于 1 的索引为 $[2 \ 7 \ 10]$, 则第 2 比特、第 7 比特和第 10 比特构成一个奇偶校验码; 依此类推, 可以知道 LDPC 码其实就是很多个奇偶校验码堆积起来的码字。根据以上所述的准循环 LDPC 编码定义, 由于奇偶校验矩阵的每一行对应一个奇偶校验编码, 所以奇偶校验矩阵的行数必然等于奇偶校验矩阵的校验列数, 这样才可以进行有效编码。如上所述的奇偶校验矩阵, 前 8 $(2 \times Z = 2 \times 4)$ 列为奇偶校验矩阵的系统列, 后 8 $(2 \times Z = 2 \times 4)$ 列为奇偶校验矩阵的校验列。同理, 在基础矩阵中, 基础矩阵的行数等于基础矩阵的校验列数, 如上所述示例的准循环 LDPC 码的基础矩阵, 前 2 列是系统列, 后 2 列是校验列, 基础矩阵的行数正好等于基础矩阵的校验列数。在准循环 LDPC 编码过程中, 可以直接根据由基础矩阵 Hb 和提升值 Z 确定的奇偶校验矩阵进行编码, 根据 LDPC 码的定义, $H \times C = 0$, 而奇偶校验矩阵 H 包括 $[Hs \ Hp]$, 其中 Hs 是奇偶校验矩阵的系统列部分矩阵, Hp 是奇偶校验矩阵的校验列部分矩阵, 以及 LDPC 码字 C 可以包括 $[Cs \ Cp]$, 其中 Cs 是 LDPC 码的系统比特序列 (信息比特, 已知比特), Cp 是 LDPC 码的校验比特序列 (未知比特), LDPC 编码过程即是计算校验比特序列的过程; 依据 $H \times C = 0$ 进而可以得出, $Hs \times Cs = Hp \times Cp$; 然后, 可以计算获得校验比特序列为 $Cp =$

$H_p^{-1} \times H_s \times C_s$, 所以奇偶校验矩阵的校验列部分矩阵必须是方阵而且是二进制可逆; 从而可以获得准循环 LDPC 编码序列为 $[C_s \ C_p]$ 。当然, 也可以根据每个 Z 比特块的循环移位进行处理计算获得。

LDPC 码在译码时, 一般采用分层译码, 即采用行并行 (row parallel) 译码方法, 相比于全并行 (flooding) 译码可以大大降低迭代次数 (约只要一半迭代次数)。如上所述的结构化 LDPC 码的奇偶校验矩阵有 8 行 (扩展因子 $Z=4$, 基础矩阵有 2 行和 4 列), 说明有 8 个奇偶校验码或者说 8 个校验方程, 在译码时, 需要每个奇偶校验码分别译码, 如果所有 8 个奇偶校验码都更新数据完则为一个迭代。而在如果采用分层译码的行或者部分并行中, 每次迭代过程中, 如并行度为 p , 即有 p 个奇偶校验码同时更新, 则迭代中当前和下一个 p 个奇偶校验码运行都是采用同一个更新模块 (奇偶校验码更新模块), 则译码器的复杂度要低很多, 而且分层译码中下一层的数据更新可以采用当前已经更新好的数据, 所以需要的迭代次数更低, 译码吞吐量要高一些。如以上所示的 H , 如果并行度为 2, 则奇偶校验矩阵的每 4 行 (对应于基础校验矩阵的一行) 有 2 个并行度的奇偶校验码同时更新。

因此, 准循环 LDPC 编码设计中, 基础矩阵设计非常重要, 如果设计不好, 会使得准循环 LDPC 编码的性能非常差以及出现错误平层 (error floor), 针对相关技术中的准循环 LDPC 码的出现性能较差等设计困难问题, 目前对基础矩阵的设计, 尚未存在有效的解决方案。

发明内容

本发明实施例提供了一种准循环低密度奇偶校验编码设计方法、装置及计算机存储介质, 以至少解决相关技术中的准循环 LDPC 码的性能较差问题。

根据本发明的一个实施例, 提供了一种准循环低密度奇偶校验编码设计方法, 包括: 依据准循环低密度奇偶校验 LDPC 码的奇偶校验矩阵对长度为 K 比特的待编码信息序列进行 LDPC 编码, 获得长度为 N 比特的 LDPC 编

码序列；其中，所述奇偶校验矩阵由基础矩阵和提升值 Z 确定，并且所述基础矩阵由所述提升值 Z 和系数矩阵确定，所述 K 是正整数， N 是大于 K 的整数， Z 是正整数。

5 根据本发明的另一个实施例，提供了一种准循环低密度奇偶校验编码设计装置，包括：准循环低密度奇偶校验 LDPC 编码模块，配置为依据准循环 LDPC 码的奇偶校验矩阵对长度为 K 比特的待编码信息序列进行 LDPC 编码，获得长度为 N 比特的 LDPC 编码序列；其中，所述奇偶校验矩阵由基础矩阵和提升值 Z 确定，并且所述基础矩阵由所述提升值 Z 和系数矩阵确定，所述 K 是正整数， N 是大于 K 的整数， Z 是正整数。

10 根据本发明的又一个实施例，还提供了一种存储介质，该存储介质设置为存储用于执行以下步骤的程序代码：

依据准循环低密度奇偶校验 LDPC 码的奇偶校验矩阵对长度为 K 比特的待编码信息序列进行 LDPC 编码，获得长度为 N 比特的 LDPC 编码序列；

15 其中，所述奇偶校验矩阵由基础矩阵和提升值 Z 确定，并且所述基础矩阵由所述提升值 Z 和系数矩阵确定，所述 K 是正整数， N 是大于 K 的整数， Z 是正整数。

20 通过本发明实施例，依据准循环低密度奇偶校验 LDPC 码的奇偶校验矩阵对长度为 K 比特的待编码信息序列进行 LDPC 编码，所述奇偶校验矩阵由基础矩阵和提升值 Z 确定，且所述基础矩阵由所述提升值 Z 和系数矩阵确定，解决了相关技术中的准循环 LDPC 码的性能较差问题，从而有效提高准循环 LDPC 编码性能。

附图说明

25 此处所说明的附图用来提供对本发明的进一步理解，构成本申请的一部分，本发明的示意性实施例及其说明用于解释本发明，并不构成对本发明的不当限定。在附图中：

图 1 是根据本发明实施例的准循环低密度奇偶校验编码设计方法的流程图；

图 2 是根据本发明实施例的准循环低密度奇偶校验编码设计装置的结构框图;

图 3 是发明示例 1 的准循环低密度奇偶校验编码设计方法流程图;

图 4 是发明示例 2 的准循环低密度奇偶校验编码设计装置的结构图。

5 具体实施方式

下文中将参考附图并结合实施例来详细说明本发明。需要说明的是,在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。

需要说明的是,本发明的说明书和权利要求书及上述附图中的术语“第一”、“第二”等是用于区别类似的对象,而不必用于描述特定的顺序或先后次序。

实施例 1

本实施例中提供了一种准循环低密度奇偶校验编码设计方法,图 1 是根据本发明实施例的准循环低密度奇偶校验编码设计方法的流程图,如图 1 所示,该流程包括如下步骤:

15 步骤 S102,由基础矩阵系数和提升值 Z 确定奇偶校验矩阵;

步骤 S104,依据准循环低密度奇偶校验 LDPC 码的奇偶校验矩阵对长度为 K 比特的待编码信息序列进行 LDPC 编码,获得长度为 N 比特的 LDPC 编码序列;

其中, K 是正整数, N 是大于 K 的整数, Z 是正整数。

20 通过上述步骤,依据准循环低密度奇偶校验 LDPC 码的奇偶校验矩阵对长度为 K 比特的待编码信息序列进行 LDPC 编码,所述奇偶校验矩阵由基础矩阵和提升值 Z 确定,且所述基础矩阵由所述提升值 Z 和系数矩阵确定,解决了相关技术中的准循环 LDPC 码的性能较差问题,从而有效提高准循环 LDPC 编码性能。

25 可选地,本实施例还存在一个提升值集合 Z_{set} ,其中所述提升值 Z 是所述提升值集合 Z_{set} 的一个元素;存在 A 个提升值子集合,其中第 i 个提升值子集合表示为 $Z_{\text{set}i}$, $i=1,2,3,\dots,A$,其中,所述 A 个提升值子集合的

所有元素构成所述提升值集合 Z_{set} , 所述 A 个提升值子集合之间无交集;
 存在一个系数矩阵集合, 其中所述系数矩阵是所述系数矩阵集合的一个系
 数矩阵, 所述系数矩阵集合中第 i 个系数矩阵所支持的所有提升值构成所
 述第 i 个提升值子集合 Z_{seti} ; 其中, 所述系数矩阵集合包括 A 个系数矩阵,
 5 所述 A 是大于 1 的整数, 所述 A 个系数矩阵具有相同的行数目和相同的列
 数目, 所述 A 个系数矩阵中都具有相同的非 “-1” 元素位置, 所述提升值集
 合 Z_{set} 中所有元素都是正整数。

可选地, 所述提升值集合 Z_{set} 中所有提升值分别与所述系数矩阵集合
 中第 i 个系数矩阵所确定的所有基础矩阵的奇偶校验矩阵中满足 $girth$ 大
 10 于或等于 6 所对应的所有提升值构成集合 $Z0_{seti}$, 所述集合 $Z0_{seti}$ 中属于
 第 i 个提升值子集合 Z_{seti} 的元素个数为 $L0i$, 所述集合 $Z0_{seti}$ 中不属于
 第 i 个提升值子集合 Z_{seti} 的元素个数为 $L1i$, 其中, 所述 $L0i$ 是小于或等
 于 $L1i$ 的正整数, $L1i$ 是所述第 i 个提升值子集合 Z_{seti} 的元素个数, 其中,
 15 $L1i \geq 2$, 或 $L1i \geq 3$, 或 $L1i \geq 4$, 或 $L1i \geq 5$, 或 $L1i \geq 6$, 或 $L1i \geq 7$, 或 $L1i$
 ≥ 8 , 或 $L1i \geq 9$, 或 $L1i \geq 10$, 或 $L1i \geq 11$ 。

可选地, 存在一个第一系数矩阵集合, 所述第一系数矩阵集合中的所有
 系数矩阵具有相同的行数目和相同的列数目, 并且所述第一系数矩阵集
 合中的任一系数矩阵与所述系数矩阵集合的系数矩阵具有相同的行数目和
 相同的列数目。

20 可选地, 所述系数矩阵集合中至少包括所述第一系数矩阵集合中的一个
 系数矩阵。

可选地, 所述系数矩阵集合中至少包括所述第一系数矩阵集合中一个
 调整后的系数矩阵。

可选地, 所述调整后的系数矩阵的第 s 行从第 1 元素到第 $kb+M$ 元素中
 25 所有非 “-1” 元素值等于调整前的系数矩阵的从第 s 行第 1 元素到第 $kb+M$
 元素中所有非 “-1” 元素值加上 R_s 后并对 Z_{max} 求余所获得的所有整数值,
 其中, $s=1, 2, 3, \dots, row$, R_s 是对应于第 s 行所加的整数值, $R_0, R_1, \dots, R(row)$
 中至少存在一个非零整数; 或者, 所述调整后的系数矩阵的第 t 列从第 1
 元素到第 row 元素中所有非 “-1” 元素值等于调整前的系数矩阵的第 t 列

从第 1 元素到第 row 元素中所有非“-1”元素值加上 C_t 后并对 $Z_{\max}$ 求余所获得的所有整数值, 其中, $t=1, 2, 3, \dots, \text{col}$, C_t 是对应于第 t 列所加的整数值, $C_0, C_1, \dots, C(\text{col})$ 中至少存在一个非零整数; 其中, row 是所述系数矩阵的行数, col 是所述系数矩阵的列数, kb 等于 col 与 row 的差值, M 是小于 10 的非负整数, 所述 $Z_{\max}$ 是所述调整后的系数矩阵所支持的最大提升值, $Z_{\max}$ 是正整数。

可选地, 所述调整后的系数矩阵中第 s 行第 t 列元素值等于调整前的系数矩阵的第 s 行第 t 列元素值加上 $(X_s + Y_t)$ 后并对 $Z_{\max}$ 求余所获得的整数值; 其中, 所述调整前的系数矩阵中第 s 行第 t 列元素值是非“-1”元素, $s=1, 2, 3, \dots, \text{row}$, $t=1, 2, 3, \dots, \text{kb}+M$, kb 等于 col 与 row 的差值, 所述 row 是所述系数矩阵的行数, 所述 col 是所述系数矩阵的列数, M 是小于 10 的非负整数, X_s 和 Y_t 都是整数, 并且, $X_0, X_1, \dots, X(\text{row})$ 和 $Y_0, Y_1, \dots, Y(\text{kb}+M)$ 中至少存在一个非零整数。所述对系数矩阵同一行中所有非“-1”元素加相同整数和/或同一列中所有非“-1”元素加相同整数, 相当于对准循环 LDPC 码进行交织, 不影响准循环 LDPC 编码的 girth 特性和码距特性, 所以不影响准循环 LDPC 码的性能; 而所述行或列上所有非“-1”元素同时加相同整数的有益效果在于: 可以使得准循环 LDPC 码的基础矩阵具有一定特性, 如“0”元素比较多, 由于其相当于没有进行循环移位, 所以可以减少编码和译码的复杂度, 并且不影响译码性能; 而且在特定情况下, 可能会提高准循环 LDPC 码的性能, 如进行比特选择中没有完全选择提升值 Z 的整数倍的 LDPC 编码序列时, 可以根据不同交织情况选择性能较好的所述相同整数进行调整。

可选地, 所述 A 等于 8, 并且所述 8 个提升值子集合分别为: $Z_{\text{set}1}=\{2, 4, 8, 16, 32, 64, 128, 256\}$ 、 $Z_{\text{set}2}=\{3, 6, 12, 24, 48, 96, 192\}$ 、 $Z_{\text{set}3}=\{5, 10, 20, 40, 80, 160\}$ 、 $Z_{\text{set}4}=\{7, 14, 28, 56, 112, 224\}$ 、 $Z_{\text{set}5}=\{9, 18, 36, 72, 144\}$ 、 $Z_{\text{set}6}=\{11, 22, 44, 88, 176\}$ 、 $Z_{\text{set}7}=\{13, 26, 52, 104, 208\}$ 、 $Z_{\text{set}8}=\{15, 30, 60, 120, 240\}$ 。

可选地, 所述集合 $Z_0\text{set}i$ 分别为: $Z_0\text{set}1=\{56, 80, 104, 112, 120, 128, 160, 176, 192, 208, 224, 240, 256\}$, $Z_0\text{set}2=\{44, 48, 72, 88,$

96, 144, 160, 176, 192, 208, 224, 240, 256}, Z0set3={ 60, 80, 120, 128, 160, 208, 224, 240, 256}, Z0set4={ 56, 60, 104, 112, 120, 128, 192, 208, 224, 240, 256}, Z0set5={ 72, 128, 144, 160, 176, 192, 224, 240, 256}, Z0set6={ 88, 96, 104, 128, 176, 192, 208, 224, 240, 256},
5 Z0set7={ 26, 52, 80, 104, 144, 160, 176, 192, 208, 224, 240},
Z0set8={ 30, 60, 112, 120, 144, 160, 208, 224, 240, 256}。

可选地，所述提升值集合 Zset 中所有提升值分别与所述系数矩阵集合中第 i 个系数矩阵所确定的所有对应于准循环 LDPC 编码码率为 Rate0 的基础矩阵中满足 girth 大于或等于 6 所对应的所有提升值构成集合 Z0set0i，
10 对应于准循环 LDPC 编码码率为 Rate1 的基础矩阵中满足 girth 大于或等于 6 所对应的所有提升值构成集合 Z0set1i，其中，Rate0 小于 Rate1，存在所述集合 Z0set0i 的元素数目小于或等于所述集合 Z0set1i 的元素数目，Rate0 和 Rate1 都是大于 0 小于 1 的实数，所述集合 Z0set0i 和所述集合 Z0set1i 是非空集合。

15 可选地，在一个实施方式中，所述第一系数矩阵集合中至少包括以下
42 行 52 列的系数矩阵之一：

系数矩阵 1:

[illegible]

[illegible]

55 系数矩阵 2:

[illegible]

[illegible]

70 系数矩阵 3:

[illegible]

5 , -1, -1, -1, -1, -1, 0, -1, -1, -1, -1, -1, -1;
 132, -1, 14, -1, -1, -1, -1, 48, -1,
 , -1, -1, -1, -1, -1, -1, 0, -1, -1, -1, -1, -1;
 -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, 18, -1, -1, 122, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1,
 , -1, -1, -1, -1, -1, -1, 0, -1, -1, -1, -1;
 -1, 48, -1, -1, -1, 46, -1, -1, -1, -1, -1, 42, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1,
 -1, -1, -1, -1, -1, -1, -1, 0, -1, -1, -1;
 80, -1, -1, -1, -1, -1, -1, 98, -1, -1, -1, -1, -1, 109, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1,
 , -1, -1, -1, -1, -1, -1, -1, -1, 0, -1, -1;
 -1, -1, 121, -1, -1, -1, -1, -1, -1, 97, -1, -1, 103, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, -1,
 -1, -1, -1, -1, -1, -1, -1, -1, -1, 0, -1;
 -1, 145, -1, -1, -1, 37, -1,
 -1, -1, -1, -1, -1, -1, -1, -1, -1, -1, 0;

系数矩阵 4:

[illegible]

[illegible]

系数矩阵 5:

[illegible]

[illegible]

系数矩阵 6:

[illegible]

系数矩阵 7:

18

19

[illegible]

系数矩阵 8:

[illegible]

[illegible]

其中，所述系数矩阵 i 所支持的所有提升值对应于所述提升值子集合 Z_{seti} , $i=1, 2, 3, \dots, 8$; 并且，所述第 i 个集合 Z_{seti} 所对应的系数矩阵为系数矩阵 i , $i=1, 2, 3, \dots, 8$ 。文中所述的系数矩阵可以采用表格进行描述，例如，表格中需要记录所有非“-1”元素的位置（包括其在系数矩阵中的行索引和列索引）以及对应非“-1”元素位置的元素值。

另外一个可选实施方式中，所述第一系数矩阵集合中至少包括以下 42 行 52 列的系数矩阵之一：

[illegible]

[illegible]

系数矩阵 2:

[illegible]

[illegible]

系数矩阵 3:

70

[illegible]

[illegible]

10 系数矩阵 4:

[illegible]

[illegible]

系数矩阵 5:

[illegible]

系数矩阵 7:

28

[illegible]

系数矩阵 8:

[illegible]

30

[illegible]

其中, 所述系数矩阵 i 所支持的所有提升值对应于所述提升值子集合 Z_{seti} , $i=1, 2, 3, \dots, 8$; 并且, 所述第 i 个集合 Z_{seti} 所对应的系数矩阵

15 为系数矩阵 i , $i=1, 2, 3, \dots, 8$ 。所述的 8 个提升值子集合分别为: $Z_{set1}=\{2, 4, 8, 16, 32, 64, 128, 256\}$ 、 $Z_{set2}=\{3, 6, 12, 24, 48, 96, 192\}$ 、 $Z_{set3}=\{5, 10, 20, 40, 80, 160\}$ 、 $Z_{set4}=\{7, 14, 28, 56, 112, 224\}$ 、 $Z_{set5}=\{9, 18, 36, 72, 144\}$ 、 $Z_{set6}=\{11, 22, 44, 88, 176\}$ 、 $Z_{set7}=\{13, 26, 52, 104, 208\}$ 、 $Z_{set8}=\{15, 30, 60, 120, 240\}$ 。

在另外一个实施方式中,可选地,所述 A 等于 8, 并且所述 8 个提升值子集合分别为: Zset1={2, 4, 8, 16, 32, 64, 128, 256}、Zset2={3, 6, 12, 24, 48, 96, 192, 384}、Zset3={5, 10, 20, 40, 80, 160, 320}、Zset4={7, 14, 28, 56, 112, 224}、Zset5={9, 18, 36, 72, 144, 288}、Zset6={11, 22, 44, 88, 176, 352}、Zset7={13, 26, 52, 104, 208}、Zset8={15, 30, 60, 120, 240}。

可选地, 所述集合 Z0seti 分别为: Z0set1={16, 32, 48, 64, 80, 96, 112, 128, 144, 160, 176, 192, 208, 224, 240, 256, 288, 320, 352, 384}, Z0set2={12, 24, 36, 48, 60, 72, 96, 120, 144, 192, 240, 256, 288, 352, 384}, Z0set3={20, 40, 60, 80, 120, 160, 240, 320, 352}, Z0set4={56, 112, 224, 288, 352, 384}, Z0set5={18, 36, 72, 144, 176, 192, 288, 352, 384}, Z0set6={22, 44, 88, 176, 256, 320, 352, 384}, Z0set7={13, 26, 52, 104, 176, 208, 224, 240, 256, 288, 320, 352, 384}, Z0set8={30, 60, 120, 240, 320, 352}。

所述第一系数矩阵集合中至少包括以下 46 行 68 列的系数矩阵之一:

35 系数矩阵 1:

[illegible]

32

20

70

5
10
15
20
25
30
35
40

系数矩阵 3:

[illegible]

[illegible]

36

15

20

65

[illegible]

系数矩阵 7:

39

40

[illegible]

15 系数矩阵 8:

[illegible]

[illegible]

其中，所述系数矩阵 i 所支持的所有提升值对应于所述提升值子集合 Z_{seti} , $i=1, 2, 3, \dots, 8$; 并且，所述第 i 个集合 Z_{seti} 所对应的系数矩阵为系数矩阵 i , $i=1, 2, 3, \dots, 8$ 。

另外一个可选实施方式中，所述第一系数矩阵集合中至少包括以下 46 行 68 列的系数矩阵之一：

[illegible]

[illegible]

系数矩阵 2:

44

25

70

-1, -

系数矩阵 4:

[illegible]

47

5

10

15

20

25

30

35

40

45

50

55

60

65

20

25

55

系数矩阵 7:

50

70 系数矩阵 8:

52

[illegible]

其中，所述系数矩阵 i 所支持的所有提升值对应于所述提升值子集合 $Zset_i$, $i=1, 2, 3, \dots, 8$; 并且，所述第 i 个集合 $Zset_i$ 所对应的系数矩阵为系数矩阵 i , $i=1, 2, 3, \dots, 8$ 。所述 8 个提升值子集合分别为： $Zset1=\{2, 4, 8, 16, 32, 64, 128, 256\}$ 、 $Zset2=\{3, 6, 12, 24, 48, 96, 192, 384\}$ 、 $Zset3=\{5, 10, 20, 40, 80, 160, 320\}$ 、 $Zset4=\{7, 14, 28, 56, 112, 224\}$ 、 $Zset5=\{9, 18, 36, 72, 144, 288\}$ 、 $Zset6=\{11, 22, 44, 88, 176, 352\}$ 、 $Zset7=\{13, 26, 52, 104, 208\}$ 、 $Zset8=\{15, 30, 60, 120, 240\}$ 。

通过以上的实施方式的描述，本领域的技术人员可以清楚地了解到根据上述实施例的方法可借助软件加必需的通用硬件平台的方式来实现，当然也可以通过硬件，但很多情况下前者是更佳的实施方式。基于这样的理解，本发明的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质（如ROM/RAM、磁碟、光盘）中，包括若干指令用以使得一台终端设备（可以是手机，计算机，服务器，或者网络设备等）执行本发明各个实施例所述的方法。

实施例 2

在本实施例中还提供了一种准循环低密度奇偶校验编码设计装置，该装置用于实现上述实施例及优选实施方式，已经进行过说明的不再赘述。如以下所使用的，术语“模块”可以实现预定功能的软件和/或硬件的组合。尽管以下实施例所描述的装置较佳地以软件来实现，但是硬件，或者软件和

和硬件的组合的实现也是可能并被构想的。

图 2 是根据本发明实施例的准循环低密度奇偶校验编码设计装置的结构框图, 如图 2 所示, 该装置包括:

准循环 LDPC 编码模块 20, 配置为依据准循环低密度奇偶校验 LDPC 码的奇偶校验矩阵对长度为 K 比特的待编码信息序列进行 LDPC 编码, 获得长度为 N 比特的 LDPC 编码序列;

其中, 所述奇偶校验矩阵由基础矩阵系数和提升值 Z 确定, K 是正整数, N 是大于 K 的整数, Z 是正整数。

可选的, 所述装置还包括: 第一存储模块, 配置为存储一个提升值集合 Z_{set} , 其中所述提升值 Z 是所述提升值集合 Z_{set} 的一个元素; 存在 A 个提升值子集合, 分别为 Z_{seti} , $i=1, 2, 3, \dots, A$, 其中, 所述 A 个提升值子集合的所有元素构成所述提升值集合 Z_{set} , 所述 A 个提升值子集合之间无交集; 第二存储模块, 配置为存储一个系数矩阵集合, 其中所述系数矩阵是所述系数矩阵集合的一个系数矩阵, 所述系数矩阵集合中第 i 个系数矩阵所支持的所有提升值构成所述第 i 个提升值子集合 Z_{seti} ;

其中, 所述系数矩阵集合包括 A 个系数矩阵, 所述 A 是大于 1 的整数, 所述 A 个系数矩阵具有相同的行数目和相同的列数目, 所述 A 个系数矩阵中都具有相同的非“-1”元素位置, 所述提升值集合 Z_{set} 中所有元素都是正整数。

可选的, 所述提升值集合 Z_{set} 中所有提升值分别与所述系数矩阵集合中第 i 个系数矩阵所确定的所有基础矩阵的奇偶校验矩阵中满足 $girth$ 大于或等于 6 所对应的所有提升值构成集合 $Z0seti$, 所述集合 $Z0seti$ 中属于第 i 个提升值子集合 Z_{seti} 的元素个数为 $L0i$, 所述集合 $Z0seti$ 中不属于第 i 个提升值子集合 Z_{seti} 的元素个数为 $L1i$, 其中, 所述 $L0i$ 是小于或等于 $L1i$ 的正整数, $L1i$ 是所述第 i 个提升值子集合 Z_{seti} 的元素个数, 其中, $L1i \geq 2$, 或 $L1i \geq 3$, 或 $L1i \geq 4$, 或 $L1i \geq 5$, 或 $L1i \geq 6$, 或 $L1i \geq 7$, 或 $L1i \geq 8$, 或 $L1i \geq 9$, 或 $L1i \geq 10$, 或 $L1i \geq 11$ 。

可选的, 所述装置还包括第三存储模块, 配置为存储一个第一系数矩阵集合, 所述第一系数矩阵集合中的所有系数矩阵具有相同的行数目和相

同的列数目，并且所述第一系数矩阵集合中的任一系数矩阵与所述第二存储模块中所存储的系数矩阵集合的系数矩阵具有相同的行数目和相同的列数目。

可选的，所述第二存储模块中所存储的系数矩阵集合中至少包括所述
5 第一系数矩阵集合中的一个系数矩阵。

可选的，所述第二存储模块中所存储的系数矩阵集合中至少包括所述第一系数矩阵集合中一个调整后的系数矩阵。

可选的，所述调整后的系数矩阵的第 s 行从第 1 元素到第 $kb+M$ 元素中所有非“-1”元素值等于调整前的系数矩阵的从第 s 行第 1 元素到第 $kb+M$
10 元素中所有非“-1”元素值加上 R_s 后并对 Z_{max} 求余所获得的所有整数值，其中， $s=1, 2, 3, \dots, row$ ， R_s 是对应于第 s 行所加的整数值， $R_0, R_1, \dots, R(row)$ 中至少存在一个非零整数；或者，所述调整后的系数矩阵的第 t 列从第 1 元素到第 row 元素中所有非“-1”元素值等于调整前的系数矩阵的第 t 列
15 从第 1 元素到第 row 元素中所有非“-1”元素值加上 C_t 后并对 Z_{max} 求余所获得的所有整数值，其中， $t=1, 2, 3, \dots, col$ ， C_t 是对应于第 t 列所加的整数值， $C_0, C_1, \dots, C(col)$ 中至少存在一个非零整数；其中， row 是所述系数矩阵的行数， col 是所述系数矩阵的列数， kb 等于 col 与 row 的差值， M 是小于 10 的非负整数，所述 Z_{max} 是所述调整后的系数矩阵所支持的最大提升值， Z_{max} 是正整数。

可选的，所述调整后的系数矩阵中第 s 行第 t 列元素值等于调整前的系数矩阵的第 s 行第 t 列元素值加上 $(X_s + Y_t)$ 后并对 Z_{max} 求余所获得的整数值；其中，所述调整前的系数矩阵中第 s 行第 t 列元素值是非“-1”
20 元素， $s=1, 2, 3, \dots, row$ ， $t=1, 2, 3, \dots, kb+M$ ， kb 等于 col 与 row 的差值，所述 row 是所述系数矩阵的行数，所述 col 是所述系数矩阵的列数， M 是小于
25 10 的非负整数， X_s 和 Y_t 都是整数，并且， $X_0, X_1, \dots, X(row)$ 和 $Y_0, Y_1, \dots, Y(kb+M)$ 中至少存在一个非零整数。

可选的，所述 A 等于 8，并且所述 8 个提升值子集合分别为：

$Z_{set1}=\{2, 4, 8, 16, 32, 64, 128, 256\}$ 、 $Z_{set2}=\{3, 6, 12, 24, 48, 96, 192\}$ 、 $Z_{set3}=\{5, 10, 20, 40, 80, 160\}$ 、 $Z_{set4}=\{7, 14, 28, 56, 112,$

224}、Zset5={9, 18, 36, 72, 144}、Zset6={11, 22, 44, 88, 176}、
Zset7={13, 26, 52, 104, 208}、Zset8={15, 30, 60, 120, 240}。

可选的, 所述集合 Z0seti 分别为: Z0set1={ 56, 80, 104, 112, 120,
128, 160, 176, 192, 208, 224, 240, 256}, Z0set2={ 44, 48, 72, 88,
5 96, 144, 160, 176, 192, 208, 224, 240, 256}, Z0set3={ 60, 80, 120,
128, 160, 208, 224, 240, 256}, Z0set4={ 56, 60, 104, 112, 120, 128,
192, 208, 224, 240, 256}, Z0set5={ 72, 128, 144, 160, 176, 192, 224,
240, 256}, Z0set6={ 88, 96, 104, 128, 176, 192, 208, 224, 240, 256},
Z0set7={ 26, 52, 80, 104, 144, 160, 176, 192, 208, 224, 240},
10 Z0set8={ 30, 60, 112, 120, 144, 160, 208, 224, 240, 256}。

可选的, 所述 A 等于 8, 并且所述 8 个提升值子集合分别为:

Zset1={2, 4, 8, 16, 32, 64, 128, 256}、Zset2={3, 6, 12, 24, 48,
96, 192, 384}、Zset3={5, 10, 20, 40, 80, 160, 320}、Zset4={7, 14,
28, 56, 112, 224}、Zset5={9, 18, 36, 72, 144, 288}、Zset6={11, 22,
15 44, 88, 176, 352}、Zset7={13, 26, 52, 104, 208}、Zset8={15, 30, 60,
120, 240}。

可选的, 所述集合 Z0seti 分别为: Z0set1={16, 32, 48, 64, 80, 96,
112, 128, 144, 160, 176, 192, 208, 224, 240, 256, 288, 320, 352, 384},
Z0set2={12, 24, 36, 48, 60, 72, 96, 120, 144, 192, 240, 256, 288,
20 352, 384}, Z0set3={20, 40, 60, 80, 120, 160, 240, 320, 352}, Z0set4={56,
112, 224, 288, 352, 384}, Z0set5={18, 36, 72, 144, 176, 192, 288,
352, 384}, Z0set6={22, 44, 88, 176, 256, 320, 352, 384}, Z0set7={13,
26, 52, 104, 176, 208, 224, 240, 256, 288, 320, 352, 384}, Z0set8={30,
60, 120, 240, 320, 352}。

25 可选的, 所述提升值集合 Zset 中所有提升值分别与所述系数矩阵集合
中第 i 个系数矩阵所确定的所有对应于编码码率为 Rate0 的基础矩阵中满
足 girth 大于或等于 6 所对应的所有提升值构成集合 Z0set0i, 并且对应于
编码码率为 Rate1 的基础矩阵中满足 girth 大于或等于 6 所对应的所有提
升值构成集合 Z0set1i, 其中, Rate0 小于 Rate1, 存在所述集合 Z0set0i

的元素数目小于或等于所述集合 Z_{0set1i} 的元素数目, $Rate_0$ 和 $Rate_1$ 都是大于 0 且小于 1 的实数, 所述集合 Z_{0set0i} 和所述集合 Z_{0set1i} 都是非空集合。

需要说明的是, 上述各个模块是可以通过软件或硬件来实现的, 对于后者, 可以通过以下方式实现, 但不限于此: 上述模块均位于同一处理器中; 或者, 上述各个模块以任意组合的形式分别位于不同的处理器中。

实施例 3

本实施例是根据本发明的可选实施例, 用于对本申请进行补充和详细说明, 包括以下示例:

10 示例 1

根据本发明实施例, 提供了一种准循环低密度奇偶校验编码设计方法的示例, 图 3 是发明示例 1 的准循环低密度奇偶校验编码设计方法流程图, 如图 3 所示, 包括:

步骤 302, 由待编码信息序列的长度 K 确定准循环 LDPC 编码的提升值 Z ;

步骤 304, 由确定好的提升值 Z 从系数矩阵集合中选择准循环 LDPC 编码使用的系数矩阵;

步骤 306, 依据所述提升值 Z 和所述确定好的系数矩阵获得对应于所述提升值 Z 的基础矩阵, 所述基础矩阵是一个 mb 行 nb 列的矩阵, 并且所述基础矩阵的最大系统列为 $kb_{max}=nb - mb$;

步骤 308, 依据所述基础矩阵和所述提升值 Z 获取准循环 LDPC 编码的奇偶校验矩阵, 依据所述奇偶校验矩阵对待编码信息序列进行编码, 获得 N 比特的 LDPC 编码序列, 其中, K 是正整数, N 是大于 K 的整数, Z 是正整数。

具体地, 所述步骤 302 中, 由待编码信息序列的长度 K 确定准循环 LDPC 编码的提升值 Z , 包括: 在提升值集合 Z_{set} 中选择大于或等于 K / kb 的一个最小提升值作为当前准循环 LDPC 编码所用的提升值, 其中, kb 是对应于所述待编码信息序列长度 K 的所确定的最大系统列, 其中 kb 小于或等于所述基础矩阵的最大系统列为 kb_{max} ; 如此操作的有益效果在于, 可以使得准循环 LDPC 编码填充比特最少, 从而可以确保性能不损失。

所述步骤 304 中, 系数矩阵集合包括 $A=8$ 个系数矩阵, 并且所述 8 个

系数矩阵各自所支持的提升值无交集，所以根据以上所确定的提升值 Z 即可确定需要的系数矩阵对应于其在系数矩阵集合中的索引，从而可以根据所属索引从系数矩阵集合中确定当前 LDPC 编码所使用的系数矩阵。

所述步骤 306 中，依据确定好的系数矩阵，以及结合所确定提升值 Z ，
5 可以通过计算获得对应于提升值 Z 的基础矩阵，优选地，所述计算方法可以采用如下所述的计算公式获得： kb ，其中， $V_{i,j}$ 是对应于提升值 Z 的系数矩阵中第 i 行第 j 列元素值，并且所述的 $V_{i,j}$ 是非“-1”元素， $P_{i,j}$ 是对应于提升值 Z 的基础矩阵中第 i 行第 j 列元素值，函数 $f(a,b)$ 是求余（或求模）操作，即整数值 a 对整数值 b 求余，例如， $a=5$ ， $b=10$ ，则 $f(a,b)=5$ ； $a=39$ ，
10 $b=32$ ，则 $f(a,b)=7$ 。

另外所述计算公式也可以是向下取整操作，例如：
 $P_{i,j} = f(V_{i,j}, Z, Z_{\max}) = \text{floor}(V_{i,j} \times Z / Z_{\max})$ ，此时 $P_{i,j}$ 与 3 个变量有关： $V_{i,j}$ ， Z 和 $Z_{\max}$ 。所以可以发现，所述获取的系数矩阵其实就是对应于 $Z_{\max}$ 的基础矩阵，所述的 $Z_{\max}$ 是对应系数矩阵所支持的最大提升值。

所述步骤 308 中，根据以上所述获取的基础矩阵和提升值 Z 即可以获得准循环 LDPC 编码的奇偶校验矩阵，根据奇偶校验矩阵即可对长度为 K 的待编码信息比特序列进行编码获取 LDPC 编码序列。在准循环 LDPC 编码之前，需要对所述待编码信息序列填充 $kb \times Z - K$ 比特的亚元比特，使得待编码信息序列长度达到 $kb \times Z$ 比特，然后对所述 $kb \times Z$ 比特的填充后的信息
20 序列进行准循环 LDPC 编码，可以获得长度为 $nb \times Z$ 比特的原始 LDPC 编码序列，然后对所述原始 LDPC 编码序列进行比特选择，获取对应码率的长度为 N 比特的 LDPC 编码序列，其中比特选择方法为从第 $Z \times 2 + 1$ 比特开始进行选择，当碰到填充比特跳过，循环选择出 N 比特的 LDPC 编码序列。其中，所述填充的 $kb \times Z - K$ 比特的亚元比特是用于辅助编码，对于收发两端
25 都是已知信息，所以不需要发送这些比特。所述编码过程中不一定要通过奇偶校验矩阵来进行准循环 LDPC 编码，由于准循环 LDPC 编码构造非常有规律，结构性很强，所以可以直接通过基础矩阵和提升值对待编码序列进行编码。

更为具体地例子，系数矩阵集合如实施例 1 中的 46 行 68 列的 8 个数
30 矩阵，对应所支持的提升值子集合分别为 $Z_{\text{set1}} = \{2, 4, 8, 16, 32, 64,$

128, 256}、Zset2={3, 6, 12, 24, 48, 96, 192, 384}、Zset3={5, 10, 20, 40, 80, 160, 320}、Zset4={7, 14, 28, 56, 112, 224}、Zset5={9, 18, 36, 72, 144, 288}、Zset6={11, 22, 44, 88, 176, 352}、Zset7={13, 26, 52, 104, 208}、Zset8={15, 30, 60, 120, 240}。所有提升值子集合的所有元素构成提升值集合 Zset={Zset1, Zset2, Zset3, Zset4, Zset5, Zset6, Zset7, Zset8}。其中系数矩阵 1 所对应的提升值子集合为 Zset1, 系数矩阵 2 所对应的提升值子集合为 Zset2, 系数矩阵 3 所对应的提升值子集合为 Zset3, 系数矩阵 4 所对应的提升值子集合为 Zset4, 系数矩阵 5 所对应的提升值子集合为 Zset5, 系数矩阵 6 所对应的提升值子集合为 Zset6, 系数矩阵 7 所对应的提升值子集合为 Zset7, 系数矩阵 8 所对应的提升值子集合为 Zset8。根据系数矩阵的行数目 $mb=46$ 和列数目 $nb=68$, 可以知道 $kbmax=68-46=22$, 本例子中 $kb=kbmax=22$ 。

如对待编码信息序列长度为 $K=6000$ 比特的进行 LDPC 编码, 编码输出长度为 $N=12000$ 比特的 LDPC 编码序列。具体包括如下步骤:

- 15 1、从提升值集合 Zset 中选择大于或等于 $K/kb=6000/22$ 的最小提升值, 可以发现满足条件的是 $Z=288$;
- 2、由以上所确定提升值 $Z=288$, 可以知道其属于 Zset5, 其对应于系数矩阵索引为 5, 从所述系数矩阵集合中选择第 5 个系数矩阵作为对应于提升值 Z 的系数矩阵;
- 20 3、依据所述提升值 Z 和所述确定好的系数矩阵获得对应于所述提升值 Z 的基础矩阵, 其中, 通过以上所述的求余计算公式获得对应 $Z=288$ 的基础矩阵, 由于提升值 $Z=288$ 已经是所述第 5 个提升值子集合的最大值, 所以所述基础矩阵等于所述系数矩阵, 所述基础矩阵是一个 $mb=46$ 行 $nb=68$ 列的矩阵;
- 25 4、由于以上所获取的基础矩阵的系统列数目为 22 列, 即在进行准循环 LDPC 编码时需要填充 $22 \times 288 - 6000 = 336$ 比特的亚元比特, 使得待编码信息序列长度变为 $22 \times 288 = 6336$ 比特。依据所述基础矩阵和所述提升值 $Z=288$ 获取准循环 LDPC 编码的奇偶校验矩阵, 依据所述奇偶校验矩阵对待编码信息序列进行编码获得 $nb \times Z = 19584$ 比特的原始 LDPC 编码序列, 从所述原始 LDPC 编码序列中选择 $N=12000$ 比特的 LDPC 编码序列。
- 30

示例 2

根据本发明实施例，提供了一种准循环低密度奇偶校验编码设计装置的示例，图 4 是发明示例 2 的准循环低密度奇偶校验编码设计装置的结构图，如图 4 所示，包括：

确定模块 40，配置为由待编码信息序列的长度 K 确定准循环 LDPC 编码的提升值 Z ；

选择模块 42，配置为由确定好的提升值 Z 从系数矩阵集合中选择准循环 LDPC 编码使用的系数矩阵；

10 获得模块 44，配置为依据所述提升值 Z 和所述确定好的系数矩阵获得对应于所述提升值 Z 的基础矩阵，所属基础矩阵是一个 mb 行 nb 列的矩阵，并且所述基础矩阵的最大系统列为 $kb_{max}=nb - mb$ ；

处理模块 46，配置为依据所述基础矩阵和所述提升值 Z 获取准循环 LDPC 编码的奇偶校验矩阵，依据所述奇偶校验矩阵对待编码信息序列进行
15 编码，获得 N 比特的 LDPC 编码序列，其中， K 是正整数， N 是大于 K 的整数， Z 是正整数。

具体地，所述确定模块 40 中，由待编码信息序列的长度 K 确定准循环 LDPC 编码的提升值 Z ，包括：在提升值集合 Z_{set} 中选择大于或等于 K / kb 的一个最小提升值作为当前准循环 LDPC 编码所用的提升值，其中， kb 是对
20 应于所述待编码信息序列长度 K 的所确定的最大系统列，其中 kb 小于或等于所述基础矩阵的最大系统列为 kb_{max} ；如此操作的有益效果在于，可以使得准循环 LDPC 编码填充比特最少，从而可以确保性能不损失。

所述选择模块 42 中，系数矩阵集合包括 $A=8$ 个系数矩阵，并且所述 8 个系数矩阵各自所支持的提升值无交集，所以根据以上所确定的提升值 Z
25 即可确定需要的系数矩阵对应于其在系数矩阵集合中的索引，从而可以根据所属索引从系数矩阵集合中确定当前 LDPC 编码所使用的系数矩阵。

所述获得模块 44 中，依据确定好的系数矩阵，以及结合所确定提升值 Z ，可以通过计算获得对应于提升值 Z 的基础矩阵，优选地，所述计算方法可以采用如下所述的计算公式获得： kb ，其中， $v_{i,j}$ 是对应于提升值 Z 的系数矩阵中第 i 行第 j 列元素值，并且所述的 $v_{i,j}$ 是非“-1”元素， $p_{i,j}$ 是对
30

于提升值 Z 的基础矩阵中第 i 行第 j 列元素值, 函数 $f(a,b)$ 是求余 (或求模) 操作, 即整数值 a 对整数值 b 求余, 例如, $a=5$, $b=10$, 则 $f(a,b)=5$; $a=39$, $b=32$, 则 $f(a,b)=7$ 。

另外所述计算公式也可以是向下取整操作, 例如:

- 5 $P_{i,j} = f(V_{i,j}, Z, Z_{\max}) = \text{floor}(V_{i,j} \times Z / Z_{\max})$, 此时 $P_{i,j}$ 与 3 个变量有关: $V_{i,j}$, Z 和 $Z_{\max}$ 。所以可以发现, 所述获取的系数矩阵其实就是对应于 $Z_{\max}$ 的基础矩阵, 所述的 $Z_{\max}$ 是对应系数矩阵所支持的最大提升值。

- 所述处理模块 46 中, 根据以上所述获取的基础矩阵和提升值 Z 即可以获得准循环 LDPC 编码的奇偶校验矩阵, 根据奇偶校验矩阵即可对长度为 K 的待编码信息比特序列进行编码获取 LDPC 编码序列。在准循环 LDPC 编码之前, 需要对所述待编码信息序列填充 $kb \times Z - K$ 比特的亚元比特, 使得待编码信息序列长度达到 $kb \times Z$ 比特, 然后对所述 $kb \times Z$ 比特的填充后的信息序列进行准循环 LDPC 编码, 可以获得长度为 $nb \times Z$ 比特的原始 LDPC 编码序列, 然后对所述原始 LDPC 编码序列进行比特选择, 获取对应码率的长度为 N 比特的 LDPC 编码序列, 其中比特选择方法为从第 $Z \times 2 + 1$ 比特开始进行选择, 当碰到填充比特跳过, 循环选择出 N 比特的 LDPC 编码序列。其中, 所述填充的 $kb \times Z - K$ 比特的亚元比特是用于辅助编码, 对于收发两端都是已知信息, 所以不需要发送这些比特。所述编码过程中不一定要通过奇偶校验矩阵来进行准循环 LDPC 编码, 由于准循环 LDPC 编码构造非常有规律, 结构性很强, 所以可以直接通过基础矩阵和提升值对待编码序列进行编码。
- 10
15
20

- 更为具体地例子, 系数矩阵集合如实施例 1 中的 46 行 68 列的 8 个系数矩阵, 对应所支持的提升值子集合分别为 $Z_{\text{set1}} = \{2, 4, 8, 16, 32, 64, 128, 256\}$ 、 $Z_{\text{set2}} = \{3, 6, 12, 24, 48, 96, 192, 384\}$ 、 $Z_{\text{set3}} = \{5, 10, 20, 40, 80, 160, 320\}$ 、 $Z_{\text{set4}} = \{7, 14, 28, 56, 112, 224\}$ 、 $Z_{\text{set5}} = \{9, 18, 36, 72, 144, 288\}$ 、 $Z_{\text{set6}} = \{11, 22, 44, 88, 176, 352\}$ 、 $Z_{\text{set7}} = \{13, 26, 52, 104, 208\}$ 、 $Z_{\text{set8}} = \{15, 30, 60, 120, 240\}$ 。所有提升值子集合的所有元素构成提升值集合 $Z_{\text{set}} = \{Z_{\text{set1}}, Z_{\text{set2}}, Z_{\text{set3}}, Z_{\text{set4}}, Z_{\text{set5}}, Z_{\text{set6}}, Z_{\text{set7}}, Z_{\text{set8}}\}$ 。其中系数矩阵 1 所对应的提升值子集合为 Z_{set1} , 系数矩阵 2 所对应的提升值子集合为 Z_{set2} , 系数矩阵 3 所对应的提升值子集合为
- 25
30

Zset3, ..., 系数矩阵 8 所对应的提升值子集合为 Zset8。根据系数矩阵的行数目 $mb=46$ 和列数目 $nb=68$, 可以知道 $kbmax=68-46=22$, 本例子中 $kb=kbmax=22$ 。

如对待编码信息序列长度为 $K=6000$ 比特的进行 LDPC 编码, 编码输出
5 长度为 $N=12000$ 比特的 LDPC 编码序列。具体包括如下步骤:

1、从提升值集合 Zset 中选择大于或等于 $K/kb=6000/22$ 的最小提升值, 可以发现满足条件的是 $Z=288$;

2、由以上所确定提升值 $Z=288$, 可以知道其属于 Zset5, 其对应于系数矩阵索引为 5, 从所述系数矩阵集合中选择第 5 个系数矩阵作为对应于提升值 Z 的系数矩阵;
10

3、依据所述提升值 Z 和所述确定好的系数矩阵获得对应于所述提升值 Z 的基础矩阵, 其中, 通过以上所述的求余计算公式获得对应 $Z=288$ 的基础矩阵, 由于提升值 $Z=288$ 已经是所述第 5 个提升值子集合的最大值, 所以所述基础矩阵等于所述系数矩阵, 所述基础矩阵是一个 $mb=46$ 行 $nb=68$ 列
15 的矩阵;

4、由于以上所获取的基础矩阵的系统列数目为 22 列, 即在进行准循环 LDPC 编码时需要填充 $22 \times 288 - 6000 = 336$ 比特的亚元比特, 使得待编码信息序列长度变为 $22 \times 288 = 6336$ 比特。依据所述基础矩阵和所述提升值 $Z=288$ 获取准循环 LDPC 编码的奇偶校验矩阵, 依据所述奇偶校验矩阵对待
20 编码信息序列进行编码获得 $nb \times Z = 19584$ 比特的原始 LDPC 编码序列, 从所述原始 LDPC 编码序列中选择 $N=12000$ 比特的 LDPC 编码序列。

通过本实施例的方案, 采用准循环 LDPC 编码设计方法以及相应的装置, 可以有效解决了准循环 LDPC 码的性能较差问题, 从而有效提高准循环 LDPC 编码性能。

25 实施例 4

本发明的实施例还提供了一种存储介质。可选地, 在本实施例中, 上述存储介质可以被设置为存储用于执行以下步骤的程序代码:

S1, 依据准循环低密度奇偶校验 LDPC 码的奇偶校验矩阵对长度为 K 比特的待编码信息序列进行 LDPC 编码, 获得长度为 N 比特的 LDPC 编码序列。

可选地，在本实施例中，上述存储介质可以包括但不限于：U 盘、只读存储器（ROM，Read-Only Memory）、随机存取存储器（RAM，Random Access Memory）、移动硬盘、磁碟或者光盘等各种可以存储程序代码的介质。

5 可选地，在本实施例中，处理器根据存储介质中已存储的程序代码执行依据准循环低密度奇偶校验 LDPC 码的奇偶校验矩阵对长度为 K 比特的待编码信息序列进行 LDPC 编码，获得长度为 N 比特的 LDPC 编码序列。

可选地，本实施例中的具体示例可以参考上述实施例及可选实施方式中所描述的示例，本实施例在此不再赘述。

10 显然，本领域的技术人员应该明白，上述的本发明的各模块或各步骤可以用通用的计算装置来实现，它们可以集中在单个的计算装置上，或者分布在多个计算装置所组成的网络上，可选地，它们可以用计算装置可执行的程序代码来实现，从而，可以将它们存储在存储装置中由计算装置来执行，并且在某些情况下，可以以不同于此处的顺序执行所示出或描述的步骤，或者将它们分别制作成各个集成电路模块，或者将它们中的多个模块或步骤制作成单个集成电路模块来实现。这样，本发明不限制于任何特
15 定的硬件和软件结合。

以上所述仅为本发明的优选实施例而已，并不用于限制本发明，对于本领域的技术人员来说，本发明可以有各种更改和变化。凡在本发明的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本发明的
20 的保护范围之内。

本领域内的技术人员应明白，本发明的实施例可提供为方法、系统、或计算机程序产品。因此，本发明可采用硬件实施例、软件实施例、或结合软件和硬件方面的实施例的形式。而且，本发明可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质（包括但不限于磁盘
25 存储器和光学存储器等）上实施的计算机程序产品的形式。

本发明是参照根据本发明实施例的方法、设备（系统）、和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和

5 /或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器，使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中，使得存储在该计算机可读存储器中的指令产生包括指令装置的制造品，该指令装置实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

10 这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理，从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

15 以上所述，仅为本发明的较佳实施例而已，并非用于限定本发明的保护范围。

工业实用性

20 本发明实施例中，依据准循环低密度奇偶校验 LDPC 码的奇偶校验矩阵对长度为 K 比特的待编码信息序列进行 LDPC 编码，所述奇偶校验矩阵由基础矩阵和提升值 Z 确定，且所述基础矩阵由所述提升值 Z 和系数矩阵确定，解决了相关技术中的准循环 LDPC 码的性能较差问题，从而有效提高准循环 LDPC 编码性能。

25

权利要求书

1. 一种准循环低密度奇偶校验编码设计方法, 包括:

依据准循环低密度奇偶校验 LDPC 码的奇偶校验矩阵对长度为 K 比特的待编码信息序列进行 LDPC 编码, 获得长度为 N 比特的 LDPC 编码序列;

5 其中, 所述奇偶校验矩阵由基础矩阵和提升值 Z 确定, 且所述基础矩阵由所述提升值 Z 和系数矩阵确定, 所述 K 为正整数, N 为大于 K 的整数, Z 为正整数。

2. 根据权利要求 1 所述的方法, 其中, 所述提升值 Z 是预设的提升值集合 Z_{set} 的一个元素; 所述提升值集合 Z_{set} 由 A 个提升值子集合的所有
10 元素构成, 所述 A 个提升值子集合中的第 i 个提升值子集合表示为 $Z_{\text{set}i}$, $i=1, 2, 3, \dots, A$, 所述 A 个提升值子集合之间无交集;

其中所述系数矩阵是预设的系数矩阵集合的一个系数矩阵, 所述系数矩阵集合中第 i 个系数矩阵所支持的所有提升值构成所述第 i 个提升值子集合 $Z_{\text{set}i}$;

15 其中, 所述系数矩阵集合包括 A 个系数矩阵, 所述 A 为大于 1 的整数, 所述 A 个系数矩阵具有相同的行数目和相同的列数目, 所述 A 个系数矩阵中都具有相同的非 “-1” 元素位置, 所述提升值集合 Z_{set} 中所有元素都是正整数。

3. 根据权利要求 2 所述的方法, 其中, 所述提升值集合 Z_{set} 中所有提升值分别与所述系数矩阵集合中第 i 个系数矩阵所确定的所有基础矩阵的
20 奇偶校验矩阵中满足 girth 大于或等于 6 所对应的所有提升值构成的集合 $Z0_{\text{set}i}$, 所述集合 $Z0_{\text{set}i}$ 中属于第 i 个提升值子集合 $Z_{\text{set}i}$ 的元素个数为 $L0i$, 所述集合 $Z0_{\text{set}i}$ 中不属于第 i 个提升值子集合 $Z_{\text{set}i}$ 的元素个数为 $L1i$, 其中, 所述 $L0i$ 为小于或等于 L_i 的正整数, L_i 为所述第 i 个提升值
25 子集合 $Z_{\text{set}i}$ 的元素个数, 其中, $L1i \geq 2$, 或 $L1i \geq 3$, 或 $L1i \geq 4$, 或 $L1i \geq 5$, 或 $L1i \geq 6$, 或 $L1i \geq 7$, 或 $L1i \geq 8$, 或 $L1i \geq 9$, 或 $L1i \geq 10$, 或 $L1i \geq 11$ 。

4. 根据权利要求 2 所述的方法, 其中, 存在一个第一系数矩阵集合, 所述第一系数矩阵集合中的所有系数矩阵具有相同的行数目和相同的列数目, 并且所述第一系数矩阵集合中的任一系数矩阵与所述系数矩阵集合的系数矩阵具有相同的行数目和相同的列数目。

5 5. 根据权利要求 4 所述的方法, 其中, 所述系数矩阵集合中至少包括所述第一系数矩阵集合中的一个系数矩阵。

6. 根据权利要求 4 所述的方法, 其中, 所述系数矩阵集合中至少包括所述第一系数矩阵集合中一个调整后的系数矩阵。

7. 根据权利要求 6 所述的方法, 其中,
10 所述调整后的系数矩阵的第 s 行从第 1 元素到第 $kb+M$ 元素中所有非“-1”元素值等于调整前的系数矩阵的从第 s 行第 1 元素到第 $kb+M$ 元素中所有非“-1”元素值加上 R_s 后并对 Z_{max} 求余所获得的所有整数值, 其中, $s=1, 2, 3, \dots, row$, R_s 是对应于第 s 行所加的整数值, $R_0, R_1, \dots, R(row)$ 中至少存在一个非零整数; 或者,

15 所述调整后的系数矩阵的第 t 列从第 1 元素到第 row 元素中所有非“-1”元素值等于调整前的系数矩阵的第 t 列从第 1 元素到第 row 元素中所有非“-1”元素值加上 C_t 后并对 Z_{max} 求余所获得的所有整数值, 其中, $t=1, 2, 3, \dots, col$, C_t 是对应于第 t 列所加的整数值, $C_0, C_1, \dots, C(col)$ 中至少存在一个非零整数;

20 其中, row 是所述系数矩阵的行数, col 是所述系数矩阵的列数, kb 等于 col 与 row 的差值, M 是小于 10 的非负整数, 所述 Z_{max} 是所述调整后的系数矩阵所支持的最大提升值, Z_{max} 是正整数。

8. 根据权利要求 6 所述的方法, 其中,

所述调整后的系数矩阵中第 s 行第 t 列元素值等于调整前的系数矩阵
25 的第 s 行第 t 列元素值加上 $(X_s + Y_t)$ 后并对 Z_{max} 求余所获得的整数值;

其中, 所述调整前的系数矩阵中第 s 行第 t 列元素值是非“-1”元素, $s=1, 2, 3, \dots, row$, $t=1, 2, 3, \dots, kb+M$, kb 等于 col 与 row 的差值, 所述 row 是所述系数矩阵的行数, 所述 col 是所述系数矩阵的列数, M 是小于 10 的

非负整数, X_s 和 Y_t 都是整数, 并且, $X_0, X_1, \dots, X_{(row)}$ 和 $Y_0, Y_1, \dots, Y_{(kb+M)}$ 中至少存在一个非零整数。

9. 根据权利要求 2 至 8 任一项所述的方法, 其中,

所述 A 等于 8, 并且所述 8 个提升值子集合分别为: $Zset1=\{2, 4, 8, 16,$
5 $32, 64, 128, 256\}$ 、 $Zset2=\{3, 6, 12, 24, 48, 96, 192\}$ 、 $Zset3=\{5, 10,$
 $20, 40, 80, 160\}$ 、 $Zset4=\{7, 14, 28, 56, 112, 224\}$ 、 $Zset5=\{9, 18, 36,$
 $72, 144\}$ 、 $Zset6=\{11, 22, 44, 88, 176\}$ 、 $Zset7=\{13, 26, 52, 104, 208\}$ 、
 $Zset8=\{15, 30, 60, 120, 240\}$ 。

10. 根据权利要求 9 所述的方法, 其中, 所述集合 $Z0set_i$ 分别为:

10 $Z0set1=\{56, 80, 104, 112, 120, 128, 160, 176, 192, 208, 224, 240,$
 $256\}$, $Z0set2=\{44, 48, 72, 88, 96, 144, 160, 176, 192, 208, 224, 240,$
 $256\}$, $Z0set3=\{60, 80, 120, 128, 160, 208, 224, 240, 256\}$, $Z0set4=\{56,$
 $60, 104, 112, 120, 128, 192, 208, 224, 240, 256\}$, $Z0set5=\{72, 128,$
15 $144, 160, 176, 192, 224, 240, 256\}$, $Z0set6=\{88, 96, 104, 128, 176,$
 $192, 208, 224, 240, 256\}$, $Z0set7=\{26, 52, 80, 104, 144, 160, 176,$
 $192, 208, 224, 240\}$, $Z0set8=\{30, 60, 112, 120, 144, 160, 208, 224,$
 $240, 256\}$ 。

11. 根据权利要求 2 至 8 任一项所述的方法, 其中, 所述 A 等于 8,
并且所述 8 个提升值子集合分别为: $Zset1=\{2, 4, 8, 16, 32, 64, 128,$
20 $256\}$ 、 $Zset2=\{3, 6, 12, 24, 48, 96, 192, 384\}$ 、 $Zset3=\{5, 10, 20, 40,$
 $80, 160, 320\}$ 、 $Zset4=\{7, 14, 28, 56, 112, 224\}$ 、 $Zset5=\{9, 18, 36,$
 $72, 144, 288\}$ 、 $Zset6=\{11, 22, 44, 88, 176, 352\}$ 、 $Zset7=\{13, 26, 52,$
 $104, 208\}$ 、 $Zset8=\{15, 30, 60, 120, 240\}$ 。

12. 根据权利要求 11 所述的方法, 其中, 所述集合 $Z0set_i$ 分别为:

25 $Z0set1=\{16, 32, 48, 64, 80, 96, 112, 128, 144, 160, 176, 192, 208,$
 $224, 240, 256, 288, 320, 352, 384\}$, $Z0set2=\{12, 24, 36, 48, 60, 72,$
 $96, 120, 144, 192, 240, 256, 288, 352, 384\}$, $Z0set3=\{20, 40, 60, 80,$
 $120, 160, 240, 320, 352\}$, $Z0set4=\{56, 112, 224, 288, 352, 384\}$,
 $Z0set5=\{18, 36, 72, 144, 176, 192, 288, 352, 384\}$, $Z0set6=\{22, 44,$

88, 176, 256, 320, 352, 384}, Z0set7={13, 26, 52, 104, 176, 208, 224, 240, 256, 288, 320, 352, 384}, Z0set8={30, 60, 120, 240, 320, 352}.

13. 根据权利要求 3 所述的方法, 其中, 所述提升值集合 Zset 中所有提升值分别与所述系数矩阵集合中第 i 个系数矩阵所确定的所有对应于准循环 LDPC 编码码率为 Rate0 的基础矩阵中满足 girth 大于或等于 6 所对应的所有提升值构成集合 Z0set0i, 对应于准循环 LDPC 编码码率为 Rate1 的基础矩阵中满足 girth 大于或等于 6 所对应的所有提升值构成集合 Z0set1i, 其中, Rate0 小于 Rate1, 存在所述集合 Z0set0i 的元素数目小于或等于所述集合 Z0set1i 的元素数目, Rate0 和 Rate1 都是大于 0 小于 1 的实数, 所述集合 Z0set0i 和所述集合 Z0set1i 是非空集合。

14. 根据权利要求 4 至 8 任一项所述的方法, 其中,

所述第一系数矩阵集合中至少包括以下 42 行 52 列的系数矩阵:

[illegible]

15. 根据权利要求 4 至 8 任一项所述的方法, 其中, 所述第一系数矩阵集合中至少包括以下 46 行 68 列的系数矩阵:

69

16. 一种准循环低密度奇偶校验编码设计装置, 包括:

准循环低密度奇偶校验 LDPC 编码模块, 配置为依据准循环 LDPC 码的奇偶校验矩阵对长度为 K 比特的待编码信息序列进行 LDPC 编码, 获得长度为 N 比特的 LDPC 编码序列; 其中, 所述奇偶校验矩阵由基础矩阵和提升值 Z 确定, 并且所述基础矩阵由所述提升值 Z 和系数矩阵确定, 所述 K 为正整数, N 为大于 K 的整数, Z 为正整数。

17. 根据权利要求 16 所述的装置, 其中, 所述装置还包括:

第一存储模块, 配置为存储一个提升值集合 Z_{set} , 其中所述提升值 Z 是所述提升值集合 Z_{set} 的一个元素; 存在 A 个提升值子集合, 分别为 Z_{seti} , $i=1, 2, 3, \dots, A$, 其中, 所述 A 个提升值子集合的所有元素构成所述提升值集合 Z_{set} , 所述 A 个提升值子集合之间无交集;

第二存储模块, 配置为存储一个系数矩阵集合, 其中所述系数矩阵是所述系数矩阵集合的一个系数矩阵, 所述系数矩阵集合中第 i 个系数矩阵所支持的所有提升值构成所述第 i 个提升值子集合 Z_{seti} ;

其中, 所述系数矩阵集合包括 A 个系数矩阵, 所述 A 是大于 1 的整数, 所述 A 个系数矩阵具有相同的行数目和相同的列数目, 所述 A 个系数矩阵中都具有相同的非 “-1” 元素位置, 所述提升值集合 Z_{set} 中所有元素都是正整数。

18. 根据权利要求 17 所述的装置, 其中,

所述提升值集合 Z_{set} 中所有提升值分别与所述系数矩阵集合中第 i 个系数矩阵所确定的所有基础矩阵的奇偶校验矩阵中满足 $girth$ 大于或等于 6 所对应的所有提升值构成集合 $Z0seti$, 所述集合 $Z0seti$ 中属于第 i 个提升值子集合 Z_{seti} 的元素个数为 $L0i$, 所述集合 $Z0seti$ 中不属于第 i 个提升值子集合 Z_{seti} 的元素个数为 $L1i$, 其中, 所述 $L0i$ 是小于或等于 $L1i$ 的正整数, $L1i$ 是所述第 i 个提升值子集合 Z_{seti} 的元素个数, 其中, $L1i \geq 2$, 或 $L1i \geq 3$, 或 $L1i \geq 4$, 或 $L1i \geq 5$, 或 $L1i \geq 6$, 或 $L1i \geq 7$, 或 $L1i \geq 8$, 或 $L1i \geq 9$, 或 $L1i \geq 10$, 或 $L1i \geq 11$ 。

19. 根据权利要求 17 所述的装置, 其中, 所述装置还包括:

第三存储模块, 配置为存储第一系数矩阵集合, 所述第一系数矩阵集

合中的所有系数矩阵具有相同的行数目和相同的列数目，并且所述第一系数矩阵集合中的任一系数矩阵与所述第二存储模块中所存储的系数矩阵集合的系数矩阵具有相同的行数目和相同的列数目。

20. 根据权利要求 19 所述的装置，其中，所述第二存储模块中所存储的系数矩阵集合中至少包括所述第一系数矩阵集合中的一个系数矩阵。

21. 根据权利要求 19 所述的装置，其中，所述第二存储模块中所存储的系数矩阵集合中至少包括所述第一系数矩阵集合中一个调整后的系数矩阵。

22. 根据权利要求 21 所述的装置，其中，
10 所述调整后的系数矩阵的第 s 行从第 1 元素到第 $kb+M$ 元素中所有非“-1”元素值等于调整前的系数矩阵的从第 s 行第 1 元素到第 $kb+M$ 元素中所有非“-1”元素值加上 R_s 后并对 Z_{max} 求余所获得的所有整数值，其中， $s=1, 2, 3, \dots, row$ ， R_s 是对应于第 s 行所加的整数值， $R_0, R_1, \dots, R(row)$ 中至少存在一个非零整数；或者，

15 所述调整后的系数矩阵的第 t 列从第 1 元素到第 row 元素中所有非“-1”元素值等于调整前的系数矩阵的第 t 列从第 1 元素到第 row 元素中所有非“-1”元素值加上 C_t 后并对 Z_{max} 求余所获得的所有整数值，其中， $t=1, 2, 3, \dots, col$ ， C_t 是对应于第 t 列所加的整数值， $C_0, C_1, \dots, C(col)$ 中至少存在一个非零整数；

20 其中， row 是所述系数矩阵的行数， col 是所述系数矩阵的列数， kb 等于 col 与 row 的差值， M 是小于 10 的非负整数，所述 Z_{max} 是所述调整后的系数矩阵所支持的最大提升值， Z_{max} 是正整数。

23. 根据权利要求 21 所述的装置，其中，
所述调整后的系数矩阵中第 s 行第 t 列元素值等于调整前的系数矩阵
25 的第 s 行第 t 列元素值加上 $(X_s + Y_t)$ 后并对 Z_{max} 求余所获得的整数值；

其中，所述调整前的系数矩阵中第 s 行第 t 列元素值是非“-1”元素， $s=1, 2, 3, \dots, row$ ， $t=1, 2, 3, \dots, kb+M$ ， kb 等于 col 与 row 的差值，所述 row 是所述系数矩阵的行数，所述 col 是所述系数矩阵的列数， M 是小于 10 的

非负整数, X_s 和 Y_t 都是整数, 并且, $X_0, X_1, \dots, X_{(row)}$ 和 $Y_0, Y_1, \dots, Y_{(kb+M)}$ 中至少存在一个非零整数。

24. 根据权利要求 17 至 23 中任一项所述的装置, 其中, 所述 A 等于 8, 并且所述 8 个提升值子集合分别为:

5 $Z_{set1}=\{2, 4, 8, 16, 32, 64, 128, 256\}$ 、 $Z_{set2}=\{3, 6, 12, 24, 48, 96, 192\}$ 、 $Z_{set3}=\{5, 10, 20, 40, 80, 160\}$ 、 $Z_{set4}=\{7, 14, 28, 56, 112, 224\}$ 、 $Z_{set5}=\{9, 18, 36, 72, 144\}$ 、 $Z_{set6}=\{11, 22, 44, 88, 176\}$ 、 $Z_{set7}=\{13, 26, 52, 104, 208\}$ 、 $Z_{set8}=\{15, 30, 60, 120, 240\}$ 。

25. 根据权利要求 24 所述的装置, 其中, 所述集合 $Z0set_i$ 分别为:
10 $Z0set1=\{56, 80, 104, 112, 120, 128, 160, 176, 192, 208, 224, 240, 256\}$, $Z0set2=\{44, 48, 72, 88, 96, 144, 160, 176, 192, 208, 224, 240, 256\}$, $Z0set3=\{60, 80, 120, 128, 160, 208, 224, 240, 256\}$, $Z0set4=\{56, 60, 104, 112, 120, 128, 192, 208, 224, 240, 256\}$, $Z0set5=\{72, 128, 144, 160, 176, 192, 224, 240, 256\}$, $Z0set6=\{88, 96, 104, 128, 176, 192, 208, 224, 240, 256\}$, $Z0set7=\{26, 52, 80, 104, 144, 160, 176, 192, 208, 224, 240\}$, $Z0set8=\{30, 60, 112, 120, 144, 160, 208, 224, 240, 256\}$ 。
15

26. 根据权利要求 17 至 23 中任一项所述的装置, 其中, 所述 A 等于 8, 并且所述 8 个提升值子集合分别为:

20 $Z_{set1}=\{2, 4, 8, 16, 32, 64, 128, 256\}$ 、 $Z_{set2}=\{3, 6, 12, 24, 48, 96, 192, 384\}$ 、 $Z_{set3}=\{5, 10, 20, 40, 80, 160, 320\}$ 、 $Z_{set4}=\{7, 14, 28, 56, 112, 224\}$ 、 $Z_{set5}=\{9, 18, 36, 72, 144, 288\}$ 、 $Z_{set6}=\{11, 22, 44, 88, 176, 352\}$ 、 $Z_{set7}=\{13, 26, 52, 104, 208\}$ 、 $Z_{set8}=\{15, 30, 60, 120, 240\}$ 。

25 27. 根据权利要求 26 所述的装置, 其中, 所述集合 $Z0set_i$ 分别为:
 $Z0set1=\{16, 32, 48, 64, 80, 96, 112, 128, 144, 160, 176, 192, 208, 224, 240, 256, 288, 320, 352, 384\}$, $Z0set2=\{12, 24, 36, 48, 60, 72, 96, 120, 144, 192, 240, 256, 288, 352, 384\}$, $Z0set3=\{20, 40, 60, 80, 120, 160, 240, 320, 352\}$, $Z0set4=\{56, 112, 224, 288, 352, 384\}$,

$Z0set5=\{18, 36, 72, 144, 176, 192, 288, 352, 384\}$, $Z0set6=\{22, 44, 88, 176, 256, 320, 352, 384\}$, $Z0set7=\{13, 26, 52, 104, 176, 208, 224, 240, 256, 288, 320, 352, 384\}$, $Z0set8=\{30, 60, 120, 240, 320, 352\}$ 。

28. 根据权利要求 18 所述的装置, 其中, 所述提升值集合 Zset 中所有提升值分别与所述系数矩阵集合中第 i 个系数矩阵所确定的所有对应于编码码率为 Rate0 的基础矩阵中满足 girth 大于或等于 6 所对应的所有提升值构成集合 Z0set0i, 并且对应于编码码率为 Rate1 的基础矩阵中满足 girth 大于或等于 6 所对应的所有提升值构成集合 Z0set1i, 其中, Rate0 小于 Rate1, 存在所述集合 Z0set0i 的元素数目小于或等于所述集合 Z0set1i 的元素数目, Rate0 和 Rate1 都是大于 0 且小于 1 的实数, 所述集合 Z0set0i 和所述集合 Z0set1i 都是非空集合。

29. 根据权利要求 19 至 23 任一项所述的装置, 其中,

所述第一系数矩阵集合中至少包括以下 42 行 52 列的系数矩阵:

[illegible]

30. 根据权利要求 19 至 23 任一项所述的装置, 其中, 所述第一系数集合中至少包括以下 46 行 68 列的系数矩阵:

75

76

[illegible]

31、一种计算机可读存储介质，所述计算机可读存储介质上存储有程序代码，所述程序代码被执行时实现权利要求 1~15 任一项所述的方法。