

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号
WO 2024/198468 A1

(43) 国际公布日
2024 年 10 月 3 日 (03.10.2024)

(51) 国际专利分类号:
G06F 11/07 (2006.01)

(21) 国际申请号: PCT/CN2023/136221

(22) 国际申请日: 2023 年 12 月 4 日 (04.12.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310363637.6 2023年3月31日 (31.03.2023) CN
202310751941.8 2023年6月25日 (25.06.2023) CN

(71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: 焦慧芳 (JIAO, Huifang); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。李亦宁 (LI, Yining); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。王升 (WANG, Sheng); 中国广东

省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。周雪 (ZHOU, Xue); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。朱国良 (ZHU, Guoliang); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 北京三高永信知识产权代理有限责任公司 (BEIJING SAN GAO YONG XIN INTELLECTUAL PROPERTY AGENCY CO., LTD.); 中国北京市海淀区上地信息产业基地三街1号楼四层C段457, Beijing 100085 (CN)。

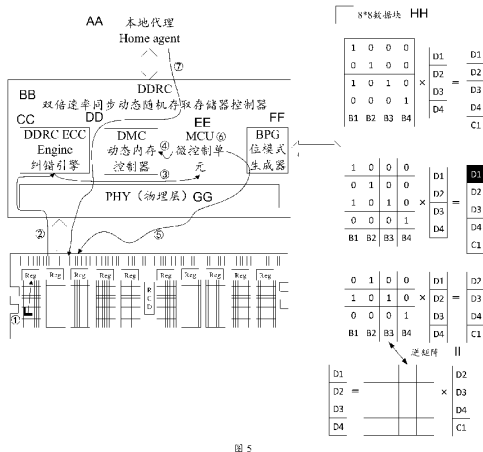
(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: MEMORY ERROR CORRECTION METHOD, MEMORY MODULE, MEMORY CONTROLLER, AND PROCESSOR

(54) 发明名称: 内存纠错方法、内存条、内存控制器和处理器

(57) Abstract: A memory error correction method, a memory module, a memory controller, and a processor. In the memory error correction method, the memory controller determines faulty memory devices in the memory module under the condition that error correction on data obtained from the memory module fails, and then carries out error correction on the data again on the basis of the faulty memory devices.

(57) 摘要: 一种内存纠错方法、内存条、内存控制器和处理器。内存纠错方法中, 内存控制器在对从内存条中获取的数据纠错失败的情况下, 确定内存条中发生错误的内存颗粒, 进而基于发生错误的内存颗粒, 对数据再次进行纠错。



AA Home agent
BB DDR (double data rate synchronous dynamic random access memory controller)
CC DDR ECC Engine (error correcting code engine)
DD DMC (dynamic memory controller)
EE MCU (microcontroller unit)
FF BPG (bit pattern generator)
GG PHY (physical layer)
HH 8*8 data blocks
II Inverse matrix

WO 2024/198468 A1

[见续页]

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。