

半导体结构、存储器及其操作方法

相关申请的交叉引用

5 本公开基于申请号为 202210806749.X、申请日为 2022 年 07 月 08 日、发明名称为“半导体结构、存储器及其操作方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域，涉及但不限于一种半导体结构、存储器及其操作方法。

10 背景技术

随着当今科学技术的不断发展，半导体存储装置的性能越来越强大，而特征尺寸则越来越小。其中，一次性可编程（One Time Programmable, OTP）存储器是一种非易失性存储器（Non-Volatile Memory, NVM），在失去电源的情况下仍能保持存储的数据。一次性可编程存储器只能进行一次烧录编程，不可以通过电擦除，可应用于程序代码存储器、串行配置存储器、芯片上系统（System-on-Chip, SOC），并在 ID 识别、存储修复等方面发挥作用。

目前，一次性可编程存储器主要采用动态随机存储器（Dynamic Random Access Memory, DRAM）相似的结构，其包括一个选择晶体管和一个可击穿的电容（1T1C），由于电容中介质层的击穿是不可逆的，可以通过读取电容的击穿状态获得固化的存储数据。然而，一次性可编程存储器面临存储单元占用面积较大、集成度较低、制造工艺复杂、制造成本较高等问题。

发明内容

25 有鉴于此，本公开实施例提供了一种半导体结构及其制造方法、存储器及其操作方法。

第一方面，本公开实施例提供了一种半导体结构，包括：衬底；位于所述衬底表面上的第一栅极结构和第二栅极结构；所述第二栅极结构与所述第一栅极结构的厚度相同且小于预定厚度；位于所述衬底中的第一掺杂区和第二掺杂区，且所述第一掺杂区和所述第二掺杂区分别位于所述第一栅极结构的两侧；所述第一栅极结构与所述第一掺杂区和所述第二掺杂区构成选择晶体管；所述第二栅极结构在所述衬底上的正投影与所述第二掺

杂区至少部分重叠；所述第二栅极结构与所述第二掺杂区构成反熔丝位结构；所述反熔丝位结构的击穿状态和非击穿状态用于表示不同的存储数据。

5 在一些实施例中，所述第一栅极结构包括第一栅电极和位于所述第一栅电极下方的第一栅介质层；所述第二栅极结构包括第二栅电极和位于所述第二栅电极下方的第二栅介质层；所述第一栅介质层与所述第二栅介质层的厚度相同，且所述第一栅介质层与所述第二栅介质层为预定的薄栅氧结构。

10 在一些实施例中，所述半导体结构还包括：第一金属线，位于所述第一栅极结构和所述第二栅极结构上方；所述第一金属线通过第一连接结构与所述第一掺杂区连接。

在一些实施例中，所述半导体结构还包括：第二金属线，位于所述第一栅极结构和所述第一金属线之间；所述第二金属线通过第二连接结构与所述衬底连接。

15 在一些实施例中，所述半导体结构还包括：隔离结构，位于两个相邻的所述反熔丝位结构之间的所述衬底中；其中，至少部分所述第二连接结构位于所述隔离结构之上。

在一些实施例中，所述半导体结构还包括：第三掺杂区，位于所述隔离结构两侧的所述衬底中；所述第二连接结构通过所述第三掺杂区连接所述衬底。

20 在一些实施例中，所述半导体结构还包括：字线，位于所述第一栅极结构上方；所述字线连接位于所述字线延伸方向上的多个第一栅极结构；第三金属线，位于所述第二栅极结构上方，所述第三金属线的延伸方向平行于所述字线的延伸方向；所述第三金属线连接位于所述第三金属线延伸方向上的多个第二栅极结构。

25 在一些实施例中，两个相邻的所述选择晶体管对称设置，且共用同一个所述第一掺杂区。

30 第二方面，本公开实施例提供了一种存储器的操作方法，所述存储器包括上述实施例任一所述的半导体结构；所述方法包括：根据待写入的数据，对所述存储器执行写入操作，所述写入操作包括：击穿所述存储器的反熔丝位结构中的一个目标反熔丝位结构，使所述目标反熔丝位结构由非击穿状态切换为击穿状态；且保持非目标反熔丝位结构的非击穿状态；其中，所述非目标反熔丝位结构为所述目标反熔丝位结构以外的反熔丝位结构。

35 在一些实施例中，所述写入操作还包括：对所述衬底施加第一电压，以保持所述选择晶体管的非击穿状态。

在一些实施例中，所述击穿所述存储器的反熔丝位结构中的一个目标反熔丝位结构，使所述目标反熔丝位结构由非击穿状态切换为击穿状态，包括：对所述目标反熔丝位结构连接的所述选择晶体管的第一栅电极施加

第二电压，以导通所述选择晶体管；对所述选择晶体管连接的第一金属线施加第三电压；所述第三电压与所述第二电压的差值小于第一栅介质层的击穿电压；对所述目标反熔丝位结构的第二栅电极施加第四电压，以使所述目标反熔丝位结构由非击穿状态切换为击穿状态；其中，所述第三电压与
5 所述第四电压之间的电压差大于或等于第二栅介质层的击穿电压。

在一些实施例中，所述保持非目标反熔丝位结构的非击穿状态，包括：对所述非目标反熔丝位结构连接的所述选择晶体管的第一栅电极施加第二电压，以导通所述选择晶体管；对所述选择晶体管连接的第一金属线施加第一电压；所述第一电压与所述第二电压的差值小于第一栅介质层的击穿
10 电压；对所述非目标反熔丝位结构的第二栅电极施加第四电压，以使所述非目标反熔丝位结构保持非击穿状态；其中，所述第一电压与所述第四电压之间的电压差小于第二栅介质层的击穿电压。

在一些实施例中，所述保持非目标反熔丝位结构的非击穿状态，包括：对所述非目标反熔丝位结构连接的所述选择晶体管的第一栅电极施加截止电压，以截止所述选择晶体管；对所述选择晶体管连接的第一金属线施加第三电压；所述第三电压与所述截止电压的差值小于第一栅介质层的击穿
15 电压；对所述非目标反熔丝位结构的第二栅电极施加第一电压，以使所述非目标反熔丝位结构保持非击穿状态；其中，所述第三电压与所述第一电压之间的电压差小于第二栅介质层的击穿电压。

在一些实施例中，所述方法还包括：对所述存储器执行读取操作，所述读取操作包括：将所述衬底接地；对所述反熔丝位结构连接的所述选择晶体管的第一栅电极施加第一读取电压，以导通所述选择晶体管；对所述选择晶体管连接的第一金属线施加第二读取电压；检测所述第一金属线上的
20 电流。

第三方面，本公开实施例提供了一种存储器，包括：存储阵列，所述存储阵列中包括上述实施例任一所述的半导体结构；与存储阵列耦接的外围电路。
25

在本公开实施例提供的半导体结构中，第一栅极结构和第二栅极结构的厚度相同且小于预定厚度；第二栅极结构在衬底上的正投影与第二掺杂区至少部分重叠。如此，一方面，第一栅极结构和第二栅极结构可以具有相同厚度的薄栅氧结构，使得选择晶体管的沟道宽度较小，减小了半导体结构的占用面积，且二者的薄栅氧结构可以同步形成，简化了制造工艺；另一方面，第二栅极结构与第二掺杂区的重叠部分减少了反熔丝位结构在水平方向上的长度，也减小了半导体结构的占用面积，提高了存储器的集成度。
30
35

附图说明

图 1 为本公开实施例提供的一种半导体结构的示意图；

- 图 2 为本公开实施例提供的另一种半导体结构的示意图；
图 3 为本公开实施例提供的又一种半导体结构的示意图；
图 4 为本公开实施例提供的又一种半导体结构的示意图；
图 5 为本公开实施例提供的又一种半导体结构的示意图；
5 图 6 为本公开实施例提供的一种半导体结构的俯视图；
图 7 为本公开实施例提供的一种存储器的示意图；
图 8 为本公开实施例提供的一种存储器中存储阵列的示意图；
图 9 为本公开实施例提供的一种存储器的操作方法的步骤图。

具体实施方式

- 10 为了便于理解本公开，下面将参照相关附图更详细地描述本公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开的范围完整的传达给本领域的技术人员。

- 15 在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在一些实施例中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述，即可以不描述实际实施例的全部特征，不详细描述公知的功能和结构。

- 20 一般地，术语可以至少部分地从上下文中的使用来理解。例如，至少部分地取决于上下文，如本文中所用的术语“一个或多个”可以用于以单数意义描述任何特征、结构或特性，或者可以用于以复数意义描述特征、结构或特性的组合。类似地，诸如“一”或“所述”的术语同样可以被理解为传达单数用法或传达复数用法，这至少部分地取决于上下文。另外，属于“基于”
25 可以被理解为不一定旨在传达排他的一组因素，并且可以替代地允许存在不一定明确地描述的附加因素，这同样至少部分地取决于上下文。

- 除非另有定义，本文使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在使用时，单数形式的“一”、“一个”和“/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或
30 “包括”，当在该说明书中使用时，确定特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

- 为了彻底理解本公开，将在下列的描述中提出详细的步骤以及详细的
35 结构，以便阐释本公开的技术方案。本公开的较佳实施例详细描述如下，然而除了这些详细描述外，本公开还可以具有其他实施方式。

如图 1 所示，本公开实施例提供了一种半导体结构 10，包括：衬底 100；

位于所述衬底 100 表面上的第一栅极结构 110 和第二栅极结构 120; 所述第二栅极结构 120 与所述第一栅极结构 110 的厚度相同且小于预定厚度; 位于所述衬底 100 中的第一掺杂区 101 和第二掺杂区 102, 且所述第一掺杂区 101 和所述第二掺杂区 102 分别位于所述第一栅极结构 110 的两侧; 所述第一栅极结构 110 与所述第一掺杂区 101 和所述第二掺杂区 102 构成选择晶体管 130; 所述第二栅极结构 120 在所述衬底 100 上的正投影与所述第二掺杂区 102 至少部分重叠; 所述第二栅极结构 120 与所述第二掺杂区 102 构成反熔丝位结构 140; 所述反熔丝位结构 140 的击穿状态和非击穿状态用于表示不同的存储数据。

值得注意的是, 图中为了使得各结构均能被清晰示出, 可能造成各结构的尺寸比例关系与实际结构不符。

在本公开实施例中, 半导体结构 10 可以用于一次性可编程存储器。其中, 衬底 100 的材料可以包括单质半导体材料, 例如硅 (Si)、锗 (Ge) 等, 或者化合物半导体材料, 例如氮化镓 (GaN)、砷化镓 (GaAs) 或磷化铟 (InP) 等。在一些实施例中, 衬底 100 中还可以具有阱区, 如 P 阱以及位于 P 阱下方的深 N 阱, 其中 P 阱可以用于形成选择晶体管 130 的沟道, 而深 N 阱则可以用于隔离 P 阱, 减少 P 阱中形成的器件所受到的噪声干扰。

半导体结构 10 中还可以包括多个第一掺杂区 101 和第二掺杂区 102, 以作为选择晶体管 130 的源极和漏极, 第一掺杂区 101 和第二掺杂区 102 位于衬底 100 中。第一掺杂区 101 和第二掺杂区 102 可以具有相同的掺杂类型, 其中, P 型掺杂区所掺杂的杂质离子可以为三价元素, 如硼等; 而 N 型掺杂区所掺杂的杂质离子可以为五价元素, 如磷、砷等。在一些实施例中, 第一掺杂区 101 和第二掺杂区 102 可以为 P 阱中的高浓度 N 型掺杂区, 即 N⁺型掺杂区。

如图 1 所示, 衬底 100 的表面上具有第一栅极结构 110 和第二栅极结构 120, 第一栅极结构 110 和第二栅极结构 120 位于同一平面内, 且二者厚度可以相同。第一掺杂区 101 和第二掺杂区 102 分别位于第一栅极结构 110 的两侧, 且第一掺杂区 101 和第二掺杂区 102 以及第一栅极结构 110 构成选择晶体管 130。此外, 第二栅极结构 120 在衬底 100 上的投影至少部分与第二掺杂区 102 重叠, 且第二栅极结构 120 和第二掺杂区 102 构成反熔丝位结构 140。反熔丝位结构 140 可以是类似于金属氧化物半导体场效应晶体管 (Metal Oxide Semiconductor Field Effect Transistor, MOSFET) 的结构, 其中反熔丝位结构 140 的栅介质层的击穿状态和非击穿状态用于表示不同的存储数据, 即“0”或“1”。示例性地, 第一栅极结构 110 中可以包括第一栅电极和第一栅介质层, 第一栅电极位于第一栅介质层之上, 第一栅电极可以通过接触结构连接至字线 (Word Line, WL); 第二栅极结构 120 可以包括第二栅电极和第二栅介质层, 第二栅电极位于第二栅介质层之上, 第二栅介质层的击穿和非击穿状态用于表示不同的存储数据。第一栅电极和第

二栅电极包括但不限于金属、掺杂半导体等导电材料；第一栅介质层和第二栅介质层则可以为氧化硅、氧化铪等材料。

在一些实施例中，一个选择晶体管 130 和一个反熔丝位结构 140 构成一次性可编程存储器的一个存储单元。通过对第一栅电极施加不同电压，
5 可以控制选择晶体管 130 的导通与截止。在一些实施例中，选择晶体管 130 中的第一掺杂区 101 还连接至第一金属线，第一金属线可以是位线，当选择晶体管 130 导通时，可以将第一金属线上的电压施加至第二掺杂区 102 上，此时在第二栅电极上施加合适的电压，可以使得第二栅电极与第二掺杂区 102 的电压差大于或等于第二栅介质层的击穿电压，从而使得反熔丝
10 位结构 140 永久性地击穿，完成对存储单元的一次性编程操作。

在一些实施例中，第一栅极结构 110 中的第一栅介质层为厚栅氧结构，其厚度可以达到 6nm。厚栅氧结构可以使得选择晶体管 130 承受更高的栅极电压，减少选择晶体管 130 误击穿的可能性。然而，为了让厚栅氧结构的选择晶体管 130 具有足够的读取电流，选择晶体管 130 的扩散宽度应较
15 大，即沟道宽度较大，这里的沟道宽度指的是沟道在源极和漏极连线方向上的宽度。如此，选择晶体管 130 的占用面积较大，从而导致一次性可编程存储器的集成度较低。此外，反熔丝位结构 140 采用薄栅氧结构作为第二栅介质层，故第二栅介质层与第一栅介质层的厚度差异较大，在制造过程中，第一栅极结构 110 和第二栅极结构 120 之间需要较大的距离，以满足光刻工艺对于不同栅氧化层厚度的要求，这也使得半导体结构 10 的占用
20 面积较大。

在本公开实施例中，第一栅介质层与第二栅介质层可以为薄栅氧结构且厚度相同，即第一栅极结构 110 和第二栅极结构 120 的厚度可以相同且小于预定厚度。示例性地，这里的薄栅氧结构的厚度可以小于 3nm。如此，
25 薄栅氧结构可以使得选择晶体管 130 在具有足够读取电流的前提下，减小沟道宽度，从而降低选择晶体管 130 的占用面积，提高存储器的集成度；而第一栅介质层与第二栅介质层的厚度相同，可以在制造过程中同步地形成，简化了制造工艺，且缩短了第一栅极结构 110 和第二栅极结构 120 之间的距离。其次，由于第二栅极结构 120 在衬底 100 上的投影与第二掺杂区 102 至少部分重叠，故无需在第二掺杂区 102 旁边额外形成一个掺杂区，
30 以作为第二栅电极对应的下电极，简化了制造工艺，也进一步减少了半导体结构 10 的占用面积。在一些实施例中，可以调整施加在第一掺杂区 101 以及第一栅电极上的电压，从而使得二者之间的电压差小于薄栅氧结构的击穿电压，以减少选择晶体管 130 误击穿的可能性。

35 在一些实施例中，如图 2 所示，所述第一栅极结构 110 包括第一栅电极 111 和位于所述第一栅电极 111 下方的第一栅介质层 112；所述第二栅极结构 120 包括第二栅电极 121 和位于所述第二栅电极 121 下方的第二栅介质层 122；所述第一栅介质层 112 与所述第二栅介质层 122 的厚度相同，且

所述第一栅介质层 112 与所述第二栅介质层 122 为预定的薄栅氧结构。

在本公开实施例中,第一栅极结构 110 中可以包括第一栅电极 111 和第一栅介质层 112,第一栅介质层 112 可以至少位于第一栅电极 111 与衬底 100 之间;第二栅极结构 120 可以包括第二栅电极 121 和第二栅介质层 122,第二栅介质层 122 可以至少位于第二栅电极 121 与第二掺杂区 102 之间。示例性地,第一栅电极 111 和第二栅电极 121 包括但不限于钨(W)、掺杂多晶硅等导电材料;第一栅介质层 112 和第二栅介质层 122 则可以为氧化硅、氧化铪等材料。第一栅介质层 112 和第二栅介质层 122 的厚度相同,且都为预定的薄栅氧结构,这里预定的薄栅氧结构可以是厚度小于 3nm 的栅氧化层,这里的厚度指的是垂直于衬底 100 表面方向上的厚度。薄栅氧结构的第一栅介质层 112 可以使得选择晶体管 130 的沟道宽度较小,从而减少了选择晶体管 130 的占用面积;另外,相同厚度的第一栅介质层 112 和第二栅介质层 122 可以同步形成,以简化制造工艺。如此,当第二栅电极 121 与第二掺杂区 102 之间的电压差大于或等于第二栅介质层 122 的击穿电压时,第二栅介质层 122 被击穿,即反熔丝位结构 140 被永久性地击穿,从而完成对存储单元的一次性编程操作。

在一些实施例中,第一栅介质层 112 和第二栅介质层 122 可以为连续的同层薄栅氧结构,位于第一栅电极 111 和衬底 100 之间的部分薄栅氧结构即为第一栅介质层 112,位于第二栅电极 121 与第二掺杂区 102 之间的部分薄栅氧结构即为第二栅介质层 122。

在一些实施例中,如图 3 至图 6 所示,第一栅极结构 110 还可以通过接触结构连接字线 113,第二栅极结构 120 则可以通过接触结构连接第三金属线 123,字线 113 的延伸方向可以与第三金属线 123 的延伸方向平行。

在一些实施例中,如图 3 所示,所述半导体结构 10 还包括:

第一金属线 150,位于所述第一栅极结构 110 和所述第二栅极结构 120 上方;所述第一金属线 150 通过第一连接结构 160 与所述第一掺杂区 101 连接。

在本公开实施例中,第一金属线 150 可以为存储器中位线(Bit Line, BL)。当选择晶体管 130 导通时,可以将第一金属线 150 上的电压通过选择晶体管 130 施加在反熔丝位结构 140 的第二掺杂区 102 上,此时在第二栅电极 121 上施加合适的电压,可以使得第二掺杂区 102 和第二栅电极 121 之间的电压差大于或等于第二栅介质层 122 的击穿电压,反熔丝位结构 140 永久性地击穿,从而完成对存储单元的一次性编程操作。第一金属线 150 的延伸方向可以垂直于存储器中字线 113 的延伸方向,以便于在位线与字线 113 延伸方向的交点处设置存储单元,形成存储单元阵列。在其他实施例中,第一金属线 150 的延伸方向与字线 113 的延伸方向相交,但不垂直。第一金属线 150 通过第一连接结构 160 与第一掺杂区 101 连接,其中,第一连接结构 160 可以为金属、掺杂半导体等导电材料。

在一些实施例中，如图 3 所示，所述衬底 100 包括掺杂类型相反的第一阱 104 和第二阱 105，所述第二阱 105 位于所述第一阱 104 下方；所述第一掺杂区 101 和所述第二掺杂区 102 位于所述第一阱 104 中；所述第一掺杂区 101 和所述第二掺杂区 102 与所述第二阱 105 的掺杂类型相同。

5 在本公开实施例中，衬底 100 中还具有第二阱 105 和位于第二阱 105 上方的第一阱 104。其中第一阱 104 用于形成选择晶体管 130 的沟道，；第一阱 104 和第二阱 105 的掺杂类型相反，故第二阱 105 与第一掺杂区 101 和第二掺杂区 102 具有相同的掺杂类型，第二阱 105 可以对第一阱 104 进行有效地隔离。在一些实施例中，衬底 100 还可以包括位于第二阱 105 下方
10 的基底 106，这里的基底 106 可以与第一阱 104 的掺杂类型相同。示例性地，第一阱 104 为 P 阱，第二阱 105 为深 N 阱，基底 106 为 P 型掺杂半导体材料，第一掺杂区 101 和第二掺杂区 102 为 N 型掺杂区，如此，第一阱 104 与第二阱 105 之间，以及第二阱 105 与基底 106 之间形成反相偏置的 PN 结，从而减少第一阱 104 中形成的器件所受到的噪声干扰。在一些实施
15 例中，第二阱 105 可以包围第一阱 104 的底面和侧面，以提高隔离效果。

在一些实施例中，如图 4 所示，所述半导体结构 10 还包括：

第二金属线 190，位于所述第一栅极结构 110 和所述第一金属线 150 之间；所述第二金属线 190 通过第二连接结构 170 与所述衬底 100 连接。

在本公开实施例中，第二金属线 190 可以通过第二连接结构 170 对衬
20 底 100 施加电压。第二金属线 190 位于第一栅极结构 110 上方，且位于第一金属线 150 下方，从而减少第二金属线 190 与第一栅极结构 110 以及第一金属线 150 之间发生短路等问题。其中，第二连接结构 170 可以为金属、掺杂半导体等导电材料。第二金属线 190 用于对衬底 100 施加电压，从而
25 确保各选择晶体管 130 中第一掺杂区 101、第二掺杂区 102 与衬底 100 之间形成的 PN 结不被反向击穿，如 MOS 管中源漏极的雪崩击穿。在一些实施例中，在一次性可编程存储器的存储单元阵列中，第二金属线 190 可以为矩阵式布局，并通过多个第二连接结构 170 分别连接至多个选择晶体管 130 的衬底，从而同时对多个存储单元的衬底同时施加电压，确保多个选择晶
30 体管 130 中的 PN 结不被反向击穿。

30 在一些实施例中，如图 4 所示，所述半导体结构 10 还包括：

隔离结构 180，位于两个相邻的所述反熔丝位结构 140 之间的所述衬底 100 中；其中，至少部分所述第二连接结构 170 位于所述隔离结构 180 之上。

在本公开实施例中，相邻且不共用同一个第一掺杂区 101 的两个存储
35 单元的反熔丝位结构 140 是相互靠近的。由此，在两个相邻的反熔丝位结构 140 之间设置隔离结构 180，可以防止相邻且不共用第一掺杂区 101 的两个存储单元的有源区之间发生漏电等问题。其中，隔离结构 180 的深度大于第一掺杂区 101 的深度和第二掺杂区 102 的深度。示例性地，隔离结构 180 可以为浅槽隔离（Shallow Trench Isolation, STI），其具有成本低、隔离

效果好等优势，隔离结构 180 的材料包括但不限于氧化硅等。至少部分第二连接结构 170 位于隔离结构 180 之上，且第二连接结构 170 的底部宽度可以大于隔离结构 180 的顶部宽度，从而使得第二连接结构 170 的底部可以与衬底 100 接触，实现第二连接结构 170 与衬底 100 的电连接。

5 在一些实施例中，如图 4 所示，所述半导体结构 10 还包括：

第三掺杂区 103，位于所述隔离结构 180 两侧的所述衬底 100 中；所述第二连接结构 170 通过所述第三掺杂区 103 连接所述衬底 100。

10 在本公开实施例中，隔离结构 180 两侧的衬底 100 中还具有第三掺杂区 103，第二连接结构 170 通过第三掺杂区 103 连接衬底 100，从而实现对衬底 100 施加电压。第三掺杂区 103 的掺杂类型可以与第一掺杂区 101 和第二掺杂区 102 相反，第三掺杂区 103 用于减少第二连接结构 170 与衬底 100 的接触电阻。示例性地，第三掺杂区 103 可以为 P+ 型掺杂区。

可以理解的是，图 4 中的第二连接结构 170 与第一连接结构 160 的距离较大，即第二连接结构 170 与第一连接结构 160 之间设置有一个第一栅极结构 110 和一个第二栅极结构 120，如此可以有效减小存储器工作中的信号干扰；另外，位于第二连接结构 170 两侧的第二栅极结构 120 可以在形成第三掺杂区 103 时起到自对准的作用，且这里的第二栅极结构 120 仍可以作为存储单元的一部分，并用于存储数据。在一些实施例中，如图 5 所示，第二连接结构 170 可以设置于离第一连接结构 160 较近的位置，即第二连接结构 170 与第一连接结构 160 之间只设置有一个第一栅极结构 110，从而节省半导体结构 10 的占用面积；但这里单独设置的第一栅极结构 110 不能形成存储单元，仅在形成第三掺杂区 103 时起到自对准的作用。在图 5 所示的情况下，可以使第二连接结构 170 和第一连接结构 160 在字线延伸方向上错开一定的距离，从而减小信号干扰。

25 在一些实施例中，如图 6 所示为半导体结构 10 的局部俯视图，半导体结构 10 还包括：字线 113，位于所述第一栅极结构 110 上方；所述字线 113 连接位于所述字线 113 延伸方向上的多个第一栅极结构 110；第三金属线 123，位于所述第二栅极结构 120 上方，所述第三金属线 123 的延伸方向平行于所述字线 113 的延伸方向；所述第三金属线 123 连接位于所述第三金属线 123 延伸方向上的多个第二栅极结构 120。

35 在本公开实施例中，一个选择晶体管 130 和一个反熔丝位结构 140 构成一次性可编程存储器的一个存储单元。第一栅极结构 110 可以通过接触结构连接至位于第一栅极结构 110 上方的字线 113。字线 113 连接位于其延伸方向上的多个存储单元的第一栅极结构 110。第二栅极结构 120 可以通过接触结构连接至位于第二栅极结构 120 上方的第三金属线 123。第三金属线 123 连接位于其延伸方向上的多个存储单元的第二栅极结构 120。字线 113 的延伸方向平行于第三金属线 123 的延伸方向。如此，一条字线 113 可以控制位于其延伸方向上的多个存储单元的选择晶体管 130 的导通或者截止，

而一条第三金属线 123 则可以对其延伸方向上的多个存储单元的第二栅极结构 120 同时加压，简化了存储器的操作。示例性地，字线 113 和第三金属线 123 可以位于平行于衬底 100 表面的同一平面内，且字线 113 和第三金属线 123 可以同步地形成，以简化制造工艺。

5 在一些实施例中，如图 3 至图 5 所示，两个相邻的所述选择晶体管 130 对称设置，且共用同一个所述第一掺杂区 101。

在本公开实施例中，任意两个相邻的选择晶体管 130 对称设置，且共用同一个第一掺杂区 101。如此，在一次性可编程存储器中，任意两个相邻的存储单元对称设置，并共用一个第一掺杂区 101，以减少每一个存储单元的占用面积；此外，一条位线（第一金属线 150）可以通过一个第一连接结构 160 连接至两个相邻的存储单元，以同时对两个存储单元的第一掺杂区 101 施加电压，提升了存储器的工作效率。

如图 7 所示，本公开实施例还提供了一种存储器 20，包括：存储阵列 21，所述存储阵列 21 中包括上述实施例任一所述的半导体结构 10；与存储阵列 21 耦接的外围电路 22。

在本公开实施例中，存储器 20 包括存储阵列 21 以及与存储阵列 21 耦接的外围电路 22。其中，存储阵列 21 中包括上述实施例任一所述的半导体结构 10。外围电路 22 包括用于对行/列地址信息进行锁存和译码的地址电路，用于对反熔丝单元存储的信息进行监测和判断的感测电路，以及用于对操作模式进行切换控制电路。如此，一方面，第一栅极结构和第二栅极结构可以具有相同厚度的薄栅氧结构，使得选择晶体管的沟道宽度较小，减小了反熔丝位结构的占用面积，且二者的薄栅氧结构可以同步形成，简化了制造工艺；另一方面，第二栅极结构与第二掺杂区的重叠部分减少了反熔丝位结构在水平方向上的长度，也减小了反熔丝位结构的面积，提高了存储器的集成度。

图 8 所示为存储阵列 21 的示意图，其中一个选择晶体管 240 与一个反熔丝位结构 250 构成一个存储单元 210。每条字线 213 连接位于其延伸方向上的多个存储单元 210 中的第一栅电极 211；每条第三金属线 223 连接位于其延伸方向上的多个存储单元 210 中的第二栅电极 221。一条第一金属线 260（位线）连接两个相邻且共用第一掺杂区 201 的存储单元 210。存储阵列 21 中还包括可以施加电压的衬底 200，从而对多个存储单元 210 中选择晶体管 240 的沟道同时施加电压，以确保多个选择晶体管 240 中的 PN 结不被反向击穿。

如图 9 所示，本公开实施例还提供了一种存储器的操作方法，所述存储器包括上述实施例任一所述的半导体结构 10；所述方法包括：

步骤 S10、根据待写入的数据，对所述存储器执行写入操作，所述写入操作包括：击穿所述存储器的反熔丝位结构中的一个目标反熔丝位结构，使所述目标反熔丝位结构由非击穿状态切换为击穿状态；且保持非目标反

熔丝位结构的非击穿状态；其中，所述非目标反熔丝位结构为所述目标反熔丝位结构以外的反熔丝位结构。

在本公开实施例中，参考图 8，在对目标存储单元 210a 执行写入操作时，根据待写入的数据，将存储阵列 21 中的一个目标反熔丝位结构 250a 的第二栅介质层击穿，使该目标反熔丝位结构 250a 由非击穿状态切换为击穿状态，同时保持非目标反熔丝位结构 250b 和 250c 的非击穿状态。可以理解的是，通过在第二掺杂区与第二栅电极上施加不同的电压，以使得二者之间的电压差大于或等于击穿电压 HV，从而实现反熔丝位结构的击穿；而若二者之间的电压差小于击穿电压 HV，即可保持反熔丝位结构的非击穿状态。

在一些实施例中，还可以控制第一金属线与字线上施加的电压，从而使得第一掺杂区上的电压与第一栅电极上的电压的差值小于第一栅介质层的击穿电压 HV，从而使得采用薄栅氧结构的第一栅介质层不被误击穿。可以理解的是，由于第一栅介质层与第二栅介质层为薄栅氧结构且厚度相同，故二者的击穿电压均为 HV。下面根据表 1 中示出的操作电压以及图 8，对存储器 20 的操作方法进行解释。其中，非目标存储单元 210b 与目标存储单元 210a 连接至同一字线 213 和同一第三金属线 223；非目标存储单元 210c 与目标存储单元 210a 连接至同一位线，即第一金属线 260。

存储器 20 的操作电压				
	第一金属线 260	字线 213	第三金属线 223	衬底 200
目标存储单元 210a	V3	V2	V4	V1
非目标存储单元 210b	V1	V2	V4	V1
非目标存储单元 210c	V3	Voff	V1	V1

表 1

在一些实施例中，所述写入操作还包括：
对所述衬底 200 施加第一电压 V1，以保持所述选择晶体管的非击穿状态。

在本公开实施例中，为了防止通过第一金属线 260 施加在第一掺杂区 201、第二掺杂区 202 上的较大电压（如 HV），使得选择晶体管 240 中的 PN 结被反向击穿，可以在衬底 200 上施加第一电压 V1。其中，第一电压 V1 可以为 HV/2。可以理解的是，可以对多个存储单元 210 中选择晶体管 240 的衬底同时施加第一电压 V1，以简化存储器 20 的操作。

在一些实施例中，所述击穿所述存储器的反熔丝位结构 250 中的一个目标反熔丝位结构 250a，使所述目标反熔丝位结构 250a 由非击穿状态切换为击穿状态，包括：

对所述目标反熔丝位结构 250a 连接的所述选择晶体管 240a 的第一栅电极 211a 施加第二电压 V2，以导通所述选择晶体管 240a；对所述选择晶体

管 240a 连接的第一金属线 260 施加第三电压 V3; 所述第三电压 V3 与所述第二电压 V2 的差值小于第一栅介质层的击穿电压 HV;

对所述目标反熔丝位结构 250a 的第二栅电极 221a 施加第四电压 V4, 以使所述目标反熔丝位结构 250a 由非击穿状态切换为击穿状态; 其中, 所述第三电压 V3 与第四电压 V4 之间的电压差大于或等于第二栅介质层的击穿电压 HV。

在本公开实施例中, 可以通过将目标存储单元 210a 中的目标反熔丝位结构 250a 进行击穿, 以实现数据的写入。具体地, 如图 8 所示, 对目标反熔丝位结构 250a 连接的选择晶体管 240a 的第一栅电极 211a 施加第二电压 V2, 即对字线 213 施加第二电压 V2, 使选择晶体管 240a 的导通。可选地, 这里的第二电压 V2 可以为击穿电压 HV。与此同时, 对选择晶体管 240a 连接的第一金属线 260 施加第三电压 V3, 并对目标反熔丝位结构 250a 的第二栅电极 221a 施加第四电压 V4, 即对第三金属线 223 施加第四电压 V4。如此, 第三电压 V3 由导通的选择晶体管 240a 施加至目标反熔丝位结构 250a 的第二掺杂区 202a, 第三电压 V3 与第四电压 V4 之间的电压差大于或等于击穿电压 HV, 以使目标反熔丝位结构 250a 由非击穿状态切换为击穿状态, 可选地, 这里的第三电压 V3 可以是击穿电压 HV, 而第四电压 V4 则可以是 0V。可以理解的是, 由于第一栅电极 211a 上施加第二电压 V2, 而第一掺杂区 201a 上施加第三电压 V3, 故第一栅电极 211a 与第一掺杂区 201a 的电压差为 0V, 小于第一栅介质层的击穿电压 HV, 确保第一栅介质层不被误击穿。

在一些实施例中, 所述保持非目标反熔丝位结构的非击穿状态, 包括:

对所述非目标反熔丝位结构 250b 连接的所述选择晶体管 240b 的第一栅电极 211b 施加所述第二电压 V2, 以导通所述选择晶体管 240b; 对所述选择晶体管 240b 连接的第一金属线 260b 施加所述第一电压 V1; 所述第一电压 V1 与第二电压 V2 的差值小于第一栅介质层的击穿电压 HV;

对所述非目标反熔丝位结构 250b 的第二栅电极 221b 施加第四电压 V4, 以使所述非目标反熔丝位结构 250b 保持非击穿状态; 其中, 所述第一电压 V1 与第四电压 V4 之间的电压差小于第二栅介质层的击穿电压 HV。

在本公开实施例中, 在对目标存储单元 210a 中的目标反熔丝位结构 250a 进行击穿时, 还需要保持非目标存储单元 210b 中的非目标反熔丝位结构 250b 的非击穿状态。具体地, 如图 8 所示, 对于与目标存储单元 210a 连接至同一字线 213 和同一第三金属线 223 的非目标存储单元 210b, 由于对非目标反熔丝位结构 250b 连接的选择晶体管 240b 的第一栅电极 211b 施加了第二电压 V2, 选择晶体管 240b 的导通, 故需要保证非目标反熔丝位结构 250b 的第二掺杂区 202b 与第二栅电极 221b 之间的电压差小于击穿电压 HV。因此, 对选择晶体管 240b 连接的第一金属线 260b 施加第一电压 V1, 如此, 第一电压 V1 由导通的选择晶体管 240b 施加至非目标反熔丝位

结构 250b 的第二掺杂区 202b, 第二栅电极 221b 上的第四电压 V4 与第二掺杂区 202b 上的第一电压 V1 之间的电压差小于击穿电压 HV, 以使非目标反熔丝位结构 250b 保持非击穿状态。可选地, 这里的第二电压 V2 可以为击穿电压 HV, 第一电压 V1 可以为 HV/2, 而第四电压 V4 则可以是 0V。

5 可以理解的是, 由于第一栅电极 211b 上施加第二电压 V2, 而第一掺杂区 201b 上施加第一电压 V1, 故第一栅电极 211b 与第一掺杂区 201b 的电压差为 HV/2, 小于第一栅介质层的击穿电压 HV, 确保第一栅介质层不被误击穿。

在一些实施例中, 所述保持非目标反熔丝位结构的非击穿状态, 包括:

10 对所述非目标反熔丝位结构 250c 连接的所述选择晶体管 240c 的第一栅电极 211c 施加截止电压 Voff, 以截止所述选择晶体管 240c; 对所述选择晶体管 240c 连接的第一金属线 260 施加第三电压 V3; 所述第三电压 V3 与所述截止电压 Voff 的差值小于所述第一栅介质层的击穿电压 HV;

对所述非目标反熔丝位结构 250c 的第二栅电极 221c 施加第一电压 V1, 以使所述非目标反熔丝位结构 250c 保持非击穿状态; 其中, 所述第三电压 V3 与所述第一电压 V1 的差值小于第二栅介质层的击穿电压 HV。

15

在本公开实施例中, 在对目标存储单元 210a 中的目标反熔丝位结构 250a 进行击穿时, 还需要保持非目标存储单元 210c 中的非目标反熔丝位结构 250c 的非击穿状态。具体地, 如图 8 所示, 非目标存储单元 210c 与目标存储单元 210a 连接在同一第一金属线 260, 即位线。由于对非目标反熔丝位结构 250c 连接的第一金属线 260 施加了第三电压 V3, 故可以对非目标反熔丝位结构 250c 连接的选择晶体管 240c 的第一栅电极 211c 施加截止电压 Voff, 即对字线 213c 施加截止电压 Voff, 以截止选择晶体管 240c, 此时第三电压 V3 无法通过选择晶体管 240c 传递至第二掺杂区 202c。与此同时,

20 还可以对非目标反熔丝位结构 250c 的第二栅电极 221c 施加第一电压 V1, 即对第三金属线 223c 施加第一电压 V1, 且第三电压 V3 与第一电压 V1 的差值小于第二栅介质层的击穿电压 HV, 进一步地确保非目标反熔丝位结构 250c 不被击穿。可选地, 这里的截止电压 Voff 可以为 HV/2, 第一电压 V1 可以为 HV/2, 而第三电压 V3 则可以是击穿电压 HV。可以理解的是, 由于

25 第一栅电极 211c 上施加截止电压 Voff, 而第一掺杂区 201c 上施加第三电压 V3, 故第一栅电极 211c 与第一掺杂区 201c 的电压差为 HV/2, 小于第一栅介质层的击穿电压 HV, 确保第一栅介质层不被误击穿。

在一些实施例中, 所述方法还包括: 对所述存储器执行读取操作, 所述读取操作包括: 将所述衬底 200 接地; 对所述反熔丝位结构 250 连接的

35 所述选择晶体管 240 的第一栅电极 211 施加第一读取电压 Vwlr, 以导通所述选择晶体管 240; 对所述选择晶体管 240 连接的第一金属线 260 施加第二读取电压 Vblr; 检测所述第一金属线 260 上的电流。

存储器 20 的操作电压							
对象	第三金属线 223		字线 213		第一金属线 260		衬底 200
类型	目标存储单元	非目标存储单元	目标存储单元	非目标存储单元	目标存储单元	非目标存储单元	无
写入	0V	HV/2	HV	HV/2	HV	HV/2	HV/2
读取	0V	0V	Vwlr	0V	Vblr	0V	0V

表 2

- 在本公开实施例中，还可以根据如表 2 所示的操作电压，对存储器 20 进行写入和读取操作。其中 Vblr 为第一金属线 260，即位线的第二读取电
- 5 压 Vblr；Vwlr 为字线 213 的第一读取电压 Vwlr。当对字线 213，即第一栅电极 211 施加 Vwlr 时，选择晶体管 240 导通；此时将衬底 200 接地，即衬底 200 上的电压为 0V，对第一金属线 260 施加 Vblr，并对第三金属线 223，即第二栅电极 221 施加 0V；如此，检测第一金属线 260 上的电流，即可判断该反熔丝位结构 250 处于击穿状态还是非击穿状态，从而实现读取操作。
- 10 在一些实施例中，由于第二掺杂区与反熔丝电极的重叠区域较小，击穿所需要的电压较小。故可以对存储器中的衬底、字线结构、反熔丝电极以及第一金属线施加较小的电压，且施加电压的持续时间较短，以达到节省能耗的目的。
- 需要说明的是，本公开所提供的几个方法或设备实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或设备实
- 15 施例。以上仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以权利要求的保护范围为准。

20 工业实用性

- 在本公开实施例提供的半导体结构中，第一栅极结构和第二栅极结构的厚度相同且小于预定厚度；第二栅极结构在衬底上的正投影与第二掺杂区至少部分重叠。如此，一方面，第一栅极结构和第二栅极结构可以具有相同厚度的薄栅氧结构，使得选择晶体管的沟道宽度较小，减小了半导体
- 25 结构的占用面积，且二者的薄栅氧结构可以同步形成，简化了制造工艺；另一方面，第二栅极结构与第二掺杂区的重叠部分减少了反熔丝位结构在水平方向上的长度，也减小了半导体结构的占用面积，提高了存储器的集成度。

权利要求书

1. 一种半导体结构，包括：
衬底；
位于所述衬底表面上的第一栅极结构和第二栅极结构；所述第二栅极
5 结构与所述第一栅极结构的厚度相同且小于预定厚度；
位于所述衬底中的第一掺杂区和第二掺杂区，且所述第一掺杂区和所
述第二掺杂区分别位于所述第一栅极结构的两侧；所述第一栅极结构与所
述第一掺杂区和所述第二掺杂区构成选择晶体管；
所述第二栅极结构在所述衬底上的正投影与所述第二掺杂区至少部分
10 重叠；所述第二栅极结构与所述第二掺杂区构成反熔丝位结构；所述反熔
丝位结构的击穿状态和非击穿状态用于表示不同的存储数据。
2. 根据权利要求 1 所述的半导体结构，其中，所述第一栅极结构包括
第一栅电极和位于所述第一栅电极下方的第一栅介质层；所述第二栅极结
构包括第二栅电极和位于所述第二栅电极下方的第二栅介质层；
15 所述第一栅介质层与所述第二栅介质层的厚度相同，且所述第一栅介
质层与所述第二栅介质层为预定的薄栅氧结构。
3. 根据权利要求 1 所述的半导体结构，其中，还包括：
第一金属线，位于所述第一栅极结构和所述第二栅极结构上方；所述
第一金属线通过第一连接结构与所述第一掺杂区连接。
20 4. 根据权利要求 3 所述的半导体结构，其中，还包括：
第二金属线，位于所述第一栅极结构和所述第一金属线之间；所述第
二金属线通过第二连接结构与所述衬底连接。
5. 根据权利要求 4 所述的半导体结构，其中，还包括：
隔离结构，位于两个相邻的所述反熔丝位结构之间的所述衬底中；其
25 中，至少部分所述第二连接结构位于所述隔离结构之上。
6. 根据权利要求 5 所述的半导体结构，其中，还包括：
第三掺杂区，位于所述隔离结构两侧的所述衬底中；所述第二连接结
构通过所述第三掺杂区连接所述衬底。
7. 根据权利要求 1 所述的半导体结构，其中，还包括：
30 字线，位于所述第一栅极结构上方；所述字线连接位于所述字线延伸
方向上的多个第一栅极结构；
第三金属线，位于所述第二栅极结构上方，所述第三金属线的延伸方
向平行于所述字线的延伸方向；所述第三金属线连接位于所述第三金属线
延伸方向上的多个第二栅极结构。
35 8. 根据权利要求 1 所述的半导体结构，其中，两个相邻的所述选择晶
体管对称设置，且共用同一个所述第一掺杂区。
9. 一种存储器的操作方法，所述存储器包括权利要求 1 至 8 中任一所

述的半导体结构；所述方法包括：

根据待写入的数据，对所述存储器执行写入操作，所述写入操作包括：

击穿所述存储器的反熔丝位结构中的一个目标反熔丝位结构，使所述目标反熔丝位结构由非击穿状态切换为击穿状态；

5 且保持非目标反熔丝位结构的非击穿状态；其中，所述非目标反熔丝位结构为所述目标反熔丝位结构以外的反熔丝位结构。

10. 根据权利要求9所述的方法，其中，所述写入操作还包括：

对所述衬底施加第一电压，以保持所述选择晶体管的非击穿状态。

11. 根据权利要求9所述的方法，其中，所述击穿所述存储器的反熔丝位结构中的一个目标反熔丝位结构，使所述目标反熔丝位结构由非击穿状态切换为击穿状态，包括：

对所述目标反熔丝位结构连接的所述选择晶体管的第一栅电极施加第二电压，以导通所述选择晶体管；对所述选择晶体管连接的第一金属线施加第三电压；所述第三电压与所述第二电压的差值小于第一栅介质层的击穿电压；

对所述目标反熔丝位结构的第二栅电极施加第四电压，以使所述目标反熔丝位结构由非击穿状态切换为击穿状态；其中，所述第三电压与所述第四电压之间的电压差大于或等于第二栅介质层的击穿电压。

12. 根据权利要求9所述的方法，其中，所述保持非目标反熔丝位结构的非击穿状态，包括：

对所述非目标反熔丝位结构连接的所述选择晶体管的第一栅电极施加第二电压，以导通所述选择晶体管；对所述选择晶体管连接的第一金属线施加第一电压；所述第一电压与所述第二电压的差值小于第一栅介质层的击穿电压；

25 对所述非目标反熔丝位结构的第二栅电极施加第四电压，以使所述非目标反熔丝位结构保持非击穿状态；其中，所述第一电压与所述第四电压之间的电压差小于第二栅介质层的击穿电压。

13. 根据权利要求9所述的方法，其中，所述保持非目标反熔丝位结构的非击穿状态，包括：

30 对所述非目标反熔丝位结构连接的所述选择晶体管的第一栅电极施加截止电压，以截止所述选择晶体管；对所述选择晶体管连接的第一金属线施加第三电压；所述第三电压与所述截止电压的差值小于第一栅介质层的击穿电压；

对所述非目标反熔丝位结构的第二栅电极施加第一电压，以使所述非目标反熔丝位结构保持非击穿状态；其中，所述第三电压与所述第一电压之间的电压差小于第二栅介质层的击穿电压。

14. 根据权利要求9所述的方法，其中，还包括：

对所述存储器执行读取操作，所述读取操作包括：

将所述衬底接地;

对所述反熔丝位结构连接的所述选择晶体管的第一栅电极施加第一读取电压, 以导通所述选择晶体管;

对所述选择晶体管连接的第一金属线施加第二读取电压;

5 检测所述第一金属线上的电流。

15. 一种存储器, 包括:

存储阵列, 所述存储阵列中包括如权利要求 1 至 8 任一所述的半导体结构;

与所述存储阵列耦接的外围电路。

10