

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年6月23日(23.06.2022)



(10) 国際公開番号

WO 2022/130554 A1

- (51) 国際特許分類:
H01L 27/11582 (2017.01) G11C 16/04 (2006.01)
- (21) 国際出願番号: PCT/JP2020/047089
- (22) 国際出願日: 2020年12月17日(17.12.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: キオクシア株式会社 (KIOXIA CORPORATION) [JP/JP]; 〒1080023 東京都港区芝浦三丁目1番21号 Tokyo (JP).
- (72) 発明者: 中塚 圭祐 (NAKATSUKA, Keisuke); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 内山 泰宏 (UCHIYAMA, Yasuhiro); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 美濃 明良 (MINO, Akira); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 田上 政由 (TAGAMI, Masayoshi); 〒1080023 東京都港

区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 荒井 伸也 (ARAI, Shinya); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP).

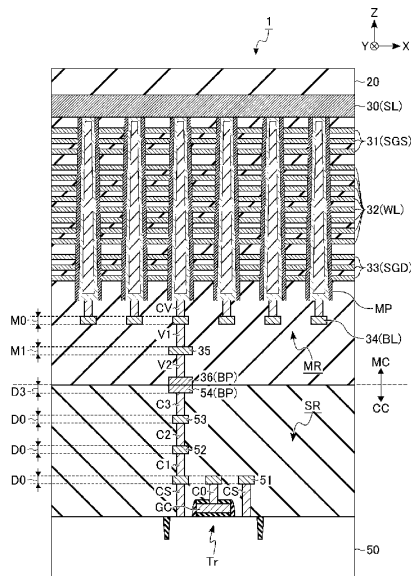
(74) 代理人: 蔵田 昌俊, 外 (KURATA, Masatoshi et al.); 〒1050014 東京都港区芝三丁目23番1号 セレスティン芝三井ビルディング11階 鈴榮特許総合事務所内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: SEMICONDUCTOR MEMORY DEVICE

(54) 発明の名称: 半導体記憶装置

[図9]



(57) Abstract: A semiconductor memory device of an embodiment includes a substrate, a plurality of first conductor layers, a pillar, and a second conductor layer. The plurality of first conductor layers are provided above the substrate, and are separated from each other in a first direction. The pillar is provided penetrating the plurality of first conductor layers, and includes a first semiconductor layer stretched in the first direction. The intersecting portion of the pillar and the first conductor layer functions as a memory cell. The second conductor layer is provided above the plurality of first conductor layers, and is in contact with the first semiconductor layer. The second conductor layer is metal or silicide.

(57) 要約: 実施形態の半導体記憶装置は、基板と、複数の第1導電体層と、ピラーと、第2導電体層とを含む。複数の第1導電体層は、基板の上方に設けられ、第1方向に互いに離れている。ピラーは、複数の第1導電体層を貫通して設けられ、前記第1方向に延伸した第1半導体層を含む。ピラーと第1導電体層との交差部分はメモリセルとして機能する。第2導電体層は、複数の第1導電体層の上方に設けられ、第1半導体層と接触している。第2導電体層は、金属又はシリサイドである。

[続葉有]

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))