



(43) 国際公開日  
2006 年 2 月 16 日 (16.02.2006)

PCT

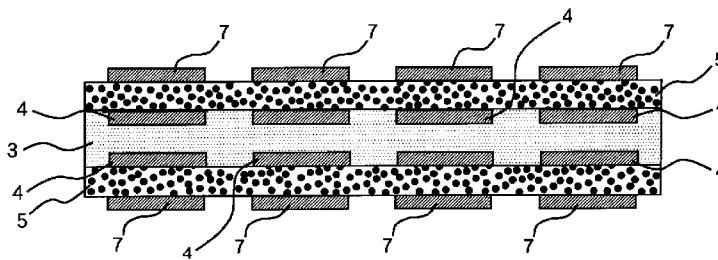
(10) 国際公開番号  
WO 2006/016586 A1

- (51) 国際特許分類:  
H05K 3/46 (2006.01)
- (21) 国際出願番号: PCT/JP2005/014588
- (22) 国際出願日: 2005 年 8 月 9 日 (09.08.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2004-233591 2004 年 8 月 10 日 (10.08.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 三井金属鉱業株式会社 (MITSUI MINING & SMELTING CO., LTD.) [JP/JP]; 〒1418584 東京都品川区大崎一丁目 1 1 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中村 健介 (NAKAMURA, Kensuke) [JP/JP]; 〒3620013 埼玉県上尾市鎌倉橋 6 5 6 - 2 三井金属鉱業株式会社 銅箔事業本部内 Saitama (JP).
- (74) 代理人: 吉村 勝博 (YOSHIMURA, Katsuhiko); 〒3300854 埼玉県さいたま市大宮区桜木町 2 丁目 5 - 4 大宮 F ビル 吉村国際特許事務所 Saitama (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX,

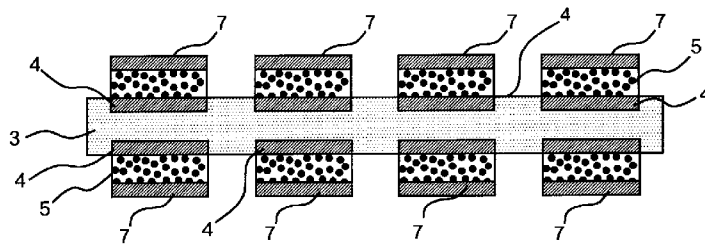
[続葉有]

(54) Title: METHOD FOR MANUFACTURING MULTILAYER PRINTED WIRING BOARD AND MULTILAYER PRINTED WIRING BOARD OBTAINED BY THE MANUFACTURING METHOD

(54) 発明の名称: 多層プリント配線板の製造方法及びその製造方法で得られた多層プリント配線板



(c)



(d)

(57) Abstract: A manufacturing technology of a multilayer printed wiring board which has excellent film thickness uniformity of a dielectric layer and excellent positional accuracy of a capacitor circuit and in which unnecessary dielectric layer is removed as much as possible, and a multilayer printed wiring board provided with a built-in capacitor circuit are provided. The multilayer printed wiring board provided with the built-in capacitor circuit is manufactured through a first conductivity type metal layer laminating process wherein a dielectric layer and a first conductivity type metal layer are provided on both planes of a core material provided with a base electrode circuit; an upper electrode forming process wherein the first conductivity type metal layer positioned on an outer layer is processed into an upper electrode and the dielectric layer in a region other

than a circuit part is exposed; a dielectric layer removing process wherein the exposed dielectric layer other than that on the circuit part is removed; a second conductivity type metal layer laminating process wherein a gap between the upper electrodes is buried and an insulating layer and a second conductivity type metal layer are provided on the upper electrode; and an outer layer circuit forming process wherein the second conductivity type metal layer is processed into an outer layer circuit.

(57) 要約: 誘電層の膜厚均一性及びキャパシタ回路の位置精度に優れ、可能な限り余分な誘電体層を除去した多層プリント配線板の製造技術及び内蔵キャパシタ回路を備える多層プリント配線板の提供を目的とする。この目的を達成するため、ベース電極回路を備えたコア材の両面に誘電層及

[続葉有]

WO 2006/016586 A1



MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

び第1導電性金属層を設ける第1導電性金属層張り合わせ工程、外層に位置する前記第1導電性金属層を上部電極に加工し、回路部以外の領域の誘電層を露出させる上部電極形成工程、回路部以外の露出した誘電層を除去する誘電層除去工程、上部電極間ギャップを埋設し、上部電極上に絶縁層及び第2導電性金属層を設ける第2導電性金属層張り合わせ工程、第2導電性金属層を外層回路に加工する外層回路形成工程を経る内蔵キャパシタ回路を備える多層プリント配線板の製造方法等を採用する。