

封装基板以及封装结构

相关申请的交叉引用

本申请要求于 2021 年 1 月 21 日提交中国专利局、申请号为 2021100829293、发明名称为“封装基板以及封装结构”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及半导体技术领域，特别是涉及一种封装基板以及封装结构。

技术背景

封装对应用于各种集成电路的芯片都起着重要的作用。应用于芯片封装的封装基板起着安放、固定、密封、保护芯片和增强电热性能的作用。同时，其还是沟通芯片与外部电路的桥梁。封装技术的好坏还直接影响到芯片自身性能的发挥和与之连接的印制电路板（PCB）的设计和制造，因此它是至关重要的。

目前，一些封装基板的设计中，采取在基底的顶部设置电镀条（plating bar）的方式，将为芯片提供信号的多个相关联的信号线连接。这种设计大大占用了的基底顶部的面积，导致基底顶部的各电源线需要避开电镀条而设置。这就使得电源线通常线长较长且线宽较细，从而具有较高的直流电阻，进而导致可能会出现直流压降超标的问题。

发明内容

根据本申请的各种实施例，提供一种封装基板以及封装结构。

本申请提供了一种封装基板，应用于芯片封装，包括：

电源线以及信号线，所述电源线用于为芯片供电，所述信号线用于为所述芯片提供信号；

第二导电层，位于所述基底的底部，包括第一焊盘以及局部互连线，所述第一焊盘与所述信号线对应电连接，多个所述第一焊盘通过所述局部互连线电连接。

本申请的封装基板以及封装结构具有如下有益效果：

本申请的封装基板以及封装结构，基底底部的第一焊盘与基底顶部的信号线电连接。通过局部互连线连接相关联的第一焊盘的方式，将多个相关联的信号线连接，从而使得基底的顶部不再需要电镀条的设置。

附图说明

为了更清楚地说明本申请实施例或传统技术中的技术方案，下面将对实施例或传统技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为一实施例中提供的封装结构的结构示意图；

图 2 为一实施例中提供的封装结构的剖面示意图；

图 3 为一实施例中提供的封装基板在一个角度下的结构示意图；

图 4 为一实施例中提供的封装基板在另一个角度下的结构示意图；

图 5 为一实施例中提供的第二导电层的局部平面结构示意图；

图 6 为一实施例中提供的封装基板的剖面局部结构示意图；

图 7 为传统技术的封装基板平面结构示意图。

附图标记说明：

100-基体；200-封装基板；210-基底；220-第一导电层；221-电源线；222-信号线；223-第一焊点；224-第二焊点；230-第二导电层；231-第一焊盘；232-局部互连线；2321-引入端，2322-互连线；233-第二焊盘；240-第三导电层；241-第一连接线；242-第二连接线；第三导电层 250-第一导电插塞；260-第二导电插塞；300-引线。

具体实施方式

为了便于理解本申请，下面将参照相关附图对本申请进行更全面的描述。附图中给出了本申请的首选实施例。但是，本申请可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本申请的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本申请。

应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层、掺杂类型和/或部分，这些元件、部件、区、层、掺杂类型和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层、掺杂类型或部分与另一个元件、部件、区、层、掺杂类型或部分。因此，在不脱离本申请教导之下，下面讨论的第一元件、部件、区、层、掺杂类型或部分可表示为第二元件、部件、区、层或部分；举例来说，可以将第一导电插塞换成为第二导电插塞，且类似地，可以将第二导电插塞换成为第一导电插塞。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可以用于描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。此外，器件也可以包括另外地取向（譬如，旋转 90 度或

其它取向), 并且在此使用的空间描述语相应地被解释。

在此使用时, 单数形式的“一”、“一个”和“所述/该”也可以包括复数形式, 除非上下文清楚指出另外的方式。还应明白, 当术语“组成”和/或“包括”在该说明书中使用时, 可以确定所述特征、整数、步骤、操作、元件和/或部件的存在, 但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。同时, 在此使用时, 术语“和/或”包括相关所列项目的任何及所有组合。

在电路结构中, 通常人们只关注那些电流较大的走线网络, 而忽视了一些电流看起来很小的走线网络。但是, 发明人发现, 在一些细长的走线网络, 由于具有较高的直流电阻, 即使流过的电流很小, 也可能产生直流压降超标的问题。

参阅图 7, 如背景技术所言, 一些封装基板的设计中(例如低功率双倍数据速率(low power double data rate, LPDDR)封装基板的设计中), 采取在封装基板的基底的顶部设置电镀条 10 的方式, 将多个相关联的信号线 222 连接。但是, 这种设计, 会导致同样位于基底的顶部的电源线 221 需要避开电镀条 10 而设置。从而使得封装基板上的电源线 221 都分散开, 从而形成细长的走线网络, 进而导致可能会出现直流压降超标的问题。

针对于此, 本申请提出了一种可以防止直流压降超标的问题的封装基板以及封装结构。

在一个实施例中, 请参阅图 1, 提供一种封装结构, 包括芯片 100、封装基板 200 以及引线 300。引线 300 可以为金属线等, 其一端连接芯片 100, 且另一端连接封装基板 200。

芯片 100 可以为应用于各种集成电路的芯片。同一封装结构上, 芯片 100 的数量可以为一个, 也可以为多个。

作为示例, 请参阅图 2, 当芯片 100 的数量为多个时, 多个芯片 100 可以堆叠设置, 从而提高封装结构集成密度。

此时, 可以设置封装结构还包括胶粘膜层 400。胶粘膜层 400 连接相邻

两个芯片 100 以及封装基板 200 与芯片 100。请参阅图 2，封装基板 200 与最底部的芯片 200 之间以及相邻两个芯片 100 之间均通过胶粘膜层 400 连接。

进一步地，还可以设置多个芯片交错堆叠，相邻两个芯片 100 分别在相对的两侧通过引线 300 与封装基板 200 电连接。

具体地，请参阅图 2，在封装基板 200 上，自下而上依次设置的各个芯片 100 中，第一片芯片、第三片芯片以及第五片芯片在芯片的左侧通过引线 300 与封装基板 200 电连接，而第二片芯片、第四片芯片以及第六片芯片在芯片的右侧通过引线 300 与封装基板 200 电连接。

此时，引线密度可以被有效降低，从而降低了引线工艺难度。并且，引线密度降低可以有效防止各个引线之间的相互干扰，从而提高封装结构的可靠性。

此外，封装结构还可以包括塑封层 500。塑封层 500 覆盖芯片 100，从而可以将芯片与外界隔离，以防止空气中的杂质对芯片电路腐蚀而造成芯片电气性能下降。另一方面，塑封层 500 封装后的芯片也更便于安装和运输。

在一个实施例中，请参阅图 3 以及图 4，封装基板 200 包括基底 210、第一导电层 220 以及第二导电层 230。第一导电层 220 位于基底 210 的顶部。第二导电层 230 位于基底 210 的底部。

第一导电层 220 以及第二导电层 230 可以但不限于为金属层。

第一导电层 220 包括电源线 221 以及信号线 222。电源线 221 用于为芯片 100 供电。具体地，电源线 221 可以包括提供 VDDQ、VPP、VDD 等电源电压的多种类型的电源线 221。信号线 222 用于为芯片 100 提供信号。具体地，信号线 222 可以包括传输 DQ、DQS 等信号的多种类型的信号线。

第二导电层 230 包括第一焊盘 231。第一焊盘 231 上可以形成第一焊球（未图示），进而与外部电路电连接。第一焊球可以但不限于为锡球。

同时，第一焊盘 231 与信号线 222 对应电连接，进而为信号线 222 提供信号。

同时，在本实施例中，第二导电层 230 还包括局部互连线 232。局部互

连线 232 连接多个相关联的第一焊盘 231。

由于第一焊盘 231 与信号线 222 电连接，因此将多个相关联的第一焊盘 231 连接即可以实现将多个相关联的信号线 222 连接。

可以理解的是，这里的“多个”表示两个或者两个以上。“多个相关联的信号线”即“需要电连接在一起的同种类型的多个信号线”，“多个相关联的第一焊盘”即“与多个相关联的信号线电连接的多个第一焊盘”。

本实施例通过局部互连线 232 连接相关联的第一焊盘 231 的方式，将多个相关联的信号线 222 连接，从而使得基底 210 的顶部不再需要 plating bar（即电镀条 10）的设置。

这样可以大大腾出基底 210 的顶部空间，进而给电源线留下走线空间，使得电源线不再需要绕行。因此，本实施例可以使得电源线的线宽有效拓宽，横截面有效增加，从而有效降低电源线的直流电阻阻抗，进而有效防止直流压降超标的问题。

在一个实施例中，请参阅图 5，第一焊盘 231 与对应的信号线 222 通过局部互连线 232 电连接。即局部互连线 232 的一端电连接信号线 222，另一端电连接第一焊盘 231，进而实现第一焊盘 231 与对应的信号线 222 的电连接。此时，可以便于第一焊盘 231 的灵活排布。

当然，第一焊盘 231 与信号线 222 电连接的方式并不限于此，例如，第一焊盘 231 也可以直接通过相应的导电插塞与信号线 222 取得连接。

在一个实施例中，第二导电层 230 包括走线层与焊盘层。局部互连线 232 位于走线层，第一焊盘 231 位于焊盘层。并且，焊盘层形成于走线层上。

即，在本实施例中，局部互连线 232 与第一焊盘 231 在不同的膜层形成。并且，焊盘层在走线层形成之前形成。

此时，可以根据局部互连线 232 与第一焊盘 231 的实际需求，通过不同的工艺过程形成局部互连线 232 与第一焊盘 231。

本实施例中，由于形成于第一焊盘 231 下的局部互连线 232 连接多个相关联的不同第一焊盘 231。因此，其有被第一焊盘 231 覆盖的部分，也有未

被第一焊盘 231 覆盖的部分。

局部互连线 232 的未被第一焊盘 231 覆盖的部分可以具有弯折角。此时，进一步地，可以设置弯折角为钝角，进而防止局部互连线 232 在弯折处出现信号发射，从而影响电信号的传输。

作为示例，走线层可以通过电镀工艺形成。此时，请继续参阅图 5，局部互连线 232 可以包括引入端 2321 与连接引入端 2321 的至少两个互连线 2322。电镀工艺过程中，电镀液自引入端 2321 位置引入，流至各个互连线 2312 的位置，从而形成包括引入端 2321 与互连线 2322 的局部互连线 232。

当然，在本实施例中，走线层并不一定通过上述电镀工艺形式形成。

或者，在一些实施例中，第二导电层 230 的设置形式也可以并不限于设置成包括走线层与焊盘层的形式。

例如，局部互连线 232 与第一焊盘 231 也可以在相同的导电膜层形成。此时，第一焊盘 231 与对应的信号线 222 也可以通过局部互连线 232 电连接。当然，第一焊盘 231 也可以直接通过相应的导电插塞等与对应的信号线 222 电连接。

或者，第二导电层 230 可以包括更多导电功能膜层，本申请对此均没有限制。

在一个实施例中，请继续参阅图 3，第一导电层 220 还包括第一焊点 223 以及第二焊点 224。第一焊点 223 以及第二焊点 224 均通过引线 300 与芯片 100 电连接。

并且，第一焊点 223 连接信号线 222，进而使得信号线 222 为芯片提供信号。第二焊点 224 连接电源线 221，进而使得电源线 221 为芯片供电。

可以理解的是，第一焊点 223 以及第二焊点 224 为用于与引线 300 连接的导电区域。同时，芯片 100 上通常也会设有与第一焊点 223 以及第二焊点 224 相对应的芯片焊点，用于与引线 300 连接。

各引线 300 通常通过打线工艺分别连接至芯片的芯片焊点与第一焊点 223 或者第二焊点 224。

第一焊点 223 以及第二焊点 224 的设置可以便于引线 300 的连接。当然，本申请第一导电层 220 的设置形式并不以此为限制。

例如，在一些实施例中，由于电源线 221 线宽较大，因此可以直接将引线 300 连接在电源线 221 上，而不设置第二焊点 224。

或者，在同一实施例中，不同的引线 300 也可以以不同的方式电连接电源线。具体地，可以设置部分引线 300 连接至第二焊点 224 进而与电源线 221 电连接，部分引线 300 直接连接至电源线 221。

在一个实施例中，可以设置同一电源线 221 连接多个第二焊点 224。此时，可以在基底 210 的顶部将连接多个第二焊点 224 的同种类型的电源线 221 形成一个完整的平面，进而进一步降低电源线 221 阻抗，并且可以简化第一导电层 220 的结构，从而便于其加工形成。

在一个实施例中，电源线 221 包括线本体 2211 以及连接部 2212。连接部 2212 连接线本体 2211 与第二焊点 224。

本实施例通过将电源线 221 分为线本体 2211 与连接部 2212，进而便于将线本体线宽设置的相对宽，从而降低直流阻抗。同时，连接部 2212 的设置，便于在同一电源线 221 连接多个第二焊点 224 的情况下，将第一焊点 223 与第二焊点 224 排布成一行，从而便于工艺加工。

在一个实施例中，请参考图 6，封装基板 200 还包括第三导电层 240 以及第一导电插塞 250。第三导电层可以但不限于为金属层。

第三导电层 240 位于第一导电层 220 与第二导电层 230 之间。

并且，第三导电层 240 包括第一连接线 241。第一连接线 241 通过第一导电插塞 250 分别与信号线 222 以及第一焊盘 231 电连接，从而使得信号线 222 与对应的第一焊盘 231 电连接。

具体地，对于同一第一连接线 241，其一端通过第一导电层 220 与第三导电层 240 之间的第一导电插塞 250 与信号线 222 电连接；同时，其另一端通过第二导电层 230 与第三导电层 240 之间的第一导电插塞 250 与第一焊盘 231 电连接。

在本实施例中，通过第三导电层 240 的设置可以将使得与信号线 222 连接的第一焊盘 231 自由灵活排布，而不受信号线 222 位置的影响。

当第一焊盘 231 与对应的信号线 222 通过局部互连线 232 电连接时，更具体地，对于同一第一连接线 241，其一端通过第一导电层 220 与第三导电层 240 之间的第一导电插塞 250 与信号线 222 电连接；同时，其另一端通过第二导电层 230 与第三导电层 240 之间的第一导电插塞 250 与局部互连线 232 电连接（请同时参阅图 5），从而实现与第一焊盘 231 的电连接。

当然，本申请并不限于此，在一些实施例中，也可以不设有第三导电层 240。此时，可以直接将各信号线 222 通过第一导电插塞 250 而与对应的第一焊盘 231 连接。

在一个实施例中，请参阅图 4，第二导电层 230 还包括第二焊盘 233。第二焊盘 233 上可以形成第二焊球（未图示），进而与外部电路电连接。第二焊球可以但不限于为锡球，其可以与第一焊球在同一工序中形成。

同时，第二焊盘 233 与电源线 221 对应电连接，从而为电源线 221 供电。

当第二导电层 230 包括走线层与焊盘层时，可以设置第二焊盘 233 与第一焊盘 231 同时位于焊盘层（即二者可以同层形成），而局部互连线 232 位于走线层。

进一步地，封装基板还可以包括第二导电插塞 260，进而使得第二焊盘 233 与电源线 221 可以方便地通过第二导电插塞 260 电连接。

在一个实施例中，请参阅图 6，封装基板包括第三导电层 240，第三导电层位于第一导电层 220 与第二导电层 230 之间。

并且，第三导电层 240 包括第二连接线 242。第二连接线 242 通过第二导电插塞 260 分别与电源线 221 以及第二焊盘 233 电连接。

具体地，对于同一第二连接线 242，其一端通过第一导电层 220 与第三导电层 240 之间的第二导电插塞 260 与电源线 221 电连接；同时，其另一端通过第二导电层 230 与第三导电层 240 之间的第二导电插塞 260 与第二焊盘 233 电连接。

这里，第二连接线 242 的另一端通过第二导电层 230 与第三导电层 240 之间的第二导电插塞 260 与第二焊盘 233 电连接，可以是第二导电插塞 260 直接与第二焊盘 233 连接，也可以是第二导电插塞 260 通过其他的导电结构与第二焊盘 233 连接，本申请对此并没有限制。

在本实施例中，通过第三导电层 240 的设置可以将使得与电源线 221 连接的第二焊盘 233 自由灵活排布，而不受电源线 221 位置的影响。

此时，可以进一步地，设置第一焊盘 231 以及第二焊盘 233 在基底 210 的底部阵列排布，从而可以有效利用基底 210 的底部的空间，提高封装基板的可靠性。

这里，具体地，请参阅图 4，第一焊盘 231 以及第二焊盘 233 可以在基底 210 的底部排布成多个阵列（如图 4 中排列了四个阵列）。并且，多个阵列之间的空白区域可以设置有局部互连线 232，进而使得局部互连线 232 的设置空间更大，从而可以更加自由灵活地在第二导电层 230 布局局部互连线 232。

此时，如果电连接信号线 222 与第一焊盘 231 的第一导电插塞 250 与局部互连线 232 连接，则连接局部互连线 232 的部分第一导电插塞 250 也可以设置在阵列之间的空白区域，进而便于第一导电插塞 250 的布局设置。

具体地，此时可以同时第三导电层 240 设置第一连接线 241 与第二连接线 242。第一连接线 241 通过第一导电插塞 250 分别与信号线 222 以及第一焊盘 231 电连接。第二连接线 242 通过第二导电插塞 260 分别与电源线 221 以及第二焊盘 233 电连接，从而使得第一焊盘 231 以及第二焊盘 233 在基底 210 的底部阵列排布。

在一个实施例中，请参阅图 2，由于设置在基底 210 的顶部的电源线 221 具有足够的设置空间，因此，设置同一电源线 221 连接多个第二导电插塞 260，从而可以有效增加连接过孔区域，形成更好的回流，降低直流压降。

作为示例，沿电源线 221 的长度方向以及宽度方向均可以设置多个第二导电插塞 260，从而可以形成更好的回流，进一步降低直流压降。

作为示例，当封装基板包括第三导电层 240 时，同一电源线 221 可以通过多个第二导电插塞 260 连接第三导电层 240 的第二连接线 242。或者，当封装基板不包括第三导电层 240 时，同一电源线 221 可以通过多个第二导电插塞 260 连接第二导电层 230 的多个第二焊盘 233。

综上，本申请提供的封装基板以及封装结构，基底底部的第一焊盘与基底顶部的信号线电连接。通过局部互连线连接相关联的第一焊盘的方式，将多个相关联的信号线连接，从而使得基底的顶部不再需要 plating bar 的设置。

这样可以大大腾出基底的顶部空间，进而给电源线留下走线空间，使得电源线不再需要绕行。因此，本申请可以使得电源线的线宽有效拓宽，横截面有效增加，从而有效降低电源线的直流电阻阻抗，进而有效防止直流压降超标的问题。

上实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

权利要求书

1、一种封装基板，应用于芯片封装，包括：

第一导电层，位于基底的顶部，包括电源线以及信号线，所述电源线用于为芯片供电，所述信号线用于为所述芯片提供信号；

第二导电层，位于所述基底的底部，包括第一焊盘以及局部互连线，所述第一焊盘与所述信号线对应电连接，多个相关联的所述第一焊盘通过所述局部互连线电连接。

2、根据权利要求1所述的封装基板，其中，所述第一焊盘与对应的所述信号线通过所述局部互连线电连接。

3、根据权利要求2所述的封装基板，其中，所述第二导电层包括走线层与焊盘层，所述局部互连线位于所述走线层，所述第一焊盘位于所述焊盘层，所述焊盘层形成于所述走线层上，所述局部互连线的未被所述第一焊盘覆盖的部分具有弯折角，所述弯折角为钝角。

4、根据权利要求1所述的封装基板，其中，所述第一导电层还包括第一焊点以及第二焊点，所述第一焊点以及所述第二焊点均用于与所述芯片电连接，所述信号线连接所述第一焊点，所述电源线连接所述第二焊点。

5、根据权利要求4所述的封装基板，其中，同一所述电源线连接多个所述第二焊点。

6、根据权利要求5所述的封装基板，其中，所述电源线包括线本体以及连接部，所述连接部连接所述线本体与所述第二焊点。

7、根据权利要求1所述的封装基板，其中，所述封装基板还包括第三导电层以及第一导电插塞，所述第三导电层位于所述第一导电层与所述第二导电层之间，且包括第一连接线，所述第一连接线通过第一导电插塞分别与所述信号线以及所述第一焊盘电连接。

8、根据权利要求1所述的封装基板，其中，所述第二导电层还包括第二焊盘，所述第二焊盘与所述电源线对应电连接。

9、根据权利要求8所述的封装基板，其中，所述封装基板还包括第二导

电插塞，所述第二焊盘与所述电源线通过所述第二导电插塞电连接。

10、根据权利要求 9 所述的封装基板，其中，所述封装基板还包括第三导电层，所述第三导电层位于所述第一导电层与所述第二导电层之间，且包括第二连接线，所述第二连接线通过第二导电插塞分别与所述电源线以及所述第二焊盘电连接。

11、根据权利要求 9 所述的封装基板，其中，同一所述电源线连接多个第二导电插塞。

12、根据权利要求 11 所述的封装基板，其中，沿所述电源线的长度方向以及宽度方向均设置多个第二导电插塞。

13、根据权利要求 10 所述的封装基板，其中，所述第一焊盘以及所述第二焊盘在所述基底的底部阵列排布。

14、一种封装结构，包括芯片、引线以及权利要求 1 所述的封装基板，所述引线一端连接所述芯片，且另一端连接所述封装基板。

15、根据权利要求 14 所述的封装结构，其中，所述芯片的数量为多个，多个所述芯片堆叠设置，所述封装结构还包括胶粘膜层，所述胶粘膜层连接相邻两个所述芯片以及所述封装基板与所述芯片。

16、根据权利要求 15 所述的封装结构，其中，多个所述芯片交错堆叠，相邻两个所述芯片分别在相对的两侧通过所述引线与所述封装基板电连接。

17、根据权利要求 14 所述的封装结构，其中，所述封装结构还包括塑封层，所述塑封层覆盖所述芯片。