

计算存储系统及其操作方法、电子系统

技术领域

本公开涉及但不限于一种计算存储系统及其操作方法、电子系统。

背景技术

5 半导体存储器可以粗略地划分成两类，这取决于它们在断电时是否保留存储的数据；这两类半导体存储器是：易失性存储器和非易失性存储器，易失性存储器在断电时丢失存储的数据，非易失性存储器在断电时保留存储的数据。

发明内容

根据本公开实施例的第一方面，提供了一种电子系统，所述电子系统包括
10 主机和与所述主机耦接的计算存储系统；所述计算存储系统包括控制器、与所述控制器耦接的第一存储器以及用于执行程序的计算处理组件；所述主机被配置为：发送命令，所述命令用于指示所述计算处理组件执行程序，且所述命令被配置为定义所述程序执行过程中的输入数据和/或输出数据在所述第一存储器中的相应地址的关联信息；所述控制器被配置为：接收所述命令，并根据所
15 述关联信息，从所述主机得到所述程序执行过程中的输入数据和/或输出数据在所述第一存储器中的相应地址。

在一些实施方式中，所述命令中携带有第一指针信息，以及第一参数和/或第二参数；所述第一参数中包含所述程序执行过程中的输入数据的个数，所述第二参数中包含所述程序执行过程中的输出数据的个数；所述第一指针信息
20 指向所述主机中的缓存器中的第一区域，所述第一区域中存储有每个输入数据在所述第一存储器中的相应地址以及每个输出数据在所述第一存储器中的相应地址。

在一些实施方式中，所述控制器被配置为：根据所述第一指针信息，以及

第一参数和/或第二参数，从所述主机的缓存器中得到在所述程序执行过程中的每个输入数据在所述第一存储器中的相应地址和/或每个输出数据在所述第一存储器中的相应地址。

5 在一些实施方式中，所述主机被配置为：按照第一预设顺序将所述程序执行过程中的每个输入数据在所述第一存储器中的相应地址以及每个输出数据在所述第一存储器中的相应地址依次存放于所述第一区域中；所述控制器被配置为：根据每个输入数据及每个输出数据在所述第一存储器中的相应地址各自所占所述缓存器的容量大小、所述第一预设顺序的信息、输入数据的个数以及输出数据的个数，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器中的相应地址和/或输出数据在所述第一存储器中的相应地址。

15 在一些实施方式中，所述主机被配置为：按照输入数据在所述第一存储器中的相应地址存放在前，输出数据在所述第一存储器中的相应地址存放在后的顺序，将所述程序执行过程中的每个输入数据以及每个输出数据在所述第一存储器中的相应地址依次存放于所述主机的缓存器中的第一区域中；或，按照输出数据在所述第一存储器中的相应地址存放在前，输入数据在所述第一存储器中的相应地址存放在后的顺序，将所述程序执行过程中的每个输入数据以及每个输出数据在所述第一存储器中的相应地址依次存放于所述主机的缓存器中的第一区域中。

20 在一些实施方式中，所述命令中携带有第二指针信息；所述第二指针信息指向所述主机中的缓存器中的第二区域；所述第二区域中存储有输入数据的个数、每个输入数据在所述第一存储器中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器中的相应地址。

25 在一些实施方式中，所述主机被配置为：按照第二预设顺序将所述程序执行过程中的输入数据的个数、每个输入数据在所述第一存储器中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器中的相应地址依次存放于所述第二区域中；所述控制器被配置为：根据输入数据的个数、每个输入数据在所述第一存储器中的相应地址、输出数据的个数以及每个输出数据在所述第

一存储器中的相应地址各自所占所述缓存器的容量大小、所述第二预设顺序的信息、输入数据的个数以及输出数据的个数，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器中的相应地址和/或输出数据在所述第一存储器中的相应地址。

- 5 在一些实施方式中，所述主机被配置为：根据所述程序的功能特点，确定所述程序执行过程中的输入数据的个数和/或所述程序执行过程中的输出数据的个数。

 在一些实施方式中，所述命令中携带有第三指针信息和/或第四指针信息；所述第三指针信息指向所述主机中的缓存器中的第三区域，所述第三区域中存储有所述程序执行过程中的每个输入数据在所述第一存储器中的相应地址；所
10 述第四指针信息指向所述缓存器中的第四区域，所述第四区域中存储有所述程序执行过程中的每个输出数据在所述第一存储器中的相应地址；所述控制器被配置为：根据所述第三区域中存储的地址，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器中的相应地址；和/或，根据所述第四区域中
15 存储的地址，从所述主机得到所述程序执行过程中的输出数据在所述第一存储器中的相应地址。

 在一些实施方式中，每个输入数据在所述第一存储器中的相应地址所占所述缓存器的容量大小相同且均为第一值，每个输出数据在所述第一存储器中的相应地址所占所述缓存器的容量大小相同且均为第二值，所述第一值与所述第
20 二值相等。

 在一些实施方式中，每个输入数据/输出数据在所述第一存储器中的相应地址包含存储相应输入数据/输出数据的区域所属的第一存储器的信息、输入数据/输出数据的大小、输入数据/输出数据在所述第一存储器中的起始地址。

 在一些实施方式中，所述计算处理组件被配置为：根据所述程序执行过程
25 中的输入数据在所述第一存储器中的相应地址，读取所述第一存储器的相应区域中的输入数据，并执行所述程序；根据所述程序执行过程中的输出数据在所述第一存储器中的相应地址，将所述程序对输入数据进行处理之后得到的输出

数据存储至所述第一存储器的相应区域中。

在一些实施方式中，所述命令中还携带有第一标识符：所述控制器被配置为：基于所述第一标识符的值为第三值，根据所述命令携带的程序唯一标识符定义的所述程序执行过程中的输入数据及输出数据在所述第一存储器中的相应地址的关联信息，得到所述程序执行过程中的输入数据在所述第一存储器中的相应地址及输出数据在所述第一存储器中的相应地址；或，基于所述第一标识符的值为第四值，根据所述命令定义的所述程序执行过程中的输入数据及输出数据在所述第一存储器中的相应地址的关联信息，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器中的相应地址及输出数据在所述第一存储器中的相应地址。

在一些实施方式中，计算存储系统还包括与所述控制器耦接的第二存储器，所述控制器被配置为：将所述第二存储器中存储的所述程序执行过程中的输入数据写入所述第一存储器中；将所述第一存储器中存储的所述程序执行过程中的输出数据写入所述第二存储器中。

在一些实施方式中，所述计算存储系统包括非易失性命名空间、计算命名空间以及子系统本地存储命名空间；所述非易失性命名空间包括所述第二存储器，所述计算命名空间包括所述计算处理组件，所述子系统本地存储命名空间包括所述第一存储器。

根据本公开实施例的第二方面，提供了一种计算存储系统，所述计算存储系统包括控制器、与所述控制器耦接的第一存储器以及用于执行程序的计算处理组件；所述控制器被配置为：接收与所述计算存储系统耦接的主机发送的命令，所述命令用于指示所述计算处理组件执行程序，且所述命令被配置为定义所述程序执行过程中的输入数据和/或输出数据在所述第一存储器中的相应地址的关联信息；根据所述关联信息，从所述主机得到所述程序执行过程中的输入数据和/或输出数据在所述第一存储器中的相应地址。

在一些实施方式中，所述命令中携带有第一指针信息，以及第一参数和/或第二参数；所述第一参数中包含所述程序执行过程中的输入数据的个数，所

述第二参数中包含所述程序执行过程中的输出数据的个数；所述第一指针信息指向所述主机中的缓存器中的第一区域，所述第一区域中存储有每个输入数据在所述第一存储器中的相应地址以及每个输出数据在所述第一存储器中的相应地址，且所述程序执行过程中的每个输入数据在所述第一存储器中的相应地址以及每个输出数据在所述第一存储器中的相应地址被按照第一预设顺序依次存放于所述第一区域中。

在一些实施方式中，所述控制器被配置为：根据所述第一指针信息，以及第一参数和/或第二参数，从所述主机的缓存器中得到在所述程序执行过程中的每个输入数据在所述第一存储器中的相应地址和/或每个输出数据在所述第一存储器中的相应地址。

在一些实施方式中，所述控制器被配置为：根据每个输入数据及每个输出数据在所述第一存储器中的相应地址各自所占所述缓存器的容量大小、所述第一预设顺序的信息、输入数据的个数以及输出数据的个数，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器中的相应地址和/或输出数据在所述第一存储器中的相应地址。

在一些实施方式中，所述第一预设顺序包括：输入数据在所述第一存储器中的相应地址存放在前，输出数据在所述第一存储器中的相应地址存放在后；或，输出数据在所述第一存储器中的相应地址存放在前，输入数据在所述第一存储器中的相应地址存放在后。

在一些实施方式中，所述命令中携带有第二指针信息；所述第二指针信息指向所述主机中的缓存器中的第二区域；所述第二区域中存储有输入数据的个数、每个输入数据在所述第一存储器中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器中的相应地址，所述程序执行过程中的输入数据的个数、每个输入数据在所述第一存储器中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器中的相应地址被按照第二预设顺序依次存放于所述第二区域中。

在一些实施方式中，所述控制器被配置为：根据输入数据的个数、每个输

入数据在所述第一存储器中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器中的相应地址各自所占所述缓存器的容量大小、所述第二预设顺序的信息、输入数据的个数以及输出数据的个数，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器中的相应地址和/或输出数据在所述
5 第一存储器中的相应地址。

在一些实施方式中，所述主机被配置为：根据所述程序的功能特点，确定所述程序执行过程中的输入数据的个数和/或所述程序执行过程中的输出数据的个数。

在一些实施方式中，所述命令中携带有第三指针信息和/或第四指针信息；
10 所述第三指针信息指向所述主机中的缓存器中的第三区域，所述第三区域中存储有所述程序执行过程中的每个输入数据在所述第一存储器中的相应地址；所述第四指针信息指向所述缓存器中的第四区域，所述第四区域中存储有所述程序执行过程中的每个输出数据在所述第一存储器中的相应地址；所述控制器被配置为：根据所述第三区域中存储的地址，从所述主机得到所述程序执行过程
15 中的输入数据在所述第一存储器中的相应地址；和/或，根据所述第四区域中存储的地址，从所述主机得到所述程序执行过程中的输出数据在所述第一存储器中的相应地址。

在一些实施方式中，每个输入数据在所述第一存储器中的相应地址所占所述缓存器的容量大小相同且均为第一值，每个输出数据在所述第一存储器中的
20 相应地址所占所述缓存器的容量大小相同且均为第二值，所述第一值与所述第二值相等。

在一些实施方式中，每个输入数据/输出数据在所述第一存储器中的相应地址包含存储相应输入数据/输出数据的区域所属的第一存储器的信息、输入数据/输出数据的大小、输入数据/输出数据在所述第一存储器中的起始地址。

25 根据本公开实施例的第三方面，提供了一种计算存储系统的操作方法，所述操作方法包括：接收与所述计算存储系统耦接的主机发送的命令，所述命令用于指示计算处理组件执行程序，且所述命令被配置为定义所述程序执行过程

中的输入数据和/或输出数据在与所述计算存储系统的控制器耦接的第一存储器中的相应地址的关联信息；根据所述关联信息，从所述主机得到所述程序执行过程中的输入数据和/或输出数据在所述第一存储器中的相应地址。

在一些实施方式中，所述命令中携带有第一指针信息，以及第一参数和/或第二参数；所述第一参数中包含所述程序执行过程中的输入数据的个数，所述第二参数中包含所述程序执行过程中的输出数据的个数；所述第一指针信息指向所述主机中的缓存器中的第一区域，所述第一区域中存储有每个输入数据在所述第一存储器中的相应地址以及每个输出数据在所述第一存储器中的相应地址，且所述程序执行过程中的每个输入数据在所述第一存储器中的相应地址以及每个输出数据在所述第一存储器中的相应地址被按照第一预设顺序依次存放于所述第一区域中。

在一些实施方式中，所述根据所述关联信息，从所述主机得到所述程序执行过程中的输入数据和/或输出数据在所述第一存储器中的相应地址，包括：根据所述第一指针信息，以及第一参数和/或第二参数，从所述主机的缓存器中得到在所述程序执行过程中的每个输入数据在所述第一存储器中的相应地址和/或每个输出数据在所述第一存储器中的相应地址。

在一些实施方式中，所述根据所述关联信息，从所述主机得到所述程序执行过程中的输入数据和/或输出数据在所述第一存储器中的相应地址，包括：根据每个输入数据及每个输出数据在所述第一存储器中的相应地址信息各自所占所述缓存器的容量大小、所述第一预设顺序的信息、输入数据的个数以及输出数据的个数，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器中的相应地址和/或输出数据在所述第一存储器中的相应地址。

在一些实施方式中，所述第一预设顺序包括：输入数据在所述第一存储器中的相应地址存放在前，输出数据在所述第一存储器中的相应地址存放在后；或，输出数据在所述第一存储器中的相应地址存放在前，输入数据在所述第一存储器中的相应地址存放在后。

在一些实施方式中，所述命令中携带有第二指针信息；所述第二指针信息

指向所述主机中的缓存器中的第二区域；所述第二区域中存储有输入数据的个数、每个输入数据在所述第一存储器中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器中的相应地址，所述程序执行过程中的输入数据的个数、每个输入数据在所述第一存储器中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器中的相应地址被按照第二预设顺序依次存放于所述第二区域中。

在一些实施方式中，所述根据所述关联信息，从所述主机得到所述程序执行过程中的输入数据和/或输出数据在所述第一存储器中的相应地址，包括：根据输入数据的个数、每个输入数据在所述第一存储器中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器中的相应地址各自所占所述缓存器的容量大小、所述第二预设顺序的信息、输入数据的个数以及输出数据的个数，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器中的相应地址和/或输出数据在所述第一存储器中的相应地址。

在一些实施方式中，所述操作方法还包括：根据所述程序的功能特点，确定所述程序执行过程中的输入数据的个数以和/或所述程序执行过程中的输出数据的个数。

在一些实施方式中，所述命令中携带有第三指针信息和/或第四指针信息；所述第三指针信息指向所述主机中的缓存器中的第三区域，所述第三区域中存储有所述程序执行过程中的每个输入数据在所述第一存储器中的相应地址；所述第四指针信息指向所述缓存器中的第四区域，所述第四区域中存储有所述程序执行过程中的每个输出数据在所述第一存储器中的相应地址；所述根据所述关联信息，从所述主机得到所述程序执行过程中的输入数据和/或输出数据在所述第一存储器中的相应地址，包括：根据所述第三区域中存储的地址，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器中的相应地址；和/或，根据所述第四区域中存储的地址，从所述主机得到所述程序执行过程中的输出数据在所述第一存储器中的相应地址。

在一些实施方式中，每个输入数据在所述第一存储器中的相应地址所占所

述缓存器的容量大小相同且均为第一值，每个输出数据在所述第一存储器中的相应地址所占所述缓存器的容量大小相同且均为第二值，所述第一值与所述第二值相等。

- 5 在一些实施方式中，每个输入数据/输出数据在所述第一存储器中的相应地址包含存储相应输入数据/输出数据的区域所属的第一存储器的信息、输入数据/输出数据的大小、输入数据/输出数据在所述第一存储器中的起始地址。

附图说明

- 图 1 为本公开实施例提供的一种电子系统的结构示意图一；
图 2 为本公开实施例提供的一种计算存储系统的结构示意图一；
10 图 3 为本公开实施例提供的一种在电子系统中加载程序的示例的示意图；
图 4 为本公开实施例提供的一种电子系统中的程序执行的示例的示意图；
图 5 为本公开实施例提供的一种存储器范围以及存储器范围集的示意图；
图 6 为本公开实施例提供的一种计算存储系统的结构示意图二；
图 7 为本公开实施例提供的一种程序执行过程的流程示意图；
15 图 8 为本公开实施例提供的一种计算存储系统的结构示意图三；
图 9 为本公开实施例提供的一种电子系统的结构示意图二；
图 10 为本公开实施例提供的一种计算存储系统的操作方法的流程示意图。

具体实施方式

- 下面将参照附图更详细地描述本公开公开的示例性实施方式。虽然附图中
20 显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开公开的范围完整的传达给本领域的技术人员。

- 在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理
25 解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个

个这些细节而得以实施。在其他的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

在附图中，自始至终相同附图标记表示相同的元件。

- 5 应当明白，空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在……下面”和“在……下”可包括上和下两个取向。器件可以另外地取向（旋
- 10 转 90 度或其它取向）并且在此使用的空间描述术语相应地被解释。

- 在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非
- 15 上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

- 图 1 为本公开实施例提供的一种电子系统的结构示意图。图 2 为本公开实
- 20 施例提供的一种计算存储系统的结构示意图。

- 参照图 1，电子系统 100 可包括主机 110 和至少一个计算存储系统 120。主机 110 可包括主机处理器 111 和主机存储器 112。主机处理器 111 可控制主机 110 的总体操作。主机处理器 111 可被实现为各种处理单元（包括例如中央处理器（CPU，Central Processing Unit）、应用处理器（AP，Application Processor）、
- 25 图形处理器（GPU，Graphics Processing Unit）、神经处理器（NPU，Neural Processing Unit）、现场可编程门阵列（FPGA，Field Programmable Gate Array）和/或微处理器）中的至少一种。在一些实施例中，主机处理器 111 可被实现为

片上系统 (SoC, System on Chip)。主机存储器 112 可存储主机处理器 111 的操作所需的数据、指令和程序。主机存储器 112 可以是易失性存储器。易失性存储器包括但不限于随机存取存储器 (RAM, Random Access Memory)、动态随机存取存储器 (DRAM, Dynamic Random Access Memory)、静态随机存取存储器 (SRAM, Static Random Access Memory)、同步动态随机存取存储器 (SDRAM, Synchronous Dynamic Random Access Memory)、双倍数据速率同步动态随机存取存储器 (DDR SDRAM, Double Data Rate Synchronous Dynamic Random Access Memory)。

计算存储系统 120 可以是提供计算服务和数据存储服务的半导体装置。计算存储系统 120 可被用作电子系统 100 中的数据存储设备和用于执行程序的计算装置两者。在一些实施例中, 例如, 计算存储系统 120 可以被实现为数据中心或人工智能训练数据装置的一部分。

在一些实施例中, 主机 110 和计算存储系统 120 可通过接口物理连接, 并遵守相应的 PCIe/NVMe 协议通信。示例性的, 主机 110 和计算存储系统 120 可通过网络链路连接, 例如基于 NVMe-OF 协议连接。示例性的, 主机 110 和计算存储系统 120 还可通过计算快速链路 (CXL, Compute Express Link) 接口连接, 主机 110 可经由计算快速链路 (CXL, Compute Express Link) 接口来控制计算存储系统 120 的操作。计算存储系统 120 被配置为遵循 NVMe 的计算存储协议。CXL 接口可包括作为子协议的 CXL.io、CXL.cache 和 CXL.mem。主机 110 可将预定的程序加载到计算存储系统 120 进行处理。主机 110 可将各种类型的程序 (诸如, 应用、内核和/或计算) 加载到计算存储系统 120。程序可包括例如加密程序、压缩程序、图像识别程序、滤波程序和/或人工智能程序。

参照图 2, 在一些实施例中, 计算存储系统 200 可包括控制器 210、一个或多个子系统本地存储命名空间 (SLM NS, Sub-system Local Memory Namespaces) 230、一个或多个非易失性命名空间 (NVM NS, Non-Volatile Memory Namespaces) 240 和一个或多个计算命名空间 (CNS, Compute Namespaces) 220。计算存储系统 200 可与图 1 中所示的多个计算存储系统 120

中的一个对应。子系统本地存储命名空间 230 可以是由易失性存储器实现的命名空间，其相对非易失性存储实现的命名空间而言，更接近计算命名空间 220 的计算处理组件。非易失性命名空间 240 可以是由非易失性存储器实现的命名空间。

5 在一些实施例中，计算存储系统 200 可使用非易失性存储器快速协议作为存储协议，控制器 210 可以是 NVMe 控制器。控制器 210 可响应于来自主机的输入/输出 (I/O) 请求，将程序执行过程中的输入数据/输出数据存储于子系统本地存储命名空间 230 中，并且/或者读取存储在子系统本地存储命名空间 230 中的输入数据/输出数据。

10 在一些实施例中，控制器 210 可执行用于控制非易失性命名空间 240 或其他非易失性存储装置的各种操作。例如，各种操作可包括地址映射操作、磨损均衡操作和/或垃圾收集操作。地址映射操作可以是由主机或控制器管理的逻辑地址与非易失性命名空间 240 的物理地址之间的转换操作。磨损均衡可以是使包括在非易失性命名空间 240 中的多个存储块的使用频率或数量均衡的操作。

15 垃圾收集操作可以是有效数据从非易失性命名空间 240 的源块复制到目标块然后擦除源块从而确保非易失性命名空间 240 中的可用块或空闲块的操作。

在一些实施例中，计算命名空间 220 可以用作表示用于执行程序的一个或多个计算引擎的抽象。计算引擎资源可以由 CPU、FPGA、GPU、ASIC 等中的一个或多个组成。例如，计算命名空间可以包括 CPU 核和 FPGA。计算引擎资源可为控制器 210 中的一部分，也可是独立于控制器 210 之外的部分。计算引擎可执行从主机预先加载的程序。在一些实施例中，程序可被存储在程序槽 (Program Slot) 中。程序槽可被形成在计算引擎中，或可被分配在分开的存储器中。在一些实施例中，存储有程序的程序槽可在计算命名空间 220 内，或可形成计算命名空间 220，计算命名空间 220 是能够执行程序的实体 (Entity)。

25 计算命名空间 220 可以是例如 NVMe 子系统内的实体。计算命名空间 220 可访问子系统本地存储命名空间 230。在一些实施例中，计算存储系统 200 可包括一个或多个计算命名空间 220。如果计算存储系统 200 包括多个计算命名空间

220, 则主机可(例如, 以一对一的关系)将多个程序分别加载到多个计算命名空间 220。因此, 每个加载的程序可在各自的计算命名空间 220 中被管理, 且本公开不限于此。

5 在一些实施例中, 控制器 210 可将存储在非易失性命名空间 240 中的数据复制到子系统本地存储命名空间 230, 并且/或者可将存储在子系统本地存储命名空间 230 中的数据复制到非易失性命名空间 240, 也就是说, 控制器 210 可以根据计算命名空间 220 的程序处理的需要来控制非易失性命名空间 240 和本地存储命名空间 230 的数据搬移。

10 子系统本地存储命名空间 230 可存储将被执行的程序使用的输入数据, 或可存储执行程序得到的结果(输出数据)。在一些实施例中, 子系统本地存储命名空间 230 也可被控制器 210 访问。子系统本地存储命名空间 230 可被实现为例如 DRAM。

15 在一些实施例中, 控制器 210 还可包括控制子系统本地存储命名空间 230 的第一控制部分(未示出), 例如缓存控制器。在一些实施例中, 第一控制部分可被设置为与控制器 210 分开的芯片。在一些其他实施例中, 第一控制部分可被设置为控制器 210 的内部组件。

20 非易失性命名空间 240 可存储程序执行过程中的输入数据/输出数据。非易失性命名空间 240 可包括例如闪存(诸如, 与非(NAND)闪存)。在另一示例中, 非易失性命名空间 240 可包括例如相变存储器、电阻式存储器、磁阻式存储器、铁电存储器或聚合物存储器。在一些实施例中, 计算存储系统 200 还可包括控制或被配置为控制非易失性命名空间 240 的第二控制部分, 例如闪存控制器, 该第二控制部分可包括在控制器 210 中。

25 本公开实施例中, 计算存储系统中的计算处理组件包括计算引擎资源, 会被抽象成一个或多个计算命名空间提供给用户使用。计算存储系统中的计算处理组件内部的 RAM, 以及计算存储系统内部公共的 RAM, 以及控制器内部的 RAM, 都可以被抽象成子系统本地命名空间提供给用户使用。对于用户而言, 这些计算命名空间以及子系统本地存储命名空间都是并列的关系, 在一些实施

方式中，可以根据内部具体的物理实现告知用户某一个子系统本地存储命名空间被某一个计算命名空间使用（因为物理上的从属关系）。

图 3 为本公开实施例提供的一种在电子系统中加载程序的示例的示意图。

参照图 3，主机 310 可将程序加载到计算存储系统 320。在图 3 中，计算存储系统 320 被示出为包括计算命名空间 322 和计算命名空间 323（例如，计算命名空间 0 和 1），但是计算命名空间的数量不限于此。

在一些实施例中，计算命名空间 322 和计算命名空间 323 可支持装置定义的程序和/或可下载的程序。装置定义的程序可以是例如由制造商提供的固定程序，可下载的程序可以是由主机 310 加载到计算命名空间 322 和计算命名空间 323 中的程序。例如，装置定义的程序 323a 可被设置在计算命名空间 323 中。

在一些实施例中，计算存储系统 320 的控制器 321 可接收从主机 310 传送的程序 322a 和 323b，并将它们存储在计算存储系统 320 中。计算命名空间的计算引擎可响应于来自主机 310 的程序执行命令，而使用存储在子系统本地存储命名空间 324 中的输入数据来执行计算命名空间 322 和计算命名空间 323 中的程序 322a、323a 和/或 323b，输入数据可以是程序执行所需的相应输入参数等。

图 4 为本公开实施例提供的一种电子系统中的程序执行的示例的示意图。在图 4 中，假设程序 422a 被加载到计算存储系统 420 的计算命名空间 422。

参照图 4，在操作 S431 中，主机 410 可将数据复制命令发送到计算存储系统 420 的控制器 421。在操作 S432 中，响应于数据复制命令，存储在非易失性命名空间 424（例如，非易失性存储器装置）中的输入数据可被复制到子系统本地存储命名空间 423。在一些实施例中，控制器 421 可响应于数据复制命令来控制非易失性命名空间 424 和子系统本地存储命名空间 423，以将输入数据从非易失性命名空间 424 传送到子系统本地存储命名空间 423。

需要说明的是，图 4 所示的仅为一种示例，并不用于限定本公开实施例中输入数据以及输出数据的传输路径。在一些实施例中，主机 410 可直接将输入数据写入子系统本地存储命名空间 423，程序对输入数据处理后得到的输出数

据存储在子系统本地存储命名空间 423 中，主机 410 可直接从子系统本地存储命名空间 423 中获得该输出数据，也就是说，非易失性命名空间 424 可以不参与输入数据的存储以及输出数据的存储。在另一些实施例，非易失性命名空间 424 也可以参与输入数据的存储以及输出数据的存储，主机 410 可将输入数据写入非易失性命名空间 424，非易失性命名空间 424 将输入数据复制到子系统本地存储命名空间 423，程序对输入数据处理后得到的输出数据存储在子系统本地存储命名空间 423 中，子系统本地存储命名空间 423 中的输出数据被复制到非易失性命名空间 424 中，主机可从非易失性命名空间 424 中获得该输出数据。在再一些实施例，非易失性命名空间 424 也可以只参与输入数据的存储以及输出数据的存储中的其中一者，示例性的，主机 410 可将输入数据直接写入子系统本地存储命名空间 423，程序对输入数据处理后得到的输出数据存储在子系统本地存储命名空间 423 中，子系统本地存储命名空间 423 中的输出数据被复制到非易失性命名空间 424 中，主机 410 可从非易失性命名空间 424 中获得该输出数据；或者，主机 410 可将输入数据写入非易失性命名空间 424 中，非易失性命名空间 424 中的输入数据被复制到子系统本地存储命名空间 423，程序对输入数据处理后得到的输出数据存储在子系统本地存储命名空间 423 中，主机 410 可直接从子系统本地存储命名空间 423 中获得该输出数据。

在将数据从 NVM 命名空间 424 复制到子系统本地存储命名空间 423 完成之后，在操作 S433 中，控制器 421 可将读取成功消息发送到主机 410。

为了执行程序，在操作 S441 中，主机 410 可将程序执行命令发送到计算存储系统 420，以执行计算命名空间 422 中的程序 422a。在一些实施例，控制器 421 可从主机 410 接收程序执行命令。在操作 S442 中，响应于程序执行命令，计算命名空间 422 中的计算引擎可使用存储在子系统本地存储命名空间 423 中的输入数据来执行计算命名空间 422 中的程序 422a。在操作 S443 中，计算命名空间可将程序 422a 的执行结果（输出数据）存储在子系统本地存储命名空间 423 中。在计算命名空间 422 中的程序 422a 的执行完成之后，在操作 S444 中，控制器 421 可将指示程序的成功执行的消息发送到主机 410。

在一些实施例中，在操作 S451 中，主机 410 可将指示从子系统本地存储命名空间 423 读取输出数据的读取命令发送到计算存储系统 420。在操作 S452 中，控制器 421 可从子系统本地存储命名空间 423 读取输出数据（例如，程序 422a 的执行结果）并将数据传送到主机 410。

- 5 在一些实施例中，在程序 422a 执行完毕后，可将输出数据从子系统本地存储命名空间 423 下刷至非易失性命名空间 424。

电子系统可通过执行上述操作来执行计算存储系统 420 上的程序。此外，如果被主机 410 请求，则电子系统可将程序的执行结果从计算存储系统 420 提供给主机 410。

- 10 在一些实施例中，控制器 421 会响应于主机的命令在子系统本地存储命名空间 423 的存储器中配置相应的存储区域用于存储程序执行过程中的输入数据/输出数据。在一些实施例中，控制器可通过创建存储器范围的方式配置相应的存储区域，一个存储器范围（MR，Memory Range）可限定出一个对应的存储区域，存储器范围可通过子系统本地存储命名空间的标识号（SLM NS ID，
- 15 Sub-system Local Memory Namespaces Identity）、该存储区域在该本地存储命名空间的起始地址（Starting Byte）、数据长度（Length）来表示，每个存储器范围可指定子系统本地存储命名空间可被访问的范围。存储器范围的合集构成存储器范围集（MRS，Memory Range Set）。存储器范围集可存储在计算命名空间中，程序的每次执行被限定访问除执行程序命名中的存储器范围集指定的范围
- 20 之外的范围。如图 5 所示，计算命名空间 501 中的存储器范围 1 与存储器范围 2 组成存储器范围集 1，计算命名空间 502 中的存储器范围 1、存储器范围 2 以及存储器范围 3 组成存储器范围集 2，每个存储器范围中包括子系统本地存储命名空间的标识号（SLM NS ID，Sub-system Local Memory Namespaces Identity）、该存储区域在该本地存储命名空间的起始地址（Starting Byte）以及
- 25 数据长度（Length）相关的信息，通过存储器范围中包括的信息可以得出该存储器范围对应的子系统本地存储命名空间中的一个区域。需要说明的是，图 5 中以存储范围集存储在计算命名空间中为例进行了示例性的说明，但本公开实

施例不限于此，存储范围集还可存储于计算存储系统其他具有存储功能的存储器中。

执行程序的命令的复杂性，在于计算程序功能的多样性，每种功能的计算程序的输入数据/输出数据的个数不同，执行程序命令的命令格式也必然不同，

5 所以当前 NVMe 协会需要定义一个程序唯一标识符注册表 (Program Unique Identifier Registry)，不同功能的程序对应不同的程序唯一标识符 (PUID, Program Unique Identifier)，程序唯一标识符被配置为定义程序执行过程中的输入数据在本地存储命名空间的相应地址的关联信息以及定义程序执行过程中的输出数据在本地存储命名空间的相应地址的关联信息。通过 PUID 获得程序执行

10 过程中的输入数据在本地存储命名空间中的相应地址以及程序执行过程中的输出数据在本地存储命名空间中的相应地址的方式使得主机和计算存储系统在执行程序上达成一致，但却缺乏灵活性，程序执行过程中的输入数据以及输出数据在本地存储命名空间中的相应地址均需要根据 PUID 的定义，过程中都要先经过 NVMe 协会或厂商讨论申请 PUID，并加入 PUID 注册表，对于一个新

15 编制的程序，使得能够被计算存储系统执行的周期较长。

本公开提供了一种计算存储系统，如图 6 所示，所述计算存储系统 600 包括控制器 601、与所述控制器 601 耦接的第一存储器 602 以及用于执行程序的计算处理组件 603；所述控制器 601 被配置为：接收与所述计算存储系统 600 耦接的主机发送的命令，所述命令用于指示所述计算处理组件 603 执行程序，

20 且所述命令被配置为定义所述程序执行过程中的输入数据和/或输出数据在所述第一存储器 602 中的相应地址的关联信息；根据所述关联信息，从所述主机得到所述程序执行过程中的输入数据和/或输出数据在所述第一存储器 602 中的相应地址。

在一些具体示例中，如图 6 所示，第一存储器 602 包括为计算处理组件 603 执行程序过程中的输入数据配置的第一存储区域 606，以及包括为计算处理组件 603 执行程序过程中的输出数据配置的第二存储区域 607。

本公开实施例中，程序执行过程中的输入数据在第一存储区域 606 的地址

以及程序执行过程中的输出数据在第二存储区域 607 的地址存储在主机中，主机发送的命令中直接定义出程序执行过程中的输入数据和/或输出数据在所述第一存储器 602 中的相应地址的关联信息。这里的程序执行过程中的输入数据和/或输出数据在所述第一存储器 602 中的相应地址的关联信息可以示例地理解为，程序执行过程中的输入数据和/或输出数据在所述第一存储器 602 中的相应地址对应存储在主机的缓存中的地址，借助该地址对应的缓存所存储的信息，可以获取输入数据和/或输出数据在第一存储器 602 中的相应地址。

在一些具体示例中，主机发送的该命令可以是指示计算处理组件 603 执行程序的命令。

10 在一些具体示例中，第一存储器 602 为易失性存储器，包括但不限于随机存取存储器（RAM，Random Access Memory）、动态随机存取存储器（DRAM，Dynamic Random Access Memory）、静态随机存取存储器（SRAM，Static Random Access Memory）、同步动态随机存取存储器（SDRAM，Synchronous Dynamic Random Access Memory）、双倍数据速率同步动态随机存取存储器（DDR

15 SDRAM，Double Data Rate Synchronous Dynamic Random Access Memory）。计算处理组件 603 具有计算功能，包括但不限于计算引擎，计算引擎资源可以由 CPU、FPGA、GPU 等中的一个或多个组成。计算处理组件 603 可为控制器 601 中的一部分，也可能是独立于控制器 601 之外的部分。

本公开实施例中，控制器 601 接收主机发送的用于指示计算处理组件 603

20 执行程序的命令，该命令被配置为定义程序执行过程中的输入数据和/或输出数据在第一存储器 602 中的相应地址的关联信息，控制器 601 根据该关联信息解析得到程序执行过程中的输入数据和/或输出数据在第一存储器 602 中的相应地址，从主机得到程序执行过程中的输入数据和/或输出数据在第一存储器 602 中的相应地址，从而使程序能正常执行，也就是说，本公开实施例中，不需要依

25 赖于程序唯一标识符，仅通过主机发送的命令就可直接定义程序执行过程中的输入数据和/或输出数据在第一存储器 602 中的相应地址的关联信息，进而从主机得到程序执行过程中的输入数据和/或输出数据在第一存储器 602 中的相应地

址,即使在程序未申请或者已申请但还未通过对应的程序唯一标识符的情况下,也能正常执行,使得控制器 601 获取程序执行过程中的输入数据和/或输出数据在第一存储器 602 中的相应地址的方式更加灵活。

本公开实施例中,对于具体如何实现该命令被配置为定义所述程序执行过
5 程中的输入数据和/或输出数据在所述第一存储器 602 中的相应地址的关联信息,提供了多种方式。

在一些实施例中,所述命令中携带有第一指针信息,以及第一参数和/或第二参数;所述第一参数中包含所述程序执行过程中的输入数据的个数,所述第二参数中包含所述程序执行过程中的输出数据的个数;所述第一指针信息指向
10 所述主机中的缓存器中的第一区域,所述第一区域中存储有每个输入数据在所述第一存储器 602 中的相应地址以及每个输出数据在所述第一存储器 602 中的相应地址,且所述程序执行过程中的每个输入数据在所述第一存储器 602 中的相应地址以及每个输出数据在所述第一存储器 602 中的相应地址被按照第一预设顺序依次存放于所述第一区域中。

15 在一些具体示例中,主机中的缓存器为易失性存储器,该易失性存储器包括但不限于随机存取存储器、动态随机存取存储器、静态随机存取存储器、同步动态随机存取存储器、双倍数据速率同步动态随机存取存储器。

上述实施例中,命令中携带有第一指针信息,第一指针信息指向主机中的缓存器中的第一区域,程序执行过程中的每个输入数据在第一存储器 602 中的
20 相应地址以及每个输出数据在第一存储器 602 中的相应地址存储在第一区域中,且程序执行过程中的每个输入数据在第一存储器 602 中的相应地址以及每个输出数据在第一存储器 602 中的相应地址被按照第一预设顺序依次存放于第一区域中。且主机发送的命令中携带的第一参数中包含程序执行过程中的输入数据的个数,主机发送的命令中携带的第二参数中包含程序执行过程中的输出
25 数据的个数。

如下表 1 所示,第一参数中包含的程序执行过程中的输入数据的个数可用固定 p 个字节的信息记录,第一参数中前 p 个字节用于存储程序执行过程中的

输入数据的个数。如下表 2 表示，第二参数中包含的程序执行过程中的输出数
据的个数可用固定 q 个字节的的信息记录，第二参数中前 q 个字节用于存储程序
执行过程中的输出数据的个数。p 与 q 的具体值可分别根据输入数据的个数、
输出数据的个数的信息的大小确定。在一些具体示例中，p 与 q 相等，为第一
5 参数和第二参数配置的字节共为 m 个字节。为第一参数和第二参数配置的剩余的
的字节可用于保留待后续优化。

第一参数的格式	
字节 (Byte)	描述
(p-1) :00	输入参数的个数
(m-1) : p	保留，待后续优化

表 1

第二参数的格式	
字节	描述
(q-1) :00	输出参数的个数
(m-1) : q	保留，待后续优化

表 2

在一些实施例中，所述控制器 601 被配置为：根据所述第一指针信息，以
10 及第一参数和/或第二参数，从所述主机的缓存器中得到在所述程序执行过程中的
每个输入数据在所述第一存储器 602 中的相应地址和/或每个输出数据在所述
第一存储器 602 中的相应地址。

本公开实施例中，在程序执行过程中的每个输入数据在第一存储器 602 中
的相应地址以及每个输出数据在第一存储器 602 中的相应地址被按照第一预设
15 顺序依次存放于第一区域中的情况下，控制器 601 可根据通过命令携带的第一
指针信息，以及第一参数和/或第二参数，即可确定主机的第一区域中存储的地
址中哪些是输入数据在第一存储区域中的相应地址以及哪些是输出数据在第二
存储区域中的相应地址。

在一些实施例中，所述控制器 601 被配置为：根据每个输入数据及每个输出数据在所述第一存储器 602 中的相应地址各自所占所述缓存器的容量大小、所述第一预设顺序的信息、输入数据的个数以及输出数据的个数，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器 602 中的相应地址和/或输出数据在所述第一存储器 602 中的相应地址。

在一些实施例中，每个输入数据在所述第一存储器 602 中的相应地址所占所述缓存器的容量大小相同且均为第一值，每个输出数据在所述第一存储器 602 中的相应地址所占所述缓存器的容量大小相同且均为第二值，所述第一值与所述第二值相等。

可以理解的是，本公开实施例提供的方案中，每个输入数据在所述第一存储器 602 中的相应地址各自所占缓存器的容量大小是相等的，每个输出数据在所述第一存储器 602 中的相应地址所占所述缓存器的容量大小是相同的，且第一值与第二值相等，这样使得控制器 601 根据每个输入数据及每个输出数据在所述第一存储器 602 中的相应地址各自所占缓存器的容量大小、第一预设顺序的信息、输入数据的个数以及输出数据的个数，这样使得能降低控制器 601 解析难度，使得控制器 601 能更快速的解析得到程序执行过程中的输入数据在第一存储器 602 中的相应地址和/或输出数据在第一存储器 602 中的相应地址。

在一些实施例中，第一预设顺序可以是输入数据在所述第一存储器 602 中的相应地址和输出数据在所述第一存储器 602 中的相应地址在第一区域中交替存放。在交替存放的方式中，第一区域中可以以存放输入数据在第一存储器 602 中的相应地址开始，或，第一区域中可以以存放输出数据在第一存储器 602 中的相应地址开始。

在一些实施例中，所述第一预设顺序包括：输入数据在所述第一存储器 602 中的相应地址存放在前，输出数据在所述第一存储器 602 中的相应地址存放在后；或，输出数据在所述第一存储器 602 中的相应地址存放在前，输入数据在所述第一存储器 602 中的相应地址存放在后。

可以理解的是，第一预设顺序为上述实施例提到的输入数据在第一存储器

602 中的相应地址存放在前，输出数据在第一存储器 602 中的相应地址存放在后；或，输出数据在第一存储器 602 中的相应地址存放在前，输入数据在第一存储器 602 中的相应地址存放在后，这样使得能进一步降低控制器 601 解析难度，使得控制器 601 能更快速的解析得到程序执行过程中的输入数据在第一存储器 602 中的相应地址和/或输出数据在第一存储器 602 中的相应地址。

在一些实施例中，该命令中可仅携带第一参数、第二参数中的其中一者，在该命令中仅携带第一参数、第二参数中的一者的情况下，合理的设置第一预设顺序，也可得到输入数据在第一存储器中的相应地址以及输出数据在第一存储器中的相应地址。示例性的，这里的第一预设顺序可以为输入数据在第一存储器中的相应地址存放在前，输出数据在第一存储器中的相应地址存放在后；或者，输入数据在第一存储器中的相应地址存放在后，输出数据在第一存储器中的相应地址存放在前。

在一些实施例中，每个输入数据/输出数据在所述第一存储器 602 中的相应地址包含存储相应输入数据/输出数据的区域所属的第一存储器 602 的信息、输入数据/输出数据的大小、输入数据/输出数据在所述第一存储器 602 中的起始地址。

可以理解的是，通过存储相应输入数据/输出数据的区域所属的第一存储器 602 的信息、输入数据/输出数据的大小、输入数据/输出数据在所述第一存储器 602 中的起始地址，可以限定出输入数据/输出数据在第一存储器 602 中的具体位置。

下面以第一预设顺序为输入数据在所述第一存储器 602 中的相应地址存放在前，输出数据在所述第一存储器 602 中的相应地址存放在后为示例，对具体如何让控制器 601 得到程序执行过程中的输入数据在第一存储器 602 中的相应地址和输出数据在第一存储器 602 中的相应地址，进行示例性的说明。

如下表 3 所示，每个输入数据用固定 n 个字节的的信息记录该输入数据在第一存储器 602 中的位置，该 n 个字节依次记录存储相应输入数据的区域所属的第一存储器 602 的标识号、输入数据的大小、输入数据在第一存储器 602 中的

起始地址。每个输出数据也用固定 n 个字节的的信息记录该输出数据在第一存储器 602 中的位置，该 n 个字节依次记录存储相应输出数据的区域所属的第一存储器 602 的标识号、输出数据的大小、输出数据在第一存储器 602 中的起始地址。以该程序涉及的输入数据有 2 个，输出数据有 2 个为例， $(n-1):00$ 存放

5 第一个输入数据在第一存储器 602 中的相应地址，具体的， $a:00$ 记录存放第一个输入数据的区域所属的第一存储器 602 的标识号， $b:(a+1)$ 记录第一个输入数据的大小， $(n-1):(b+1)$ 记录第一个输入数据在第一存储器 602 中的起始地址。 $(2n-1):n$ 存放第二个输入数据在第一存储器 602 中的相应地址，具体的， $c:n$ 记录存放第二个输入数据的区域所属的第一存储器 602 的标识号，

10 $d:(c+1)$ 记录第二个输入数据的大小， $(2n-1):(d+1)$ 记录第二个输入数据在第一存储器 602 中的起始地址。 $(3n-1):(2n)$ 存放第一个输出数据在第一存储器 602 中的相应地址，具体的， $e:2n$ 记录存放第一个输出数据的区域所属的第一存储器 602 的标识号， $f:(e+1)$ 记录第一个输出数据的大小， $(3n-1):(f+1)$ 记录第一个输出数据在第一存储器 602 中的起始地址。 $(4n-1):(3n)$ 存放第二个输出数据在第一存储器 602 中的相应地址，具体的， $g:3n$

15 记录存放第二个输出数据的区域所属的第一存储器 602 的标识号， $h:(g+1)$ 记录第二个输出数据的大小， $(4n-1):(h+1)$ 记录第二个输出数据在第一存储器 602 中的起始地址。该程序执行过程中的输入数据以及输出数据在第一存储器 602 中的相应地址均存储在主机的缓存器的第一区域中，这里的第一区域的

20 容量大小共为 $(4n)$ 个字节。这里的 n 可根据记录相应地址需要占用的容量大小进行相应的设定。这里的 b 大于 $(a+1)$ ， $(n-1)$ 大于 $(b+1)$ ， c 大于 n ， d 大于 $(c+1)$ ， $(2n-1)$ 大于 $(d+1)$ ， e 大于 $(2n)$ ， f 大于 $(e+1)$ ， $(3n-1)$ 大于 $(f+1)$ ， g 大于 $(3n)$ ， h 大于 $(g+1)$ ， $(4n-1)$ 大于 $(h+1)$ 。

第一区域中存储的信息的格式		
字节 (Byte)	字段 (Field)	描述
a:00	存放第一个输入数据的区域所属的第一存储器	第一个输入

	的标识号	数据在第一
b: (a+1)	第一个输入数据的大小	存储器中的
(n-1): (b+1)	第一个输入数据在第一存储器中的起始地址	相应地址
c: n	存放第二个输入数据的区域所属的第一存储器的标识号	第二个输入
d: (c+1)	第二个输入数据的大小	数据在第一
(2n-1): (d+1)	第二个输入数据在第一存储器中的起始地址	存储器中的
e: (2n)	存放第一个输出数据的区域所属的第一存储器的标识号	相应地址
f: (e+1)	第一个输出数据的大小	第一个输出
(3n-1): (f+1)	第一个输出数据在第一存储器中的起始地址	数据在第一
g: (3n)	存放第二个输出数据的区域所属的第一存储器的标识号	存储器中的
h: (g+1)	第二个输出数据的大小	相应地址
(4n-1): (h+1)	第二个输出数据在第一存储器中的起始地址	第二个输出
		数据在第一
		存储器中的
		相应地址

表 3

在一些示例中，上述表 3 中的信息可以直接包含在发送的命令中。在另一些示例中，上述表 3 中的信息也可以存储在主机中的缓存器中，发送的命令中携带指针信息，指针信息指向主机中的缓存器中存储有上述表 3 的一段区域。

5 上述示例中，第一预设顺序为输入数据在所述第一存储器 602 中的相应地址存放在前，输出数据在所述第一存储器 602 中的相应地址存放在后、每个输入数据及每个输出数据在第一存储器 602 中的相应地址各自所占缓存器的容量大小为 n 个字节、输入数据的数量为 2、输出数据的数量为 2，控制器 601 根据

5 这些信息，可以解析得到主机的缓存器的第一区域中存储的 $4n$ 个字节的信息中，第 0 字节至第 $(n-1)$ 个字节存放第一个输入数据在第一存储器 602 中的相应地址，第 n 个字节至第 $(2n-1)$ 个字节存放第二个输入数据在第一存储器 602 中的相应地址，第 $(2n)$ 个字节至第 $(3n-1)$ 个字节存放第一个输出数据在第一存储器 602 中的相应地址，第 $(3n)$ 个字节至第 $(4n-1)$ 个字节存放第二个输出数据在第一存储器 602 中的相应地址，从而使得控制器 601 能根据解析出的上述信息从主机的缓存器的第一区域中得到在程序执行过程中的每个输入数据在第一存储器 602 中的相应地址和/或每个输出数据在第一存储器 602 中的相应地址。

10 上述实施例中，在执行程序的命令中携带输入数据的个数、输出数据的个数，在主机的缓存器中传递输入数据及输出数据存储在第一存储器中的相应地址，每个输入数据/输出数据在第一存储器中的相应地址的长度固定，这样控制器在解析执行程序的命令时，就不需要知道程序唯一标识符，同样可以找到对应的输入数据以及对应的输出数据，使得程序正常执行。

15 在一些实施例中，所述命令中携带有第二指针信息；所述第二指针信息指向所述主机中的缓存器中的第二区域；所述第二区域中存储有输入数据的个数、每个输入数据在所述第一存储器 602 中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器 602 中的相应地址，所述程序执行过程中的输入数据的个数、每个输入数据在所述第一存储器 602 中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器 602 中的相应地址被按照第二预设顺序依次存放于所述第二区域中。

可以理解的是，上述实施例中主机发送的命令中也可不额外携带第一参数以及第二参数，输入数据的个数、输出数据的个数、每个输入数据在第一存储器 602 中的相应地址、每个输出数据在第一存储器 602 中的相应地址可以一起
25 以第二预设顺序存放在主机的缓存器中的第二区域中。

这里的第二预设顺序包括多种情况：一、输入数据的个数放在前面，接着放每个输入数据在第一存储器 602 中的相应地址，接着放输出数据的个数，最

后放每个输出数据在第一存储器 602 中的相应地址；二、输出数据的个数放在前面，接着放每个输出数据在第一存储器 602 中的相应地址，接着放输入数据的个数，最后放每个输入数据在第一存储器 602 中的相应地址；三、前面先放输入数据的个数、输出数据的个数，且可以是输入数据的个数在前，输出数据的个数在后，也可以是输出数据的个数在前，输入数据的个数在后，后面放每个输入数据在第一存储器 602 中的相应地址、每个输出数据在第一存储器 602 中的相应地址，且可以是每个输入数据在第一存储器 602 中的相应地址在前，每个输出数据在第一存储器 602 中的相应地址在后，还可以是每个输出数据在第一存储器 602 中的相应地址在前，每个输入数据在第一存储器 602 中的相应地址在后。

需要说明的是，上述列举的第二预设顺序仅为示例，并不用于限定本公开实施例中第二预设顺序的具体设定，出上述列举出的三种方式，第二预设顺序还可为可实现的其他设定方式。

在一些实施例中，所述控制器 601 被配置为：根据输入数据的个数、每个输入数据在所述第一存储器 602 中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器 602 中的相应地址各自所占所述缓存器的容量大小、所述第二预设顺序的信息、输入数据的个数以及输出数据的个数，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器 602 中的相应地址和/或输出数据在所述第一存储器 602 中的相应地址。

在一些具体示例中，每个输入数据在所述第一存储器 602 中的相应地址所占缓存器的容量大小均为第一值，每个输出数据在第一存储器 602 中的相应地址所占缓存器的容量大小均为第二值，输入数据的个数所占缓存器的容量大小为第五值，输出数据的个数所占缓存器的容量大小为第六值。

在一些具体示例中，第一值、第二值、第五值、第六值的大小可以均不相等；或，第一值与第二值的大小相等，第五值与第六值的大小不相等，且第一值与第五值及第六值均不相等；或，第一值、第二值、第五值、第六值的大小可以均相等。

可以理解的是，上述实施例中控制器 601 根据输入数据的个数、每个输入数据在第一存储器 602 中的相应地址、输出数据的个数以及每个输出数据在第一存储器 602 中的相应地址各自所占缓存器的容量大小，以及第二预设顺序的信息、输入数据的个数，并以及输出数据的个数，可从主机得到程序执行过程
5 中的输入数据在所述第一存储器 602 中的相应地址以及输出数据在第一存储器 602 中的相应地址，从而使得程序能正常执行。

在一些实施例中，所述主机被配置为：根据所述程序的功能特点，确定所述程序执行过程中的输入数据的个数和/或所述程序执行过程中的输出数据的个数。

10 可以理解的是，程序执行过程中的输入数据的个数以及程序执行过程中的输出数据的个数可以根据程序的功能特点确定，具有不同功能特点的程序的输入数据的个数及输出数据的个数可能是不同的。

在一些实施例中，所述命令中携带有第三指针信息和/或第四指针信息；所述第三指针信息指向所述主机中的缓存器中的第三区域，所述第三区域中存储有所述程序执行过程中的每个输入数据在所述第一存储器 602 中的相应地址；
15 所述第四指针信息指向所述缓存器中的第四区域，所述第四区域中存储有所述程序执行过程中的每个输出数据在所述第一存储器 602 中的相应地址；所述控制器 601 被配置为：根据所述第三区域中存储的地址，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器 602 中的相应地址；和/或，根据所
20 述第四区域中存储的地址，从所述主机得到所述程序执行过程中的输出数据在所述第一存储器 602 中的相应地址。

控制器 601 解析得到程序执行过程中的输出数据在所述第一存储器 602 中的相应地址以及程序执行过程中的输入数据在所述第一存储器 602 中的相应地址，也可不依赖于输入数据的个数以及输出数据的个数，上述实施例提供的方案中，不涉及输入数据的个数以及输出数据的个数，命令中携带第三指针信息
25 和/或第四指针信息，第三指针信息指向主机中的缓存器中的第三区域，第三区域中存储有程序执行过程中的每个输入数据在第一存储器 602 中的相应地址，

第四指针信息指向缓存器中的第四区域，第四区域中存储有所述程序执行过程中的每个输出数据在第一存储器 602 中的相应地址，从而控制器 601 可以根据第三指针信息从电区域获得程序执行过程中的输入数据在第一存储器 602 中的相应地址，根据第四指针信息从第四区域得到程序执行过程中的输出数据在所述
5 述第一存储器 602 中的相应地址。

在一些实施例中，所述计算处理组件 603 被配置为：根据所述程序执行过程中的输入数据在所述第一存储器 602 中的相应地址，读取所述第一存储器 602 的相应区域中的输入数据，并执行所述程序；根据所述程序执行过程中的输出数据在所述第一存储器 602 中的相应地址，将所述程序对输入数据进行处理之
10 后得到的输出数据存储至所述第一存储器 602 的相应区域中。

本公开实施例中，在控制器 601 获得程序执行过程中的输入数据在第一存储器 602 中的相应地址后，控制器 601 可将获得的程序执行过程中的输入数据在第一存储器 602 中的相应地址告知计算处理组件 603，从而使计算处理组件 603 从第一存储器 602 相应地址对应的区域中获得输入数据并对该输入数据进
15 行处理，并使得在计算处理组件 603 中的程序对输入数据进行处理后将得到的输出数据刷新至第一存储器 602 的相应地址对应的区域中，使得程序正常执行。

在一些实施例中，所述命令中还携带有第一标识符：所述控制器 601 被配置为：基于所述第一标识符的值为第三值，根据所述命令携带的程序唯一标识符定义的所述程序执行过程中的输入数据及输出数据在所述第一存储器 602 中的相应地址的关联信息，得到所述程序执行过程中的输入数据在所述第一存储器
20 器 602 中的相应地址及输出数据在所述第一存储器 602 中的相应地址；或，基于所述第一标识符的值为第四值，根据所述命令定义的所述程序执行过程中的输入数据及输出数据在所述第一存储器 602 中的相应地址的关联信息，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器 602 中的相应地址
25 及输出数据在所述第一存储器 602 中的相应地址。

可以理解的是，当电子系统具备通过命令携带的程序唯一标识符定义的程序执行过程中的输入数据及输出数据在第一存储器 602 中的相应地址的关联信

息，得到程序执行过程中的输入数据在第一存储器 602 中的相应地址及输出数据在第一存储器 602 中的相应地址的能力，以及具备根据命令定义的程序执行过程中的输入数据及输出数据在第一存储器 602 中的相应地址的关联信息，从主机得到程序执行过程中的输入数据在第一存储器 602 中的相应地址及输出数据在第一存储器 602 中的相应地址的能力的情况下，主机可在发送的命令中携带第一标识符，用于指示控制器 601 具体用上述两种方式中的哪一种得到程序执行过程中的输入数据在第一存储器 602 中的相应地址及输出数据在第一存储器 602 中的相应地址。示例性的，第三值为“0”或“1”中的一者，第四值为“0”或“1”中的另一者。

10 在一些具体示例中，当第一标识符的值为第三值的情况下，该命令中还携带有程序唯一标识符；当第一标识符的值为第四值的情况下，该命令中未携带程序唯一标识符。

在一些实施例中，所述计算处理组件 603 被配置为：加载将要执行的所述程序。

15 在一些具体示例中，也可以不通过计算处理组件 603 加载将要执行的程序，例如对于由制造商提供的固定程序。

在一些实施例中，如图 6 所示，计算存储系统 600 还包括与所述控制器 601 耦接的第二存储器 604。

20 在一些具体示例中，第二存储器 604 为非易失性存储器，包括但不限于闪存（诸如，与非（NAND）闪存）、相变存储器、电阻式存储器、磁阻式存储器、铁电存储器或聚合物存储器。第二存储器可用于存储程序执行过程中的输入数据/输出数据。

25 在一些实施例中，所述控制器 601 被配置为：将所述第二存储器 604 中存储的所述程序执行过程中的输入数据写入所述第一存储器 602 中；将所述第一存储器 602 中存储的所述程序执行过程中的输出数据写入所述第二存储器 604 中。

在一些实施例中，程序执行过程中的输出数据也可不写入第二存储器 604

中，而由主机直接读取第一存储器 602 中存储的程序执行过程中的输出数据。

图 7 为本公开实施例提供的一种程序执行过程的流程示意图。如图 7 所示，包括以下步骤：步骤 S100，主机提前将程序执行所需输入数据写入第一存储器中；步骤 S101，主机创建执行程序命令，根据程序的功能特点将对应的输入数据、输出数据的个数分别放入第一参数、第二参数中，并将每个输入/输出数据在第一存储器中的相应地址传入主机的缓存器中；最后发送执行程序命令；步骤 S102，计算存储系统在接收执行程序命令后，解析第一参数和第二参数中输入数据的个数及输出数据的个数，根据输入数据的个数和输出数据的个数解析缓存器中对应输入数据在第一存储器中的相应地址以及对应输出数据在第一存储器中的相应地址；找到执行程序具体需要的输入参数数据，并执行程序；程序对输入数据处理完后得到的输出数据放入缓存器中对应输出数据在第一存储器中的相应地址指定的区域中，完成程序的执行。

在一些实施例中，如图 8 所示，所述计算存储系统 600 包括非易失性命名空间 610、计算命名空间 608 以及子系统本地存储命名空间 609；所述非易失性命名空间 610 包括所述第二存储器 604，所述计算命名空间 608 包括所述计算处理组件 603，所述子系统本地存储命名空间 609 包括所述第一存储器 602。

本公开实施例提供的方案不需要申请程序的程序唯一标识符，通过一种通用的命令格式，主机就可以和控制器沟通并执行程序，通用的方式更符合标准化的思想，使得可以降低主机和计算存储系统实现的复杂性，提高程序从开发到在计算处理组件中运行的效率。

基于上述计算存储系统，本公开实施例还提供一种电子系统，如图 9 所示，所述电子系统包括主机 605 和与所述主机 605 耦接的计算存储系统 600；所述计算存储系统 600 包括控制器 601、与所述控制器 601 耦接的第一存储器 602 以及用于执行程序的计算处理组件 603；所述主机 605 被配置为：发送命令，所述命令用于指示所述计算处理组件 603 执行程序，且所述命令被配置为定义所述程序执行过程中的输入数据和/或输出数据在所述第一存储器 602 中的相应地址的关联信息；所述控制器 601 被配置为：接收所述命令，并根据所述关联

信息，从所述主机 605 得到所述程序执行过程中的输入数据和/或输出数据在所述第一存储器 602 中的相应地址。

如图 9 所示，所述第一存储器 602 包括为计算处理组件 603 执行程序过程中的输入数据配置的第一存储区域 606，以及为计算处理组件 603 执行程序过程中的输出数据配置的第二存储区域 607。

如图 9 所示，主机 605 包括缓存器 611，该缓存器 611 为易失性存储器，该易失性存储器包括但不限于随机存取存储器、动态随机存取存储器、静态随机存取存储器、同步动态随机存取存储器、双倍数据速率同步动态随机存取存储器。

10 在一些实施例中，所述命令中携带有第一指针信息，以及第一参数和/或第二参数；所述第一参数中包含所述程序执行过程中的输入数据的个数，所述第二参数中包含所述程序执行过程中的输出数据的个数；所述第一指针信息指向所述主机 605 中的缓存器中的第一区域，所述第一区域中存储有每个输入数据在所述第一存储器 602 中的相应地址以及每个输出数据在所述第一存储器 602
15 中的相应地址。

在一些实施例中，所述控制器 601 被配置为：根据所述第一指针信息，以及第一参数和/或第二参数，从所述主机 605 的缓存器中得到在所述程序执行过程中的每个输入数据在所述第一存储器 602 中的相应地址和/或每个输出数据在所述第一存储器 602 中的相应地址。

20 在一些实施例中，所述主机 605 被配置为：按照第一预设顺序将所述程序执行过程中的每个输入数据在所述第一存储器 602 中的相应地址以及每个输出数据在所述第一存储器 602 中的相应地址依次存放于所述第一区域中；所述控制器 601 被配置为：根据每个输入数据及每个输出数据在所述第一存储器 602 中的相应地址各自所占所述缓存器的容量大小、所述第一预设顺序的信息、输入数据的个数以及输出数据的个数，从所述主机 605 得到所述程序执行过程中的输入数据在所述第一存储器 602 中的相应地址和/或输出数据在所述第一存储器
25 602 中的相应地址。

在一些实施例中，所述主机 605 被配置为：按照输入数据在所述第一存储器 602 中的相应地址存放在前，输出数据在所述第一存储器 602 中的相应地址存放在后的顺序，将所述程序执行过程中的每个输入数据以及每个输出数据在所述第一存储器 602 中的相应地址依次存放于所述主机 605 的缓存器中的第一区域中；或，按照输出数据在所述第一存储器 602 中的相应地址存放在前，输入数据在所述第一存储器 602 中的相应地址存放在后的顺序，将所述程序执行过程中的每个输入数据以及每个输出数据在所述第一存储器 602 中的相应地址依次存放于所述主机 605 的缓存器中的第一区域中。

在一些实施例中，所述命令中携带有第二指针信息；所述第二指针信息指向所述主机 605 中的缓存器中的第二区域；所述第二区域中存储有输入数据的个数、每个输入数据在所述第一存储器 602 中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器 602 中的相应地址。

在一些实施例中，所述主机 605 被配置为：按照第二预设顺序将所述程序执行过程中的输入数据的个数、每个输入数据在所述第一存储器 602 中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器 602 中的相应地址依次存放于所述第二区域中；所述控制器 601 被配置为：根据输入数据的个数、每个输入数据在所述第一存储器 602 中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器 602 中的相应地址各自所占所述缓存器的容量大小、所述第二预设顺序的信息、输入数据的个数以及输出数据的个数，从所述主机 605 得到所述程序执行过程中的输入数据在所述第一存储器 602 中的相应地址和/或输出数据在所述第一存储器 602 中的相应地址。

在一些实施例中，所述主机 605 被配置为：根据所述程序的功能特点，确定所述程序执行过程中的输入数据的个数和/或所述程序执行过程中的输出数据的个数。

在一些实施例中，所述命令中携带有第三指针信息和/或第四指针信息；所述第三指针信息指向所述主机 605 中的缓存器中的第三区域，所述第三区域中存储有所述程序执行过程中的每个输入数据在所述第一存储器 602 中的相应地

址；所述第四指针信息指向所述缓存器中的第四区域，所述第四区域中存储有所述程序执行过程中的每个输出数据在所述第一存储器 602 中的相应地址；所述控制器 601 被配置为：根据所述第三区域中存储的地址，从所述主机 605 得到所述程序执行过程中的输入数据在所述第一存储器 602 中的相应地址；和/

5 或，根据所述第四区域中存储的地址，从所述主机 605 得到所述程序执行过程中的输出数据在所述第一存储器 602 中的相应地址。

在一些实施例中，每个输入数据在所述第一存储器 602 中的相应地址所占所述缓存器的容量大小相同且均为第一值，每个输出数据在所述第一存储器 602 中的相应地址所占所述缓存器的容量大小相同且均为第二值，所述第一值

10 与所述第二值相等。

在一些实施例中，每个输入数据/输出数据在所述第一存储器 602 中的相应地址包含存储相应输入数据/输出数据的区域所属的第一存储器 602 的信息、输入数据/输出数据的大小、输入数据/输出数据在所述第一存储器 602 中的起始地址。

15 在一些实施例中，所述计算处理组件 603 被配置为：根据所述程序执行过程中的输入数据在所述第一存储器 602 中的相应地址，读取所述第一存储器 602 的相应区域中的输入数据，并执行所述程序；根据所述程序执行过程中的输出数据在所述第一存储器 602 中的相应地址，将所述程序对输入数据进行处理之后得到的输出数据存储至所述第一存储器 602 的相应区域中。

20 在一些实施例中，所述命令中还携带有第一标识符：所述控制器 601 被配置为：基于所述第一标识符的值为第三值，根据所述命令携带的程序唯一标识符定义的所述程序执行过程中的输入数据及输出数据在所述第一存储器 602 中的相应地址的关联信息，得到所述程序执行过程中的输入数据在所述第一存储器 602 中的相应地址及输出数据在所述第一存储器 602 中的相应地址；或，基

25 于所述第一标识符的值为第四值，根据所述命令定义的所述程序执行过程中的输入数据及输出数据在所述第一存储器 602 中的相应地址的关联信息，从所述主机 605 得到所述程序执行过程中的输入数据在所述第一存储器 602 中的相应

地址及输出数据在所述第一存储器 602 中的相应地址。

在一些实施例中，计算存储系统 600 还包括与所述控制器 601 耦接的第二存储器，所述控制器 601 被配置为：将所述第二存储器中存储的所述程序执行过程中的输入数据写入所述第一存储器 602 中；将所述第一存储器 602 中存储的所述程序执行过程中的输出数据写入所述第二存储器中。

在一些实施例中，所述计算存储系统 600 包括非易失性命名空间、计算命名空间以及子系统本地存储命名空间；所述非易失性命名空间包括所述第二存储器，所述计算命名空间包括所述计算处理组件 603，所述子系统本地存储命名空间包括所述第一存储器 602。

10 关于上述电子系统的其他细节在前述关于计算存储系统的实施例中已详细介绍，为了简洁，这里不再赘述。

基于上述计算存储系统，本公开实施例还提供一种计算存储系统的操作方法，如图 10 所示，该操作方法包括以下步骤：步骤 S200，接收与所述计算存储系统耦接的主机发送的命令，所述命令用于指示计算处理组件执行程序，且
15 所述命令被配置为定义所述程序执行过程中的输入数据和/或输出数据在与所述计算存储系统的控制器耦接的第一存储器中的相应地址的关联信息；步骤 S201，根据所述关联信息，从所述主机得到所述程序执行过程中的输入数据和/或输出数据在所述第一存储器中的相应地址。

在一些实施例中，所述命令中携带有第一指针信息，以及第一参数和/或第二参数；所述第一参数中包含所述程序执行过程中的输入数据的个数，所述第二参数中包含所述程序执行过程中的输出数据的个数；所述第一指针信息指向所述主机中的缓存器中的第一区域，所述第一区域中存储有每个输入数据在所述第一存储器中的相应地址以及每个输出数据在所述第一存储器中的相应地址，且所述程序执行过程中的每个输入数据在所述第一存储器中的相应地址以及
25 每个输出数据在所述第一存储器中的相应地址被按照第一预设顺序依次存放于所述第一区域中。

在一些实施例中，所述根据所述关联信息，从所述主机得到所述程序执行

过程中的输入数据和/或输出数据在所述第一存储器中的相应地址, 包括: 根据所述第一指针信息, 以及第一参数和/或第二参数, 从所述主机的缓存器中得到在所述程序执行过程中的每个输入数据在所述第一存储器中的相应地址和/或每个输出数据在所述第一存储器中的相应地址。

- 5 在一些实施例中, 所述根据所述关联信息, 从所述主机得到所述程序执行过程中的输入数据和/或输出数据在所述第一存储器中的相应地址, 包括: 根据每个输入数据及每个输出数据在所述第一存储器中的相应地址信息各自所占所述缓存器的容量大小、所述第一预设顺序的信息、输入数据的个数以及输出数据的个数, 从所述主机得到所述程序执行过程中的输入数据在所述第一存储器
10 中的相应地址和/或输出数据在所述第一存储器中的相应地址。

在一些实施例中, 所述第一预设顺序包括: 输入数据在所述第一存储器中的相应地址存放在前, 输出数据在所述第一存储器中的相应地址存放在后; 或, 输出数据在所述第一存储器中的相应地址存放在前, 输入数据在所述第一存储器中的相应地址存放在后。

- 15 在一些实施例中, 所述命令中携带有第二指针信息; 所述第二指针信息指向所述主机中的缓存器中的第二区域; 所述第二区域中存储有输入数据的个数、每个输入数据在所述第一存储器中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器中的相应地址, 所述程序执行过程中的输入数据的个数、每个输入数据在所述第一存储器中的相应地址、输出数据的个数以及每个输出
20 数据在所述第一存储器中的相应地址被按照第二预设顺序依次存放于所述第二区域中。

- 在一些实施例中, 所述根据所述关联信息, 从所述主机得到所述程序执行过程中的输入数据和/或输出数据在所述第一存储器中的相应地址, 包括: 根据输入数据的个数、每个输入数据在所述第一存储器中的相应地址、输出数据的
25 个数以及每个输出数据在所述第一存储器中的相应地址各自所占所述缓存器的容量大小、所述第二预设顺序的信息、输入数据的个数以及输出数据的个数, 从所述主机得到所述程序执行过程中的输入数据在所述第一存储器中的相应地

址和/或输出数据在所述第一存储器中的相应地址。

在一些实施例中，所述操作方法还包括：根据所述程序的功能特点，确定所述程序执行过程中的输入数据的个数以和/或所述程序执行过程中的输出数据的个数。

- 5 在一些实施例中，所述命令中携带有第三指针信息和/或第四指针信息；所述第三指针信息指向所述主机中的缓存器中的第三区域，所述第三区域中存储有所述程序执行过程中的每个输入数据在所述第一存储器中的相应地址；所述第四指针信息指向所述缓存器中的第四区域，所述第四区域中存储有所述程序执行过程中的每个输出数据在所述第一存储器中的相应地址；所述根据所述关
- 10 联信息，从所述主机得到所述程序执行过程中的输入数据和/或输出数据在所述第一存储器中的相应地址，包括：根据所述第三区域中存储的地址，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器中的相应地址；和/或，根据所述第四区域中存储的地址，从所述主机得到所述程序执行过程中的输出数据在所述第一存储器中的相应地址。

- 15 在一些实施例中，每个输入数据在所述第一存储器中的相应地址所占所述缓存器的容量大小相同且均为第一值，每个输出数据在所述第一存储器中的相应地址所占所述缓存器的容量大小相同且均为第二值，所述第一值与所述第二值相等。

- 20 在一些实施例中，每个输入数据/输出数据在所述第一存储器中的相应地址包含存储相应输入数据/输出数据的区域所属的第一存储器的信息、输入数据/输出数据的大小、输入数据/输出数据在所述第一存储器中的起始地址。

上述实施例中提到的计算存储系统的操作方法在前述关于计算存储系统的实施例中已详细介绍过，为了简洁，这里不再赘述。

- 25 基于上述计算存储系统的操作方法，本公开实施例还提供了一种计算机可读存储介质，所述计算机可读存储介质上存储有计算机程序，所述计算机程序被处理器执行时执行上述实施例中任一实施例所述的计算存储系统的操作方法。

这里，实现上述实施例中的计算存储系统的操作方法中的全部或部分流程，是可以通过计算机程序来指令相关的硬件来完成，所述的程序可存储于一计算机可读取存储介质中，该程序在执行时，可包括如上述各方法的实施例的流程。其中，所述存储介质可为磁性随机存取存储器（FRAM，
5 FerromagneticRandomAccessMemory）、只读存储器（ROM，ReadOnlyMemory）、可编程只读存储器（PROM，ProgrammableRead-OnlyMemory）、可擦除可编程只读存储器（EPROM，ErasableProgrammableRead-OnlyMemory）、电可擦除可编程只读存储器（EEPROM，
ElectricallyErasableProgrammableRead-OnlyMemory）、快闪存储器
10 （FlashMemory）、磁表面存储器、光盘或只读光盘（CD-ROM，CompactDiscRead-OnlyMemory）等等；所述存储介质还可以包括上述种类的存储器的组合。

本公开所提供的几个装置实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的装置实施例。

15 本公开所提供的几个方法实施例中所揭露的方法，在不冲突的情况下可以任意组合，得到新的方法实施例。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。

权利要求书

- 1、一种电子系统，所述电子系统包括主机和与所述主机耦接的计算存储系统；所述计算存储系统包括控制器、与所述控制器耦接的第一存储器以及用于执行程序的计算处理组件；
- 5 所述主机被配置为：发送命令，所述命令用于指示所述计算处理组件执行程序，且所述命令被配置为定义所述程序执行过程中的输入数据和/或输出数据在所述第一存储器中的相应地址的关联信息；
- 所述控制器被配置为：接收所述命令，并根据所述关联信息，从所述主机得到所述程序执行过程中的输入数据和/或输出数据在所述第一存储器
- 10 中的相应地址。
- 2、根据权利要求1所述的电子系统，其中，所述命令中携带有第一指针信息，以及第一参数和/或第二参数；所述第一参数中包含所述程序执行过程中的输入数据的个数，所述第二参数中包含所述程序执行过程中的输出数据的个数；所述第一指针信息指向所述主机中的缓存器中的第一区域，
- 15 所述第一区域中存储有每个输入数据在所述第一存储器中的相应地址以及每个输出数据在所述第一存储器中的相应地址。
- 3、根据权利要求2所述的电子系统，其中，所述控制器被配置为：根据所述第一指针信息，以及第一参数和/或第二参数，从所述主机的缓存器中得到在所述程序执行过程中的每个输入数据在所述第一存储器中的相应
- 20 地址和/或每个输出数据在所述第一存储器中的相应地址。
- 4、根据权利要求2所述的电子系统，其中，
- 所述主机被配置为：按照第一预设顺序将所述程序执行过程中的每个输入数据在所述第一存储器中的相应地址以及每个输出数据在所述第一存储器中的相应地址依次存放于所述第一区域中；
- 25 所述控制器被配置为：根据每个输入数据及每个输出数据在所述第一

存储器中的相应地址各自所占所述缓存器的容量大小、所述第一预设顺序的信息、输入数据的个数以及输出数据的个数，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器中的相应地址和/或输出数据在所述第一存储器中的相应地址。

- 5 5、根据权利要求4所述的电子系统，其中，所述主机被配置为：按照输入数据在所述第一存储器中的相应地址存放在前，输出数据在所述第一存储器中的相应地址存放在后的顺序，将所述程序执行过程中的每个输入数据以及每个输出数据在所述第一存储器中的相应地址依次存放于所述主机的缓存器中的第一区域中；或，按照输出数据在所述第一存储器中的相应地址存放在前，输入数据在所述第一存储器中的相应地址存放在后的顺序，将所述程序执行过程中的每个输入数据以及每个输出数据在所述第一存储器中的相应地址依次存放于所述主机的缓存器中的第一区域中。

- 15 6、根据权利要求1所述的电子系统，其中，所述命令中携带有第二指针信息；所述第二指针信息指向所述主机中的缓存器中的第二区域；所述第二区域中存储有输入数据的个数、每个输入数据在所述第一存储器中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器中的相应地址。

- 7、根据权利要求6所述的电子系统，其中，

- 20 所述主机被配置为：按照第二预设顺序将所述程序执行过程中的输入数据的个数、每个输入数据在所述第一存储器中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器中的相应地址依次存放于所述第二区域中；

所述控制器被配置为：

- 25 根据输入数据的个数、每个输入数据在所述第一存储器中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器中的相应地址各自所

占所述缓存器的容量大小、所述第二预设顺序的信息、输入数据的个数以及输出数据的个数，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器中的相应地址和/或输出数据在所述第一存储器中的相应地址。

- 5 8、根据权利要求2至7任一项所述的电子系统，其中，所述主机被配置为：

根据所述程序的功能特点，确定所述程序执行过程中的输入数据的个数和/或所述程序执行过程中的输出数据的个数。

- 10 9、根据权利要求1所述的电子系统，其中，所述命令中携带有第三指针信息和/或第四指针信息；所述第三指针信息指向所述主机中的缓存器中的第三区域，所述第三区域中存储有所述程序执行过程中的每个输入数据在所述第一存储器中的相应地址；所述第四指针信息指向所述缓存器中的第四区域，所述第四区域中存储有所述程序执行过程中的每个输出数据在所述第一存储器中的相应地址；所述控制器被配置为：

- 15 根据所述第三区域中存储的地址，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器中的相应地址；和/或，根据所述第四区域中存储的地址，从所述主机得到所述程序执行过程中的输出数据在所述第一存储器中的相应地址。

- 20 10、根据权利要求2或6或9所述的电子系统，其中，每个输入数据在所述第一存储器中的相应地址所占所述缓存器的容量大小相同且均为第一值，每个输出数据在所述第一存储器中的相应地址所占所述缓存器的容量大小相同且均为第二值，所述第一值与所述第二值相等。

- 25 11、根据权利要求2或6或9所述的电子系统，其中，每个输入数据/输出数据在所述第一存储器中的相应地址包含存储相应输入数据/输出数据的区域所属的第一存储器的信息、输入数据/输出数据的大小、输入数据/

输出数据在所述第一存储器中的起始地址。

12、根据权利要求 1 所述的电子系统，其中，所述计算处理组件被配置为：

根据所述程序执行过程中的输入数据在所述第一存储器中的相应地址，读取所述第一存储器的相应区域中的输入数据，并执行所述程序；

根据所述程序执行过程中的输出数据在所述第一存储器中的相应地址，将所述程序对输入数据进行处理之后得到的输出数据存储至所述第一存储器的相应区域中。

13、根据权利要求 1 所述的电子系统，其中，所述命令中还携带有第一标识符：

所述控制器被配置为：

基于所述第一标识符的值为第三值，根据所述命令携带的程序唯一标识符定义的所述程序执行过程中的输入数据及输出数据在所述第一存储器中的相应地址的关联信息，得到所述程序执行过程中的输入数据在所述第一存储器中的相应地址及输出数据在所述第一存储器中的相应地址；或，

基于所述第一标识符的值为第四值，根据所述命令定义的所述程序执行过程中的输入数据及输出数据在所述第一存储器中的相应地址的关联信息，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器中的相应地址及输出数据在所述第一存储器中的相应地址。

14、根据权利要求 1 所述的电子系统，其中，计算存储系统还包括与所述控制器耦接的第二存储器，所述控制器被配置为：

将所述第二存储器中存储的所述程序执行过程中的输入数据写入所述第一存储器中；

将所述第一存储器中存储的所述程序执行过程中的输出数据写入所述第二存储器中。

15、根据权利要求 14 所述的电子系统，其中，所述计算存储系统包括非易失性命名空间、计算命名空间以及子系统本地存储命名空间；所述非易失性命名空间包括所述第二存储器，所述计算命名空间包括所述计算处理组件，所述子系统本地存储命名空间包括所述第一存储器。

5 16、一种计算存储系统，所述计算存储系统包括控制器、与所述控制器耦接的第一存储器以及用于执行程序的计算处理组件；所述控制器被配置为：

接收与所述计算存储系统耦接的主机发送的命令，所述命令用于指示所述计算处理组件执行程序，且所述命令被配置为定义所述程序执行过程
10 中的输入数据和/或输出数据在所述第一存储器中的相应地址的关联信息；

根据所述关联信息，从所述主机得到所述程序执行过程中的输入数据和/或输出数据在所述第一存储器中的相应地址。

17、根据权利要求 16 所述的计算存储系统，其中，所述命令中携带有第一指针信息，以及第一参数和/或第二参数；所述第一参数中包含所述程
15 序执行过程中的输入数据的个数，所述第二参数中包含所述程序执行过程中的输出数据的个数；所述第一指针信息指向所述主机中的缓存器中的第一区域，所述第一区域中存储有每个输入数据在所述第一存储器中的相应地址以及每个输出数据在所述第一存储器中的相应地址，且所述程序执行过程中的每个输入数据在所述第一存储器中的相应地址以及每个输出数据
20 在所述第一存储器中的相应地址被按照第一预设顺序依次存放于所述第一区域中。

18、根据权利要求 17 所述的计算存储系统，其中，所述控制器被配置为：根据所述第一指针信息，以及第一参数和/或第二参数，从所述主机的缓存器中得到在所述程序执行过程中的每个输入数据在所述第一存储器中的相应地址和/或每个输出数据在所述第一存储器中的相应地址。
25

19、根据权利要求 17 所述的计算存储系统，其中，所述控制器被配置为：根据每个输入数据及每个输出数据在所述第一存储器中的相应地址各自所占所述缓存器的容量大小、所述第一预设顺序的信息、输入数据的个数以及输出数据的个数，从所述主机得到所述程序执行过程中的输入数据
5 在所述第一存储器中的相应地址和/或输出数据在所述第一存储器中的相应地址。

20、根据权利要求 17 所述的计算存储系统，其中，所述第一预设顺序包括：输入数据在所述第一存储器中的相应地址存放在前，输出数据在所述第一存储器中的相应地址存放在后；或，输出数据在所述第一存储器中的
10 的相应地址存放在前，输入数据在所述第一存储器中的相应地址存放在后。

21、根据权利要求 16 所述的计算存储系统，其中，所述命令中携带有第二指针信息；所述第二指针信息指向所述主机中的缓存器中的第二区域；所述第二区域中存储有输入数据的个数、每个输入数据在所述第一存储器中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器中的
15 相应地址，所述程序执行过程中的输入数据的个数、每个输入数据在所述第一存储器中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器中的相应地址被按照第二预设顺序依次存放于所述第二区域中。

22、根据权利要求 21 所述的计算存储系统，其中，所述控制器被配置为：

20 根据输入数据的个数、每个输入数据在所述第一存储器中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器中的相应地址各自所占所述缓存器的容量大小、所述第二预设顺序的信息、输入数据的个数以及输出数据的个数，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器中的相应地址和/或输出数据在所述第一存储器中的相应地
25 址。

23、根据权利要求 17 至 22 任一项所述的计算存储系统，其中，所述主机被配置为：

根据所述程序的功能特点，确定所述程序执行过程中的输入数据的个数和/或所述程序执行过程中的输出数据的个数。

5 24、根据权利要求 16 所述的计算存储系统，其中，所述命令中携带有第三指针信息和/或第四指针信息；所述第三指针信息指向所述主机中的缓存器中的第三区域，所述第三区域中存储有所述程序执行过程中的每个输入数据在所述第一存储器中的相应地址；所述第四指针信息指向所述缓存器中的第四区域，所述第四区域中存储有所述程序执行过程中的每个输出
10 数据在所述第一存储器中的相应地址；所述控制器被配置为：

根据所述第三区域中存储的地址，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器中的相应地址；和/或，根据所述第四区域中存储的地址，从所述主机得到所述程序执行过程中的输出数据在所述第一存储器中的相应地址。

15 25、根据权利要求 17 或 21 或 24 所述的计算存储系统，其中，每个输入数据在所述第一存储器中的相应地址所占所述缓存器的容量大小相同且均为第一值，每个输出数据在所述第一存储器中的相应地址所占所述缓存器的容量大小相同且均为第二值，所述第一值与所述第二值相等。

26、根据权利要求 17 或 21 或 24 所述的计算存储系统，其中，每个输入
20 数据/输出数据在所述第一存储器中的相应地址包含存储相应输入数据/输出数据的区域所属的第一存储器的信息、输入数据/输出数据的大小、输入数据/输出数据在所述第一存储器中的起始地址。

27、一种计算存储系统的操作方法，所述操作方法包括：

接收与所述计算存储系统耦接的主机发送的命令，所述命令用于指示
25 计算处理组件执行程序，且所述命令被配置为定义所述程序执行过程中的

输入数据和/或输出数据在与所述计算存储系统的控制器耦接的第一存储器中的相应地址的关联信息；

根据所述关联信息，从所述主机得到所述程序执行过程中的输入数据和/或输出数据在所述第一存储器中的相应地址。

- 5 28、根据权利要求 27 所述的操作方法，其中，所述命令中携带有第一指针信息，以及第一参数和/或第二参数；所述第一参数中包含所述程序执行过程中的输入数据的个数，所述第二参数中包含所述程序执行过程中的输出数据的个数；所述第一指针信息指向所述主机中的缓存器中的第一区域，所述第一区域中存储有每个输入数据在所述第一存储器中的相应地址
10 以及每个输出数据在所述第一存储器中的相应地址，且所述程序执行过程中的每个输入数据在所述第一存储器中的相应地址以及每个输出数据在所述第一存储器中的相应地址被按照第一预设顺序依次存放于所述第一区域中。

- 29、根据权利要求 28 所述的操作方法，其中，所述根据所述关联信息，
15 从所述主机得到所述程序执行过程中的输入数据和/或输出数据在所述第一存储器中的相应地址，包括：

根据所述第一指针信息，以及第一参数和/或第二参数，从所述主机的缓存器中得到在所述程序执行过程中的每个输入数据在所述第一存储器中的相应地址和/或每个输出数据在所述第一存储器中的相应地址。

- 20 30、根据权利要求 28 所述的操作方法，其中，所述根据所述关联信息，从所述主机得到所述程序执行过程中的输入数据和/或输出数据在所述第一存储器中的相应地址，包括：

- 根据每个输入数据及每个输出数据在所述第一存储器中的相应地址信息各自所占所述缓存器的容量大小、所述第一预设顺序的信息、输入数据
25 的个数以及输出数据的个数，从所述主机得到所述程序执行过程中的输入

数据在所述第一存储器中的相应地址和/或输出数据在所述第一存储器中的相应地址。

31、根据权利要求 28 所述的操作方法，其中，所述第一预设顺序包括：输入数据在所述第一存储器中的相应地址存放在前，输出数据在所述第一存储器中的相应地址存放在后；或，输出数据在所述第一存储器中的相应地址存放在前，输入数据在所述第一存储器中的相应地址存放在后。

32、根据权利要求 27 所述的操作方法，其中，所述命令中携带有第二指针信息；所述第二指针信息指向所述主机中的缓存器中的第二区域；所述第二区域中存储有输入数据的个数、每个输入数据在所述第一存储器中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器中的相应地址，所述程序执行过程中的输入数据的个数、每个输入数据在所述第一存储器中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器中的相应地址被按照第二预设顺序依次存放于所述第二区域中。

33、根据权利要求 32 所述的操作方法，其中，所述根据所述关联信息，从所述主机得到所述程序执行过程中的输入数据和/或输出数据在所述第一存储器中的相应地址，包括：

根据输入数据的个数、每个输入数据在所述第一存储器中的相应地址、输出数据的个数以及每个输出数据在所述第一存储器中的相应地址各自所占所述缓存器的容量大小、所述第二预设顺序的信息、输入数据的个数以及输出数据的个数，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器中的相应地址和/或输出数据在所述第一存储器中的相应地址。

34、根据权利要求 28 至 33 任一项所述的操作方法，其中，所述操作方法还包括：

根据所述程序的功能特点，确定所述程序执行过程中的输入数据的个

数以及和/或所述程序执行过程中的输出数据的个数。

35、根据权利要求 27 所述的操作方法，其中，所述命令中携带有第三指针信息和/或第四指针信息；所述第三指针信息指向所述主机中的缓存器中的第三区域，所述第三区域中存储有所述程序执行过程中的每个输入数据在所述第一存储器中的相应地址；所述第四指针信息指向所述缓存器中的第四区域，所述第四区域中存储有所述程序执行过程中的每个输出数据在所述第一存储器中的相应地址；所述根据所述关联信息，从所述主机得到所述程序执行过程中的输入数据和/或输出数据在所述第一存储器中的相应地址，包括：

10 根据所述第三区域中存储的地址，从所述主机得到所述程序执行过程中的输入数据在所述第一存储器中的相应地址；和/或，根据所述第四区域中存储的地址，从所述主机得到所述程序执行过程中的输出数据在所述第一存储器中的相应地址。

36、根据权利要求 28 或 32 或 35 所述的操作方法，其中，每个输入数据在所述第一存储器中的相应地址所占所述缓存器的容量大小相同且均为第一值，每个输出数据在所述第一存储器中的相应地址所占所述缓存器的容量大小相同且均为第二值，所述第一值与所述第二值相等。

37、根据权利要求 28 或 32 或 35 所述的操作方法，其中，每个输入数据/输出数据在所述第一存储器中的相应地址包含存储相应输入数据/输出数据的区域所属的第一存储器的信息、输入数据/输出数据的大小、输入数据/输出数据在所述第一存储器中的起始地址。