

半导体结构及其形成方法、版图结构

相关申请的交叉引用

本公开基于申请号为 202210730342.3、申请日为 2022 年 06 月 24 日、发明名称为“半导体结构及其形成方法、版图结构”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域，涉及但不限于一种半导体结构及其形成方法、版图结构。

背景技术

当前，多采用 $6F^2$ 的排布方式和掩埋字线工艺来制作动态随机存储器（Dynamic Random Access Memory, DRAM），然而，在这种工艺下 DRAM 的微缩变得十分困难，也有通过使用新材料来改善 DRAM 的性能，然而，这无疑提高了 DRAM 的工艺复杂度和制造成本。

基于此，相关技术中，采用全环栅或双栅工艺制作 $4F^2$ 的 DRAM， $4F^2$ 的 DRAM 需要形成位线台阶或者字线台阶，然而，位线台阶在 DRAM 的使用中存在比较大的感测噪音（Sensing Noise），字线台阶存在字线耦合（Word Line Coupling）以及工艺上同一平面上字线的互联对于多层堆叠来说难以实现的问题。

发明内容

有鉴于此，本公开实施例提供一种半导体结构及其形成方法、版图结构。

第一方面，本公开实施例提供一种半导体结构的形成方法，所述方法包括：

提供基底；所述基底包括沿第二方向依次排列的第一区域和第二区域；所述第一区域包括沿第三方向间隔排列的有源层；

在所述第一区域中形成位于所述有源层表面的初始栅极结构；

刻蚀所述初始栅极结构，形成沿所述第三方向堆叠的梳状栅极结构；其中，所述梳状栅极结构至少包括在第一方向上间隔排列的第一栅极结构；所述第一方向、所述第二方向和所述第三方向两两相互垂直，且所述第一方向与所述第二方向平行于所述基底表面；

在所述第二区域形成沿所述第三方向延伸的位线结构和沿所述第二方向延伸的电容结构，所述位线结构与所述电容结构均与所述第一栅极结构连接。

第二方面，本公开实施例提供一种半导体结构，包括：

半导体衬底，所述半导体衬底包括沿第二方向依次排列的第一区域和第二区域；

位于所述半导体衬底表面的有源结构；所述有源结构沿第一方向和第三方向阵列排布；

梳状栅极结构，位于所述第一区域上所述有源结构的表面，且所述梳状栅极结构至少包括在第一方向间隔排列的第一栅极结构；

沿所述第三方向延伸的位线结构；

沿第二方向延伸的电容结构；所述位线结构与所述电容结构均位于所述第二区域上，且均与所述第一栅极结构连接；所述第一方向、所述第二方向和所述第三方向两两相互垂直，且所述第一方向与所述第二方向平行于所述半导体衬底表面。

第三方面，本公开实施例提供一种版图结构，包括：沿第二方向依次间隔排布的上述半导体结构；

所述半导体结构包括沿第一方向和第三方向阵列排布的存储单元；所述存储单元包括一个第一栅极结构和一个电容结构；

其中，所述第二方向上相邻两个存储单元呈中心对称，且所述第二方向上相邻两个存储单元的电容结构在所述第一方向上的投影区域至少部分重合。

本公开实施例中，由于形成了梳状栅极结构，且梳状栅极结构外侧的栅极金属层可以作为半导体结构的字线，如此，通过梳状栅极结构不仅可以实现多层堆叠结构中同一平面上字线的互联，还可以实现控制字线的尺寸，进而减小字线台阶之间的耦合作用。

附图说明

在附图（其不一定是按比例绘制的）中，相似的附图标记可在不同的视图中描述相似的部件。具

有不同字母后缀的相似附图标记可表示相似部件的不同示例。附图以示例而非限制的方式大体示出了本文中所讨论的各个实施例。

图 1 为本公开实施例提供的半导体结构形成方法的流程示意图；

图 2a~2m、图 3a~3i 为本公开实施例提供的半导体结构形成过程中的结构示意图；

5 图 4a~4c 为本公开实施例提供的半导体结构的结构示意图；

图 5a 和 5b 为本公开实施例提供的半导体结构的平面结构示意图；

图 6a 和 6b 为本公开实施例提供的版图结构的平面布局图；

附图标记说明如下：

10 10—半导体衬底；11—叠层结构；11a—第一个叠层结构；11b—第二个叠层结构；111—第一半
导体层；112—第二半导体层；12—初始有源层；121—牺牲层；122—第一隔离层；13—有源层；130—
有源结构；14—初始栅极结构；141—栅极介质层；142—栅极导电层；15—L 型凹槽；16—隔离凹槽；
17—梳状栅极结构；171—第一栅极结构；172—第二栅极结构；18—字线台阶；19—第二隔离层；131—
15 第一有源柱；1311—第一子柱；1312—第二子柱；132—第二有源柱；20—第二保护层；21—第一保
护层；221—第三半导体层；222—位线金属层；22—位线结构；23—支撑层；24—电容结构；241—
第一电极层；242—电介质层；243—第二电极层；25—沟道柱；100—半导体结构；200—版图结构。

具体实施方式

下面将参照附图更详细地描述本公开公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开公开的范围完整的传达
20 给本领域的技术人员。

在下文的描述中，给出了大量的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在其它的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

25 在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它
30 元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论第二元件、部件、区、层或部分时，并不表明本公开必然存在第一元件、部件、区、层
35 或部分。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用
40 时，术语“和/或”包括相关所列项目的任何及所有组合。

在介绍本公开实施例之前，先定义一下以下实施例可能用到的描述立体结构的三个方向，以笛卡尔坐标系为例，三个方向可以包括 X 轴、Y 轴和 Z 轴方向。基底可以包括处于正面的顶表面以及处于与正面相对的背面的底表面；在忽略顶表面和底表面的平整度的情况下，定义垂直基底顶表面和底表面的方向为第三方向。在基底的顶表面和底表面（即基底所在的平面）方向上，定义两彼此相交（例如彼此垂直）的方向，例如可以定义字线延伸的方向为第一方向，定义电容结构的延伸方向为第二方向，基于第一方向和第二方向可以确定基底的平面方向。这里，第一方向、第二方向和第三方向两两垂直。本公开实施例中，定义第一方向为 X 轴方向，定义第二方向为 Y 轴方向，定义第三方向为 Z
45 轴方向。

本公开实施例提供一种半导体结构的形成方法，图 1 为本公开实施例提供的半导体结构形成方法的流程示意图，如图 1 所示，半导体结构的形成方法包括以下步骤：

50 步骤 S101，提供基底；基底包括沿第二方向依次排列的第一区域和第二区域；第一区域包括沿第三方向间隔排列的有源层。

本公开实施例中，基底至少包括半导体衬底，半导体衬底可以是硅衬底，半导体衬底也可以包括其它半导体元素，例如：锗（Ge），或包括半导体化合物，例如：碳化硅（SiC）、砷化镓（GaAs）、

磷化镓 (GaP)、磷化铟 (InP)、砷化铟 (InAs) 或锑化铟 (InSb), 或包括其它半导体合金, 例如: 硅锗 (SiGe)、磷化砷镓 (GaAsP)、砷化铟铝 (AlInAs)、砷化镓铝 (AlGaAs)、砷化铟镓 (GaInAs)、磷化铟镓 (GaInP)、及/或磷砷化铟镓 (GaInAsP) 或其组合。

5 本公开实施例中, 第一区域和第二区域可以分别用于形成不同的功能结构, 例如, 第一区域可以用于形成栅极结构和阶梯状字线结构, 第二区域可以用于形成电容结构和位线结构。

步骤 S102、在第一区域中形成位于有源层表面的初始栅极结构。

本公开实施例中, 初始栅极结构包括栅极介质层和位于栅极介质层表面的栅极导电层。

10 步骤 S103、刻蚀初始栅极结构, 形成沿第三方向堆叠的梳状栅极结构; 其中, 梳状栅极结构至少包括在第一方向上间隔排列的第一栅极结构。

本公开实施例中, 第一栅极结构可以为双栅结构, 第一栅极结构覆盖有源层沿第三方向上的第一表面和第二表面。第一栅极结构在基底表面上的投影可以为 U 型, 在其它实施例中, 第一栅极结构在基底表面上的投影也可以为矩形。

15 在一些实施例中, 梳状栅极结构还包括: 与位于同一层的第一栅极结构均连接的第二栅极结构。第二栅极结构可以是三面环栅结构, 例如, 第二栅极结构覆盖有源层沿第三方向上的第一表面和第二表面、且覆盖有源层沿第二方向上的一个表面。

本公开实施例中, 第一栅极结构在第二方向上的尺寸可以为第二栅极结构在第二方向上的尺寸的 2~3 倍。

20 本公开实施例中, 位于第一方向上同一层的多个梳状栅极结构通过第二栅极结构互相连接, 梳状栅极结构的栅极金属层可以作为半导体结构的字线。如此, 不仅可以实现多层堆叠结构中同一平面上字线的互联, 还可以实现控制字线的尺寸, 进而减小字线台阶之间的耦合作用。

步骤 S104、在第二区域形成沿第三方向延伸的位线结构和沿第二方向延伸的电容结构, 位线结构与电容结构均与第一栅极结构连接。

25 本公开实施例中形成的电容结构沿第二方向延伸, 也就是说, 本公开实施例中形成的电容结构呈水平状排布, 水平状的电容结构可以减少倾倒或者折断的可能性, 从而可以提高电容结构的稳定性。另外, 多个水平状的电容结构和梳状栅极结构可以堆叠形成三维的半导体结构, 进而可以提高半导体结构的集成度, 实现微缩。

图 2a~2m、图 3a~3i 为本公开实施例提供的半导体结构形成过程中的结构示意图, 下面结合图 2a~2m、图 3a~3i 对本公开实施例提供的半导体结构的形成过程进行详细的说明。

30 首先, 可以参考图 2a~2g, 执行步骤 S101、提供基底; 基底包括沿第二方向依次排列的第一区域 A 和第二区域 B; 第一区域 A 包括沿第三方向间隔排列的有源层 13。

35 在一些实施例中, 基底可以通过以下步骤形成: 提供半导体衬底 10; 在半导体衬底 10 的表面形成位于第一区域 A 和第二区域 B 的叠层结构 11; 叠层结构 11 包括交替堆叠的第一半导体层 111 和第二半导体层 112; 去除第一区域 A 中的第一半导体层 111, 以暴露出第一区域 A 的第二半导体层 112; 对暴露出的第二半导体层 112 进行减薄处理, 以形成初始有源层 12; 处理初始有源层 12, 以形成有源层 13。

如图 2a 和 2b 所示, 在半导体衬底 10 的表面形成位于第一区域 A 和第二区域 B 的叠层结构 11; 叠层结构 11 包括交替堆叠的第一半导体层 111 和第二半导体层 112。

40 本公开实施例中, 第一半导体层 111 的材料可以是锗 (Ge)、或锗化硅 (SiGe)、碳化硅; 也可以是绝缘体上硅 (Silicon-On-Insulator, SOI) 或者绝缘体上锗 (Germanium-on-Insulator, GOI)。第二半导体层 112 可以为硅层, 也可以包括其它半导体元素, 例如: 锗, 或包括半导体化合物, 例如: 碳化硅、砷化镓、磷化镓、磷化铟、砷化铟或锑化铟, 或包括其它半导体合金, 例如: 硅锗、磷化砷镓、砷化铟铝、砷化镓铝、砷化铟镓、磷化铟镓、及/或磷砷化铟镓或其组合。

45 本公开实施例中, 第一半导体层 111 和第二半导体层 112 的材料不同, 因为后续需要去除第一半导体层 111, 保留第二半导体层 112。因此, 第一半导体层 111 相对于第二半导体层 112 具有较大的选择刻蚀比, 例如第一半导体层 111 相对于第二半导体层 112 的刻蚀选择比可以为 5~15, 从而在刻蚀过程中第一半导体层 111 相对于第二半导体层 112 更容易被刻蚀去除。

50 本公开实施例中, 第一半导体层 111 的厚度可以是 5~50 纳米 (nm), 例如为 8nm 或者 45nm; 第二半导体层 112 的厚度可以是 15~100nm, 例如为 20nm 或者 75nm。叠层结构 11 中第一半导体层 111 和第二半导体层 112 的层数可以根据需要的电容密度 (或存储密度) 来设置, 第一半导体层 111 和第二半导体层 112 的层数越多, 形成的半导体结构的集成度更高且电容密度越大。

本公开实施例中, 第一半导体层 111 和第二半导体层 112 可以通过以下任一沉积工艺形成: 化学气相沉积 (Chemical Vapor Deposition, CVD) 工艺、物理气相沉积 (Physical Vapor Deposition, PVD) 工艺、原子层沉积 (Atomic Layer Deposition, ALD) 工艺、旋涂工艺、涂敷工艺或薄膜工艺等。

55 如图 2c 所示, 去除第一区域 A 中的第一半导体层 111, 以暴露出第一区域 A 的第二半导体层 112。本公开实施例中, 可以通过湿法 (例如, 采用浓硫酸、氢氟酸、浓硝酸等强酸刻蚀) 或者干法刻蚀技术去除叠层结构 11 中的第一半导体层 111。由于第一半导体层 111 相对于第二半导体层 112 具有

高刻蚀选择比, 如此, 在去除第一半导体层 111 时可以不损伤第二半导体层 112。

如图 2d 所示, 对暴露出的第二半导体层 112 进行减薄处理, 以形成初始有源层 12。

本公开实施例中, 可以通过以下两种方式对第二半导体层 112 进行减薄处理, 以形成初始有源层 12:

5 方式一: 对第二半导体层 112 直接进行干法刻蚀, 直至形成所需要的厚度时, 停止刻蚀。

方式二: 原位氧化第二半导体层 112, 将部分第二半导体层 112 氧化为氧化硅层, 通过湿法刻蚀或者干法刻蚀技术去除氧化硅层。

10 本公开实施例中, 将第二半导体层 112 减薄至 15~20nm, 形成初始有源层 12, 例如形成的初始有源层 12 的厚度可以为 18nm, 如此, 可以形成由全耗尽半导体层形成的沟道区, 此时, 空穴容易在源区被复合而不会发生累积, 所以可以改善浮体效应; 另外, 由于相邻两个初始有源层 12 之间的间隙变大, 如此, 可以为后续栅极结构和字线结构的形成预留出更大的空间, 降低了字线耦合作用、以及栅极结构和字线结构的制备工艺复杂度和制造成本。

需要说明的是, 在其它实施例中, 也可以不对第二半导体层 112 进行减薄处理。

15 在一些实施例中, 处理初始有源层 12, 以形成有源层 13 可以包括以下步骤: 在初始有源层 12 的表面依次形成牺牲层 121 和第一隔离层 122; 其中, 第一隔离层 122 充满牺牲层 121 之间的空隙。去除在第二方向上具有第一长度的初始有源层 12, 形成第一空间; 去除在第二方向上具有第二长度的牺牲层 121, 暴露出部分初始有源层 12, 形成第二空间; 其中, 第二空间包括第一空间、且第二长度大于第一长度, 暴露出的部分初始有源层 12 构成有源层 13。

20 如图 2e 和 2f 所示, 在初始有源层 12 的表面依次形成牺牲层 121 和第一隔离层 122, 去除在 Y 轴方向上具有第一长度 L1 的初始有源层 12, 形成第一空间 C。

25 本公开实施例中, 牺牲层 121 的材料可以是氧化硅或其它适合的材料。第一隔离层 122 的材料可以是氮化硅或其它适合的材料。这里, 牺牲层 121 相对于第一隔离层 122 具有不同的刻蚀选择比, 例如, 牺牲层 121 与半导体衬底 10 之间的刻蚀选择比是第一隔离层 122 与半导体衬底 10 之间的刻蚀选择比的 5~10 倍。牺牲层 121 和第一隔离层 122 均可以通过任意一种合适的沉积工艺形成, 例如, 化学气相沉积工艺、物理气相沉积工艺、原子层沉积工艺、旋涂工艺、涂敷工艺或者炉管工艺。

本公开实施例中, 牺牲层 121 的厚度可以是 15~20nm, 例如为 17nm; 第一隔离层 122 的厚度可以是 10~20nm, 例如为 15nm。

30 本公开实施例中, 第一隔离层 122 一方面可以隔离相邻的两个梳状栅极结构, 另一方面可以与后续形成的支撑层共同作为半导体结构的支撑结构, 从而提高半导体结构的稳定性。

本公开实施例中, 可以采用湿法刻蚀工艺侧向刻蚀去除具有第一长度 L1 的初始有源层 12。湿法刻蚀采用的刻蚀溶液可以是氢氟酸溶液, 也可以是稀释氢氟酸与氨水的混合溶液。

如图 2g 所示, 去除在第二方向上具有第二长度 L2 的牺牲层 121, 暴露出部分初始有源层 12, 形成第二空间 D; 其中, 第二空间 D 包括第一空间 C、且第二长度 L2 大于第一长度 L1, 暴露出的部分初始有源层 12 构成有源层 13。

35 本公开实施例中, 可以采用湿法刻蚀工艺侧向刻蚀去除具有第二长度 L2 的牺牲层 121, 形成有源层 13, 湿法刻蚀采用的刻蚀溶液可以是稀释氢氟酸与氨水的混合溶液。

需要说明的是, 在形成有源层 13 时, 牺牲层 121 未被完全去除, 保留的部分牺牲层 121 用于隔离之后形成的梳状栅极结构与位线结构, 以及梳状栅极结构与电容结构, 以减少漏电流的产生。

40 接下来, 可以参考图 2h 和 2l, 执行步骤 S102, 在第一区域 A 中形成位于有源层 13 表面的初始栅极结构 14。

在一些实施例中, 初始栅极结构 14 可以通过以下步骤形成: 在有源层 13 的表面依次形成栅极介质层 141 和栅极导电层 142, 栅极导电层 142 充满第二空间 D。

45 本公开实施例中, 栅极介质层 141 采用的材料可以是氧化硅或者其它适合的材料; 栅极导电层 142 采用的材料可以包括多晶硅、金属 (例如钨、铜、铝、钛、钽、钌、等)、金属合金、金属硅化物、氮化钛、中的一种或者任意组合。

本公开实施例中, 栅极介质层 141 可以通过原位水汽生成工艺 (In-Situ Steam Generation, ISSG,) 形成, 栅极介质层 141 的厚度可以是 4.5~10nm, 例如为 5nm 或者 9nm。栅极导电层 142 可以通过任意一种合适的沉积工艺形成, 例如, 化学气相沉积工艺、物理气相沉积工艺、原子层沉积工艺。

50 接下来, 可以参考图 2j 和 2k, 执行步骤 S103, 刻蚀初始栅极结构 14, 形成沿第三方向堆叠的梳状栅极结构 17。其中, 图 2j 为部分梳状栅极结构的三维视图, 图 2k 和 2l 为形成梳状栅极结构的剖视图。

在一些实施例中, 梳状栅极结构 17 至少可以包括在第一方向上间隔排列的第一栅极结构, 在其它实施例中, 梳状栅极结构 17 还可以包括: 与位于同一层的第一栅极结构 171 均连接的第二栅极结构 172。

55 如图 2j 所示, 梳状栅极结构 17 包括: 第一栅极结构 171 和第二栅极结构 172, 第二栅极结构 172 与位于同一层的第一栅极结构 171 连接。

本公开实施例中，第一栅极结构 171 在基底表面（即半导体衬底 10）上的投影可以为 U 型；第一栅极结构 171 可以为双栅结构，例如第一栅极结构 171 覆盖有源层的顶面和底面，第一栅极结构 171 在 Y 轴方向上的尺寸可以为第二栅极结构 172 在 Y 轴方向上的尺寸的 2~3 倍。

在其它实施例中，第一栅极结构 171 在基底表面（即半导体衬底 10）上的投影还可以为矩形。

- 5 在一些实施例中，如图 2k 和 2l 所示，梳状栅极结构 17 可以通过以下步骤形成：同时去除部分初始栅极结构和第二区域 B 中的部分叠层结构 11，形成沿 X 轴方向交替排列的 L 型凹槽 15 和隔离凹槽 16，剩余的初始栅极结构构成梳状栅极结构 17；其中，隔离凹槽 16 在第二方向上的尺寸 L3 大于 L 型凹槽 15 在第二方向上的尺寸 L4。

本公开实施例中，隔离凹槽 16 将有源层分割为沿 X 轴方向排列的多个有源结构 130。

- 10 本公开实施例中，沿 X 轴方向位于 L 型凹槽 15 两侧的两个叠层结构，在第二方向具有不同的尺寸，例如，第一个叠层结构 11a 和第二个叠层结构 11b 沿 X 轴方向位于 L 型凹槽 15 两侧，第一个叠层结构 11a 在 Y 轴方向上的尺寸 L5 大于第二个叠层结构 11b 在 Y 轴方向上的尺寸 L6。

- 15 本公开实施例中，可以采用干法（例如等离子刻蚀工艺、反应离子刻蚀工艺或者离子铣工艺）或者湿法刻蚀工艺来刻蚀初始栅极结构和第二区域 B 中的部分叠层结构 11。其中，干法刻蚀采用的气体可以为三氟甲烷（ CHF_3 ）、四氟化碳（ CF_4 ）、二氟甲烷（ CH_2F_2 ）、氢溴酸（HBr）、氯气（ Cl_2 ）或六氟化硫（ SF_6 ）中的一种或它们的组合。

在本公开实施例中，形成的梳状栅极结构 17 具有较宽的沟道区，从而可以降低短沟道效应，进而可以提高所形成半导体结构的性能。

- 20 在一些实施例中，如图 2m 所示，在形成梳状栅极结构 17 之后，半导体结构的形成方法还包括：形成沿第三方向依次堆叠的字线台阶 18；其中，字线台阶 18 中的每一层字线与对应的沿第一方向排列的梳状栅极结构中的多个第二栅极结构 172 电连接。

- 25 在本公开实施例中，首先，在第一区域 A 的表面形成具有第一开口的光刻胶层；第一开口暴露出第一区域 A 的一端；通过具有第一开口的光刻胶层的刻蚀第一区域 A，形成第一阶梯结构；其次，在第一阶梯结构表面形成具有第二开口的光刻胶层，第二开口暴露部分第一阶梯结构，通过具有第二开口的光刻胶层刻蚀第一阶梯结构形成第二阶梯结构，其中，第二开口在第一方向的尺寸大于第一开口的尺寸；再次，在第二阶梯结构表面形成具有第三开口的光刻胶层，第三开口暴露部分第二阶梯结构，通过第三开口的光刻胶层刻蚀第二阶梯结构形成第三阶梯结构，其中，第三开口在第一方向的尺寸大于第二开口的尺寸；循环上述步骤，经过多次刻蚀过程，最终形成字线台阶 18，字线台阶 18 在沿 Z 轴方向从下至上具有逐层减小的长度。

- 30 在其它实施例中，字线台阶 18 还可以通过以下步骤形成：首先，在第一区域 A 的衬底表面形成具有第一长度的第一字线，其中，第一字线与沿 X 轴方向上最底层的第一层梳状栅极结构 17 电连接；其次，在第一字线表面形成具有第二长度的第一隔离单元；在第一隔离单元表面形成具有第二长度的第二字线，第二字线与沿第一方向上次底层的第一层梳状栅极结构 17 电连接，其中，第一长度大于第二长度，第一隔离单元配置为隔离相邻的第一字线和第二字线；再次，在第二字线表面形成具有第三长度的第二隔离单元；在第二隔离单元表面形成具有第三长度的第三字线，其中，第三字线与沿 X 轴方向自下而上的第三层梳状栅极结构 17 电连接，其中，第二长度大于第三长度，第二隔离单元配置为隔离相邻的第二字线和第三字线；循环上述步骤，经过多次形成过程，形成由多条字线构成字线台阶 18。

- 40 本公开实施例中，形成梳状栅极结构 17，并采用字线侧接的方法，不仅解决了同一平面上字线的互联对于多层堆叠来说难以实现的问题，还可以通过控制侧接的字线尺寸来控制字线耦合。

最后，可以参考图 3a~3i，执行步骤 S104，在第二区域 B 形成沿第三方向延伸的位线结构 22 和沿第二方向延伸的电容结构 24，位线结构 22 与电容结构 24 均与第一栅极结构 171 连接。

在一些实施例中，如图 3a 和 3b 所示，在形成位线结构 22 和电容结构 24 之前，半导体结构的形成方法包括：在 L 型凹槽 15 和隔离凹槽 16 中填充隔离材料，形成第二隔离层 19。

- 45 本公开实施例中，隔离材料可以是氧化硅、氮化硅、氮氧化硅或者其它合适的材料。第二隔离层 19 可以通过任意一种沉积工艺形成。

- 50 如图 3c 和 3d 所示，去除位于第二区域 B 的第二隔离层 19 和第一半导体层 111，暴露出第一个叠层结构 11a 和第二个叠层结构 11b 中的第二半导体层 112，暴露出的第二半导体层 112，分别形成沿 X 轴方向交替排列的第一有源柱 131 和第二有源柱 132；其中，第一有源柱 131 包括沿 X 轴方向依次排布的第一子柱 1311 和第二子柱 1312，第二有源柱 132 在第一子柱 1311 沿 X 轴方向上的投影区域内。本公开实施例中，第二子柱 1312 用于形成电容结构；第二有源柱 132 用于形成位线结构。

本公开实施例中，可以通过干法刻蚀技术刻蚀技术或湿法刻蚀技术去除位于第二区域 B 中的第二隔离层 19 和第一半导体层 111。

- 55 在其它实施例中，还可以对第一有源柱 131 和第二有源柱 132 进行减薄处理，减薄处理的方式包括以下两种：

方式一：对第一有源柱 131 和第二有源柱 132 直接进行干法刻蚀，直至形成所需要的厚度时，停

止刻蚀。

方式二：原位氧化第一有源柱 131 和第二有源柱 132，将部分第一有源柱 131 和部分第二有源柱 132 氧化为氧化硅层，通过湿法刻蚀或者干法刻蚀技术去除氧化硅层。

本公开实施例中，通过对第一有源柱 131 和第二有源柱 132 进行减薄处理，使得相邻的第一有源柱 131 和第二有源柱 132 之间的空隙变大，一方面，可以提高形成的电容结构电极之间的有效面积，进而提高形成的电容结构的电容量；另一方面，可以降低电容结构和位线结构的工艺复杂度，降低半导体结构的制造成本。

在一些实施例中，如图 3e 所示，在形成电容结构 24 之前，且在形成第一有源柱 131 之后，半导体结构的形成方法还包括：在第一子柱 1311 的表面形成支撑层 23；支撑层 23 填充于第一子柱 1311 之间。

本公开实施例中，支撑层 23 的材料可以是氮化硅或者碳氮化硅；支撑层 23 一方面用于支撑后续形成电容结构，防止电容结构的坍塌，提高了形成的半导体结构的稳定性；另一方面，可以隔离相邻的电容结构，以及电容结构与位线结构，减少漏电流的产生。

本公开实施例中，如图 3f 所示，在形成电容结构之前，半导体结构的形成方法还包括：在第一区域 A 和第二有源柱 132 的表面形成第一保护层 21，第一保护层 21 用于在形成电容结构 24 时保护第一区域 A 已经形成的梳状栅极结构 17 和第二有源柱 132 部分不受损伤。第一保护层 21 的材料可以为低介电常数（Low K）材料，例如，可以是掺杂二氧化硅、有机聚合物或者多孔材料。

在一些实施例中，如图 3g 和 3h 所示，电容结构 24 可以通过以下步骤形成：在第二子柱 1312 的表面依次形成第一电极层 241、电介质层 242 和第二电极层 243，以形成电容结构 24。

本公开实施例中，第一电极层 241、电介质层 242 和第二电极层 243 可以通过以下任意一种沉积工艺形成：选择性原子层沉积工艺、化学气相沉积工艺、物理气相沉积工艺和旋涂工艺。第一电极层 241 和第二电极层 243 的材料可以包括金属或者金属氮化物，例如，钌（Ru）或者氮化钛。电介质层 242 的材料可以包括高 K 介质材料，例如可以是氧化镧（ La_2O_3 ）、氧化铝（ Al_2O_3 ）、氧化铪（ HfO_2 ）、氮氧化铪（ HfON ）、硅酸铪（ HfSiOx ）或氧化锆（ ZrO_2 ）中的一种或任意组合。在其它实施例中，第一电极层和第二电极层的材料还可以是多晶硅。

本公开实施例中，电容结构 24 沿 Y 轴方向延伸，也就是说，电容结构 24 是水平的，一方面，相较于高纵横比（即高度与宽度或者直径之比）的垂直电容结构，水平电容结构可以减少倾倒或者折断的可能性，从而可以提高电容结构的稳定性；另一方面，多个电容结构在垂直方向上堆叠形成的堆叠结构可以形成三维的半导体结构，进而可以提高半导体结构的集成度，实现微缩。

在一些实施例中，在形成第一电极层 241 之前，半导体结构的形成方法还包括：在第二子柱 1312 的表面形成金属硅化物。实施时，可以在第二子柱 1312 的表面上沉积一层金属材料，例如可以是钴（Co）、钛（Ti）、钽（Ta）、镍（Ni）、钨（W）、铂（Pt）以及钯（Pd）中的任何一种；之后通过快速热退火处理使得金属材料与第二子柱 1312 相互反应，从而在第二子柱 1312 的表面形成金属硅化物。由于金属硅化物具有较低的阻值，因此可以降低下电极与第二子柱之间的接触电阻，进而可以降低半导体结构的功耗。

在一些实施例中，在形成电容结构 24 之后，方法还包括：去除第一保护层 21。例如，可以采用干法或者湿法刻蚀工艺来去除第一保护层 21。

在一些实施例中，半导体结构的形成方法还包括：在第二电极层 243 表面形成导电层，导电层填充于相邻的第二电极层 243 之间。导电层的材料可以是多晶硅，也可以是其它任意一种合适的导电材料，例如，掺杂多晶硅。

本公开实施例中，如图 3i 所示，在形成位线结构之前，半导体结构的形成方法还包括：在第一区域 A、支撑层 23 和电容结构 24 的表面形成第二保护层 20，第二保护层 20 用于在形成位线结构 22 时保护已经形成的梳状栅极结构 17、支撑层 23 和电容结构 24 不受损伤。第二保护层 20 的材料可以为低介电常数材料，例如，可以是掺杂二氧化硅、有机聚合物或者多孔材料。

在一些实施例中，请继续参见图 3i，位线结构 22 可以通过以下步骤形成：在第二有源柱 132 的表面形成依次形成第三半导体层 221 和位线金属层 222。

其中，第三半导体层 221 的材料可以是金属硅化物，由于金属硅化物具有较低的阻值，因此可以降低位线金属层 222 与第二有源柱 132 之间的接触电阻，从而可以进一步降低半导体结构的功耗。位线金属层 222 的材料可以是任意一种导电性能较好的材料，例如可以为钨、钴、铜、铝、氮化钛、含钛金属层、多晶硅或其任何组合。

在一些实施例中，在形成位线结构 22 之后，半导体结构的形成方法还包括：去除第二保护层 20。

本公开实施例中，形成梳状栅极结构，并采用字线侧接的方法，不仅解决了同一平面上字线的互联对于多层堆叠来说难以实现的问题，还可以通过控制侧接的字线尺寸来减小字线的耦合作用。另外，由于本公开实施例中的电容结构沿第二方向延伸，即本公开实施例中的电容结构呈水平状，相较于高深宽比的垂直电容结构，水平状的电容结构可以减少倾倒或者折断的可能性，从而可以提高电容结构的稳定性，且多个电容结构在第三方向上堆叠形成的堆叠结构可以形成三维的半导体结构，进而可以

提高半导体结构的集成度，实现微缩。

本公开实施例还提供一种半导体结构，图 4a~4c 为本公开实施例提供的半导体结构的结构示意图，其中，图 4a 为三维视图。如图 4a~4c 所示，半导体结构 100 至少包括：半导体衬底 10，半导体衬底 10 包括沿第二方向（Y 轴方向）依次排列的第一区域 A 和第二区域 B；位于半导体衬底 10 表面的有源结构 130；有源结构 130 沿第一方向（X 轴方向）和第三方向（Z 轴方向）阵列排布；梳状栅极结构 17，位于第一区域 A 上有源结构的表面，且梳状栅极结构 17 至少包括在 X 轴方向间隔排列的第一栅极结构 171。

在一些实施例中，请继续参见图 4a~4c，半导体结构 100 还包括：沿 Z 轴方向延伸的位线结构 22 和沿 Y 轴方向延伸的电容结构 24；位线结构 22 与电容结构 24 均位于第二区域 B 上，且均与第一栅极结构 171 连接。

在一些实施例中，请继续参见图 4b 和 4c，电容结构 24 包括第一电极层 241、电介质层 242 和第二电极层 243。位线结构 22 包括第三半导体层 221 和位线金属层 222。

在一些实施例中，请继续参见图 4a~4c，梳状栅极结构 17 还包括：与位于同一层的第一栅极结构 171 均连接的第二栅极结构 172。

在一些实施例中，请继续参见图 4b 和 4c，有源结构 130 包括位于第二区域 B 上、且沿 X 轴方向排列的第一有源柱 131 和第二有源柱 132、以及位于第一区域 A 上的沟道柱 25；第一有源柱 131 和第二有源柱 132 均与沟道柱 25 连接。第一栅极结构 171 至少覆盖沟道柱 25 沿 Z 轴方向上的第一表面和第二表面；其中，第一栅极结构 171 包括层叠设置的栅极介质层 141 和栅极导电层 142。

在一些实施例中，沟道柱 25 在半导体衬底 10 上的投影为 U 型。在其它实施例中，沟道柱 25 在半导体衬底 10 上的投影还可以为矩形。

在一些实施例中，请继续参见图 4b，第一有源柱 131 包括第一子柱（未示出）和第二子柱 1312，电容结构 24 形成于第二子柱 1312 上；位线结构 22 形成于第二有源柱 132 上；同一有源结构 130 的第一有源柱 131 和第二有源柱 132 之间具有 L 型凹槽 15。沿 X 轴方向相邻的有源结构 130 之间具有隔离凹槽 16；其中，隔离凹槽 16 在 Y 轴方向上的尺寸 L3 大于 L 型凹槽 15 在 Y 轴方向上的尺寸 L4。

在一些实施例中，请继续参见图 4b，半导体结构 100 还包括：支撑层 23，支撑层 23 位于第一子柱的表面，且支撑层 23 呈填充于第一子柱之间。支撑层 23 用于支撑沿 Z 轴方向堆叠的多个电容结构 24、多个位线结构 22，以及多个梳状栅极结构 17。

在一些实施例中，请继续参见图 4a，半导体结构 100 还包括：字线台阶 18；字线台阶 18 沿 Z 轴方向依次堆叠，且字线台阶中的每一层字线与对应的沿 X 轴方向排列的梳状栅极结构 17 中的多个第二栅极结构 172 连接。

本公开实施例中，第一栅极结构可以是双栅结构，第一栅极结构 171 在 Y 轴方向上的尺寸可以为第二栅极结构 172 在 Y 轴方向上的尺寸的 2~3 倍。

本公开实施例中，形成的梳状栅极结构具有很宽的沟道区，从而可以降低短沟道效应，同时，形成的双栅结构可以进一步提高栅极的控制能力，进而可以提高所形成半导体结构的性能。

本公开实施例提供的半导体结构与上述实施例提供的半导体结构的形成方法类似，对于本公开实施例未详尽披露的技术特征，请参照上述实施例进行理解，这里不再赘述。

本公开实施例提供的半导体结构，形成了梳状栅极结构，且字线结构位于梳状栅极结构的外侧，可以实现多层堆叠结构中同一平面上字线的互联；另外，本公开实施例中的电容结构呈水平状、且沿第一方向和第三方向阵列排布，水平状的电容结构可以减少倾倒或者折断的可能性，多个电容结构在第三方向上堆叠形成的堆叠结构可以形成三维的半导体结构，进而可以提高半导体结构的集成度，实现微缩。

图 5a 和 5b 为本公开实施例提供的半导体结构的平面结构示意图，如图 5a 和 5b 所示，半导体结构 100 包括：沿 X 轴方向和 Z 轴方向阵列排布的第一栅极结构 171、位线结构 22 和电容结构 24；其中，位线结构 22 和电容结构 24 均与梳状栅极结构 17 连接。

本公开实施例中，一个第一栅极结构 171 和一个电容结构 24 构成一个存储单元；沿 X 轴方向相邻的存储单元布局相同（如图 5a 所示），或者，沿 X 轴方向相邻的存储单元呈轴对称（如图 5b 所示）。

在一些实施例中，请继续参见 5a 和图 5b，半导体结构 100 包括：与同一层的第一栅极结构 171 均连接的第二栅极结构 172，沿 X 轴方向排列的位于同一层的第一栅极结构 171 和第二栅极结构 172 构成梳状栅极结构 17。

在一些实施例中，请继续参见 5a 和图 5b，半导体结构 100 还包括沿 X 轴方向延伸的字线台阶 18，其中，字线台阶 18 中的每一层字线与对应的沿 X 轴方向排列的多个第一栅极结构 171 电连接。

除此之外，本公开实施例还提供一种版图结构，图 6a 和 6b 为本公开实施例提供的版图结构的平面布局图，版图结构 200 包括：沿 Y 轴方向依次间隔排布的上述半导体结构 100。

如图 6a 和 6b 所示，半导体结构 100 包括多个沿 X 轴方向和 Z 轴方向阵列排布的存储单元；存储单元至少包括一个第一栅极结构 171 和一个电容结构 24；其中，Y 轴方向上相邻两个存储单元呈中心对称；且 Y 轴方向上相邻两个存储单元的电容结构 24 在 X 轴方向上的投影区域至少部分重合。

本公开实施例中，存储单元还包括第二栅极结构 172，其中，第一栅极结构 171 和第二栅极结构 172 构成梳状栅极结构 17。

在一些实施例中，请继续参见图 6a 和 6b，半导体结构 100 还包括位线结构 22 和字线台阶 18。

在一些实施例中，请继续参见图 6a，X 轴方向上相邻的两个存储单元布局相同。

5 在一些实施例中，请继续参见图 6b，X 轴方向上相邻的两个存储单元布局呈轴对称。

本公开实施例提供的版图结构可以有效利用半导体结构中的空间，实现半导体结构的微缩。

在本公开所提供的几个实施例中，应该理解到，所揭露的设备和方法，可以通过非目标的方式实现。以上所描述的设备实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，如：多个单元或组件可以结合，或可以集成到另一个系统，或一些特征可以忽略，或不执行。

10 本公开所提供的几个方法或设备实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或设备实施例。

以上所述，仅为本公开的一些实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

15

工业实用性

本公开实施例中，由于形成了梳状栅极结构，且梳状栅极结构外侧的栅极金属层可以作为半导体结构的字线，如此，通过梳状栅极结构不仅可以实现多层堆叠结构中同一平面上字线的互联，还可以实现控制字线的尺寸，进而减小字线台阶之间的耦合作用。

权利要求书

- 1、一种半导体结构的形成方法，所述方法包括：
提供基底；所述基底包括沿第二方向依次排列的第一区域和第二区域；所述第一区域包括沿第三方向间隔排列的有源层；
- 5 在所述第一区域中形成位于所述有源层表面的初始栅极结构；
刻蚀所述初始栅极结构，形成沿所述第三方向堆叠的梳状栅极结构；其中，所述梳状栅极结构至少包括在第一方向上间隔排列的第一栅极结构；所述第一方向、所述第二方向和所述第三方向两两相互垂直，且所述第一方向与所述第二方向平行于所述基底表面；
在所述第二区域形成沿所述第三方向延伸的位线结构和沿所述第二方向延伸的电容结构，所述位线结构与所述电容结构均与所述第一栅极结构连接。
- 10 2、根据权利要求1所述的方法，其中，所述梳状栅极结构还包括：与位于同一层的所述第一栅极结构均连接的第二栅极结构。
3、根据权利要求2所述的方法，其中，所述第一栅极结构在所述基底表面上的投影为U型。
4、根据权利要求1至3任一项所述的方法，其中，所述有源层通过以下步骤形成：
- 15 提供半导体衬底；
在所述半导体衬底的表面形成位于所述第一区域和所述第二区域的叠层结构；所述叠层结构包括交替堆叠的第一半导体层和第二半导体层；
去除所述第一区域中的第一半导体层，以暴露出所述第一区域的第二半导体层；
对暴露出的所述第二半导体层进行减薄处理，以形成初始有源层；
- 20 处理所述初始有源层，以形成所述有源层。
5、根据权利要求4所述的方法，其中，所述处理所述初始有源层，以形成所述有源层，包括：
在所述初始有源层的表面依次形成牺牲层和第一隔离层；其中，所述第一隔离层填充于所述牺牲层之间；
去除在所述第二方向上具有第一长度的初始有源层，形成第一空间；
- 25 去除在所述第二方向上具有第二长度的牺牲层，暴露出部分初始有源层，形成第二空间；其中，所述第二空间包括所述第一空间、且所述第二长度大于所述第一长度，暴露出的所述部分初始有源层构成所述有源层。
6、根据权利要求5所述的方法，其中，在所述第一区域中形成位于所述有源层表面的初始栅极结构，包括：
在所述有源层的表面依次形成栅极介质层和栅极导电层；其中，所述栅极导电层充满所述第二空间。
- 30 7、根据权利要求6所述的方法，其中，在形成所述梳状栅极结构之后，所述半导体结构的形成方法还包括：
形成沿所述第三方向依次堆叠的字线台阶；
- 35 其中，所述字线台阶中的每一层字线与对应的沿所述第三方向排列的梳状栅极结构中的第二栅极结构电连接。
8、根据权利要求7所述的方法，其中，所述梳状栅极结构通过以下步骤形成：
同时去除部分所述初始栅极结构和所述第二区域中的部分叠层结构，形成沿所述第一方向交替排列的L型凹槽和隔离凹槽，剩余的所述初始栅极结构构成所述梳状栅极结构；
- 40 其中，所述隔离凹槽在所述第二方向上的尺寸大于所述L型凹槽在所述第二方向上的尺寸；所述隔离凹槽将所述有源层分割为在所述第一方向排列的多个有源结构。
9、根据权利要求8所述的方法，其中，位于所述L型凹槽所述第一方向两侧的叠层结构，在所述第二方向具有不同的尺寸；在所述第二区域形成沿所述第三方向延伸的位线结构和沿所述第二方向延伸的电容结构，包括：
- 45 在所述L型凹槽和所述隔离凹槽中填充隔离材料，形成第二隔离层；
去除位于所述第二区域的第二隔离层和第一半导体层，剩余的所述第二半导体层，形成沿所述第一方向交替排列的第一有源柱和第二有源柱；其中，所述第一有源柱包括第一子柱和第二子柱；
在所述第二子柱的表面形成所述电容结构；
在所述第二有源柱的表面形成所述位线结构。
- 50 10、根据权利要求9所述的方法，其中，在形成所述电容结构之前，所述方法还包括：
在所述第一子柱的表面形成支撑层；其中，所述支撑层填充于所述第一子柱之间。
11、根据权利要求10所述的方法，其中，在所述第二子柱的表面形成所述电容结构，包括：
在所述第二子柱的表面依次形成第一电极层、电介质层和第二电极层，以形成所述电容结构。
- 55 12、一种半导体结构，至少包括：
半导体衬底，所述半导体衬底包括沿第二方向依次排列的第一区域和第二区域；

- 位于所述半导体衬底表面的有源结构；所述有源结构沿第一方向和第三方向阵列排布；
梳状栅极结构，位于所述第一区域上所述有源结构的表面，且所述梳状栅极结构至少包括在第一方向间隔排列的第一栅极结构；
沿所述第三方向延伸的位线结构；
- 5 沿第二方向延伸的电容结构；所述位线结构与所述电容结构均位于所述第二区域上，且均与所述第一栅极结构连接；所述第一方向、所述第二方向和所述第三方向两两相互垂直，且所述第一方向与所述第二方向平行于所述半导体衬底表面。
- 13、根据权利要求 12 所述的半导体结构，其中，所述梳状栅极结构还包括：与位于同一层的所述第一栅极结构均连接的第二栅极结构。
- 10 14、根据权利要求 13 所述的半导体结构，其中，所述有源结构包括位于所述第二区域上、且沿所述第一方向排列的第一有源柱和第二有源柱、以及位于所述第一区域上的沟道柱；
所述第一有源柱和所述第二有源柱均与所述沟道柱连接。
- 15、根据权利要求 14 所述的半导体结构，其中，所述第一栅极结构覆盖所述沟道柱沿所述第三方向上的第一表面和第二表面；
- 15 其中，所述第一栅极结构包括层叠设置的栅极介质层和栅极导电层。
- 16、根据权利要求 15 所述的半导体结构，其中，所述沟道柱在所述半导体衬底上的投影为 U 型。
- 17、根据权利要求 14 至 16 任一项所述的半导体结构，其中，所述电容结构形成于所述第一有源柱上；所述位线结构形成于所述第二有源柱上；
同一所述有源结构的所述第一有源柱和所述第二有源柱之间具有 L 型凹槽。
- 20 18、根据权利要求 17 所述的半导体结构，其中，沿所述第一方向相邻的所述有源结构之间具有隔离凹槽；
其中，所述隔离凹槽在所述第二方向上的尺寸大于所述 L 型凹槽在所述第二方向上的尺寸。
- 19、根据权利要求 13 所述的半导体结构，其中，所述半导体结构还包括：字线台阶；
所述字线台阶沿所述第三方向依次堆叠，且所述字线台阶中的每一层字线与对应的沿所述第一方向排列的梳状栅极结构中的多个第二栅极结构连接。
- 25 20、一种版图结构，包括：沿第二方向依次间隔排布的、如上述权利要求 12 至 19 任一项所述半导体结构；
所述半导体结构包括沿第一方向和第三方向阵列排布的存储单元；所述存储单元包括一个第一栅极结构和一个电容结构；
- 30 其中，所述第二方向上相邻两个存储单元呈中心对称，且所述第二方向上相邻两个存储单元的电容结构在所述第一方向上的投影区域至少部分重合。
- 21、根据权利要求 20 所述的版图结构，其中，所述第一方向上相邻的两个存储单元布局相同或者呈轴对称。